



Fabrication des Transistors CMOS

Y. BONNASSIEUX

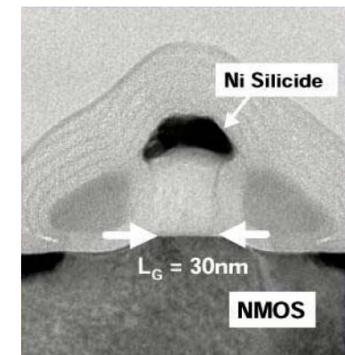
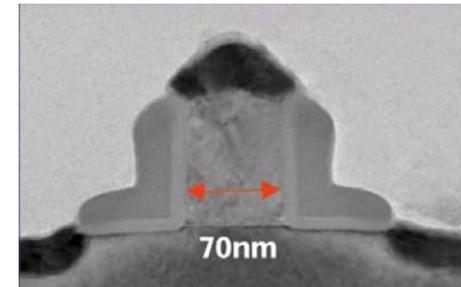
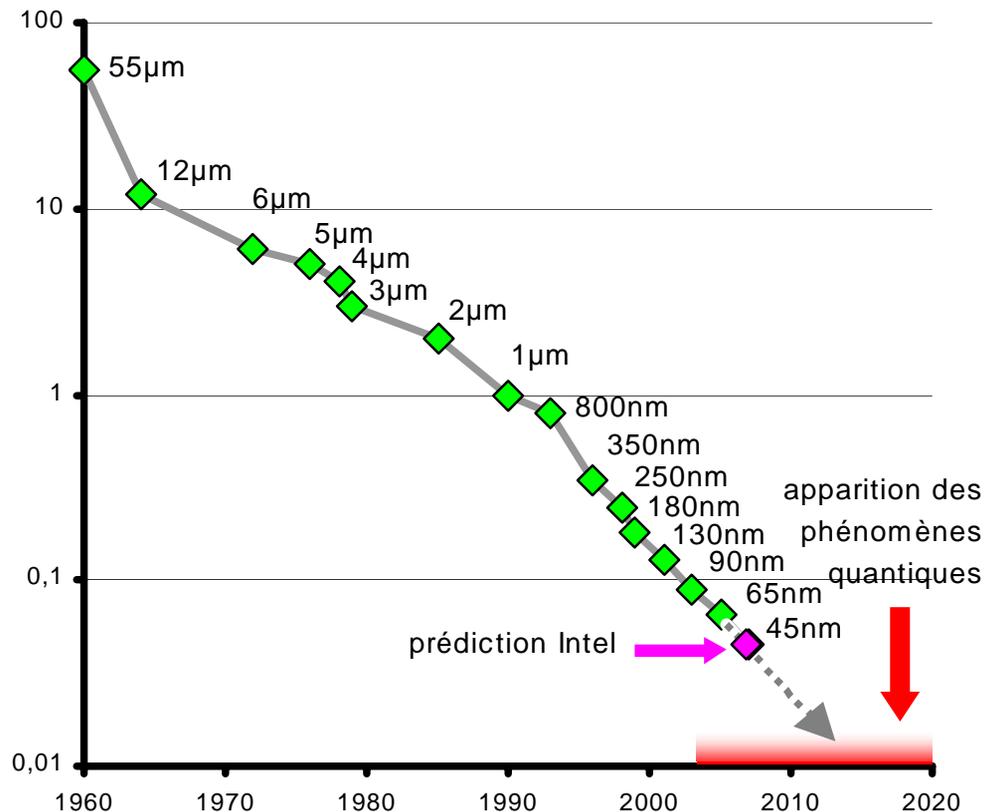
Promotion X2003
janvier 2006

Yvan BONNASSIEUX
Poste 37.22
Email : yvan.bonnassieux@polytechnique.fr

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Depuis le début de la microélectronique la dimension des transistors c'est réduite aux taux de 13% par an. Et comme le montre les prévisions cela va perdurer encore au moins jusqu'à la fin de cette décennie.

Taille des motifs minimaux (microns)





1/ Introduction

2/ La Photolithographie

3/ Séquences de fabrication CMOS

4/ Quelques éléments pour le futur

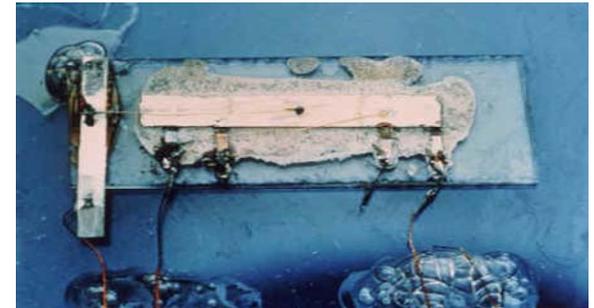
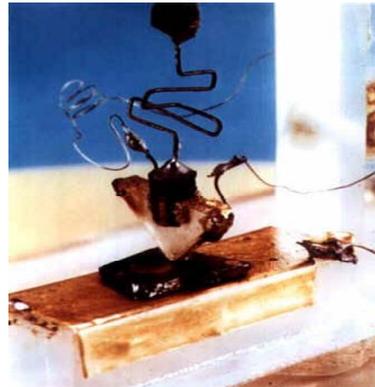
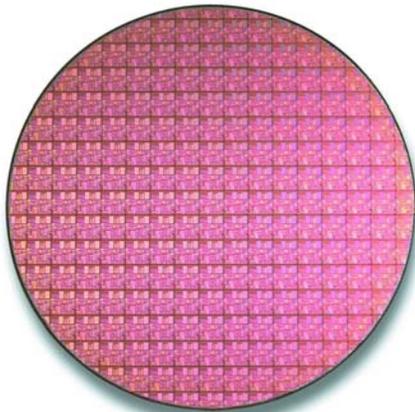
5/ Dessin de Masques

Un bref historique

Nombre des technologies de fabrication des semi-conducteurs dérive de procédés inventés il y a de nombreux siècles.

Ainsi, par exemple, la lithographie a été inventée en 1798. Initialement l'image était transférée depuis une pierre (ce qui justifie l'étymologie).

- 1918, *Czochralski* développe la technique de croissance des cristaux à partir de liquide
- 1928, invention du transistor à effet de champ par *JE. Lilienfeld*
- 1947, invention du transistor bipolaire par *J. Bardeen, W. Brattain* et *W. Shockley*
- 1954, premiers transistors en silicium par Texas Instruments
- 1957, *Andrus* applique la lithographie pour la fabrication des composants semi-conducteurs.
- 1957, le masquage par oxyde a été développé par *Frosch* et *Derrick*



1/ Introduction

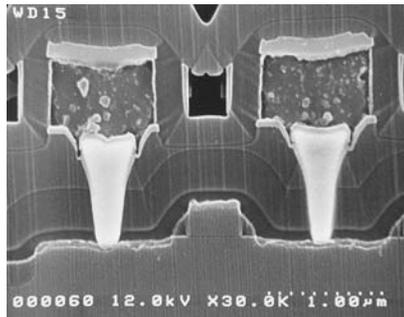
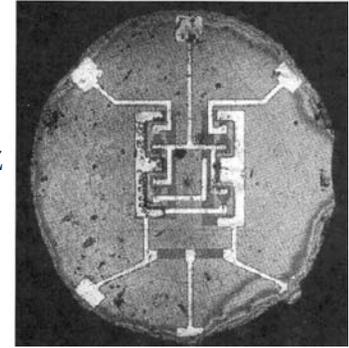
2/ La Photolithographie

3/ Séquences de fabrication CMOS

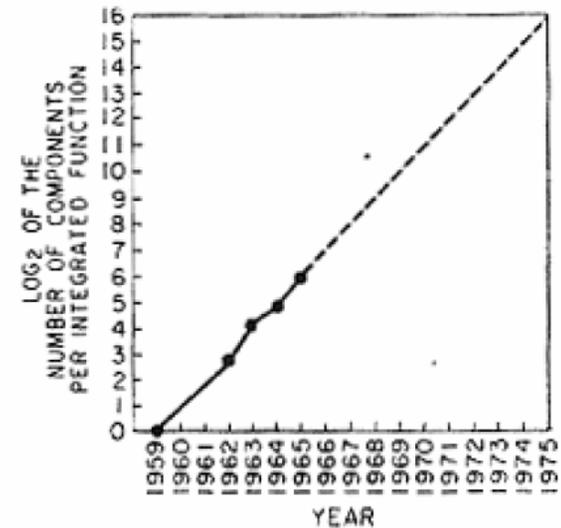
4/ Quelques éléments pour le futur

5/ Dessin de Masques

- 1957, l'épitaxie, inventée par *Sheftal et al.*
- 1958, le premier circuit intégré par *Jack Kilby* chez Texas Instrument



- 1960, le procédé Planar est conçu par *Hoerni* en 1960.
- 1963, les composants CMOS (NMOS et PMOS) par *Sah*.
- 1965 Formulation de la loi de *Moore*



1/ Introduction

2/ La Photolithographie

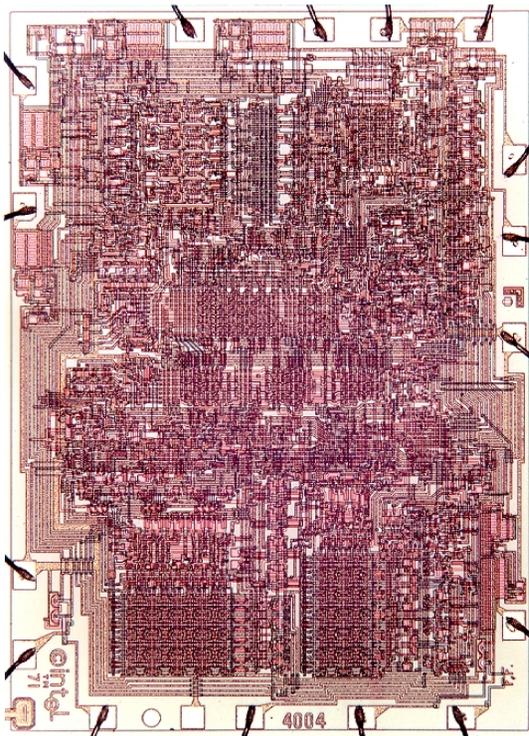
3/ Séquences de fabrication CMOS

4/ Quelques éléments pour le futur

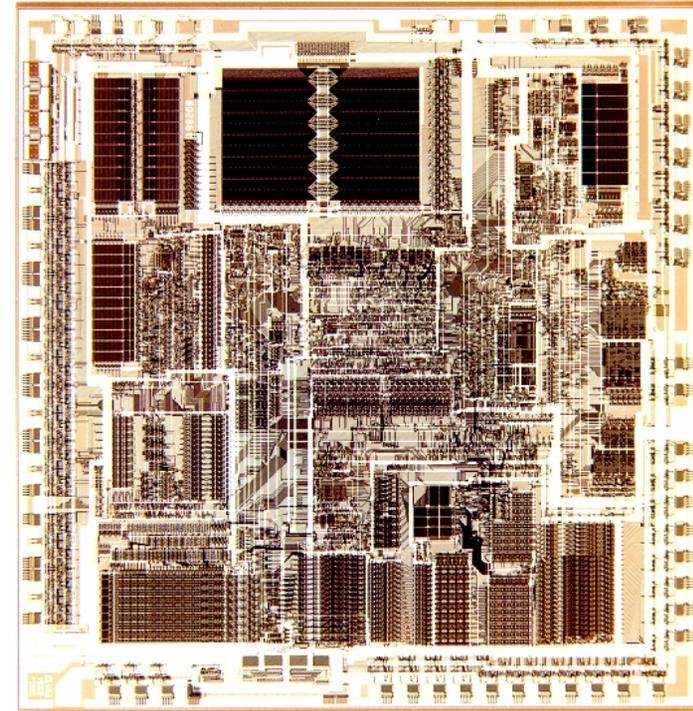
5/ Dessin de Masques

- 1967, *Dennard* invente la mémoire DRAM (Dynamic Random Acces Memory)
- 1971 est l'année de la conception du premier microprocesseur par *M. Hoof* de la société Intel.

Intel 4004



Intel 286





1/ Introduction

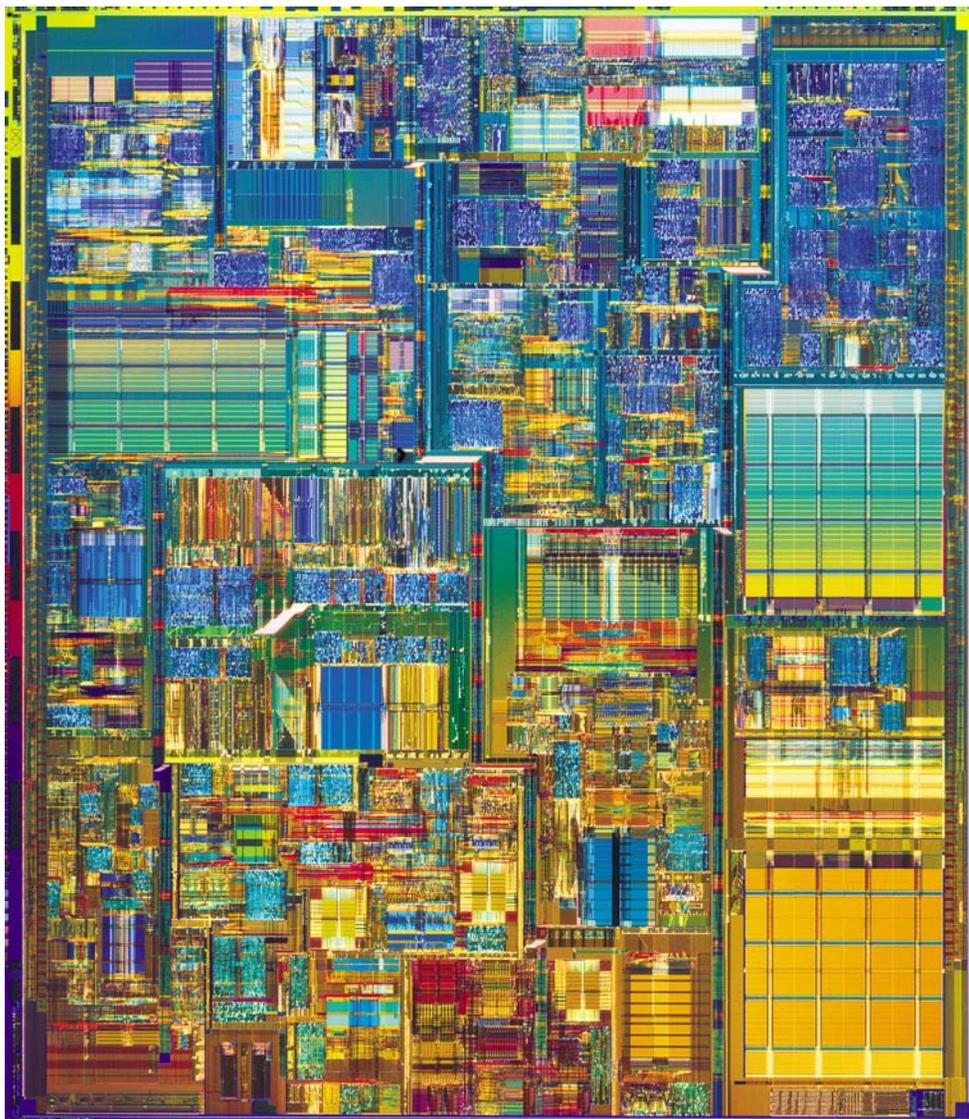
2/ La Photolithographie

3/ Séquences de fabrication CMOS

4/ Quelques éléments pour le futur

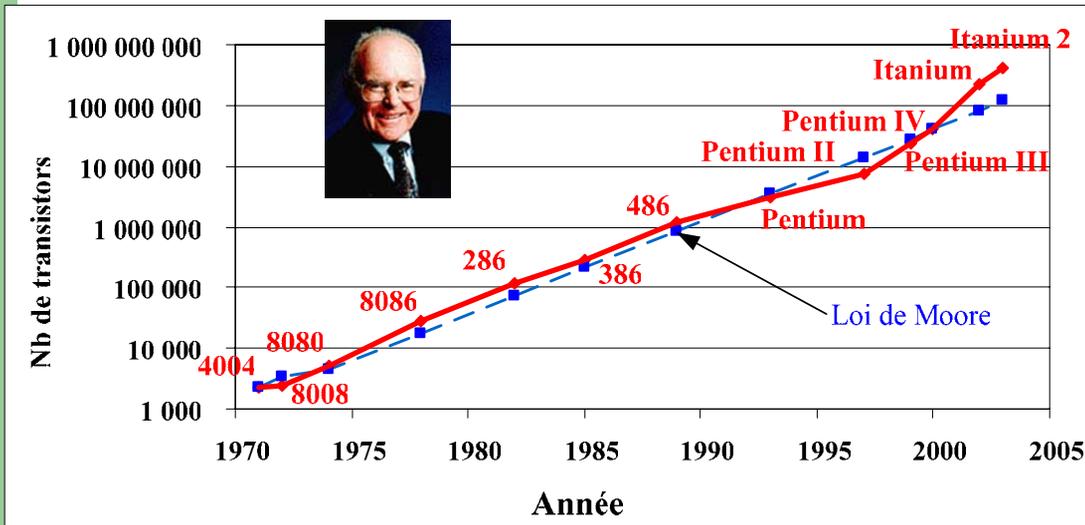
5/ Dessin de Masques

Intel P4 90nm
Northwood

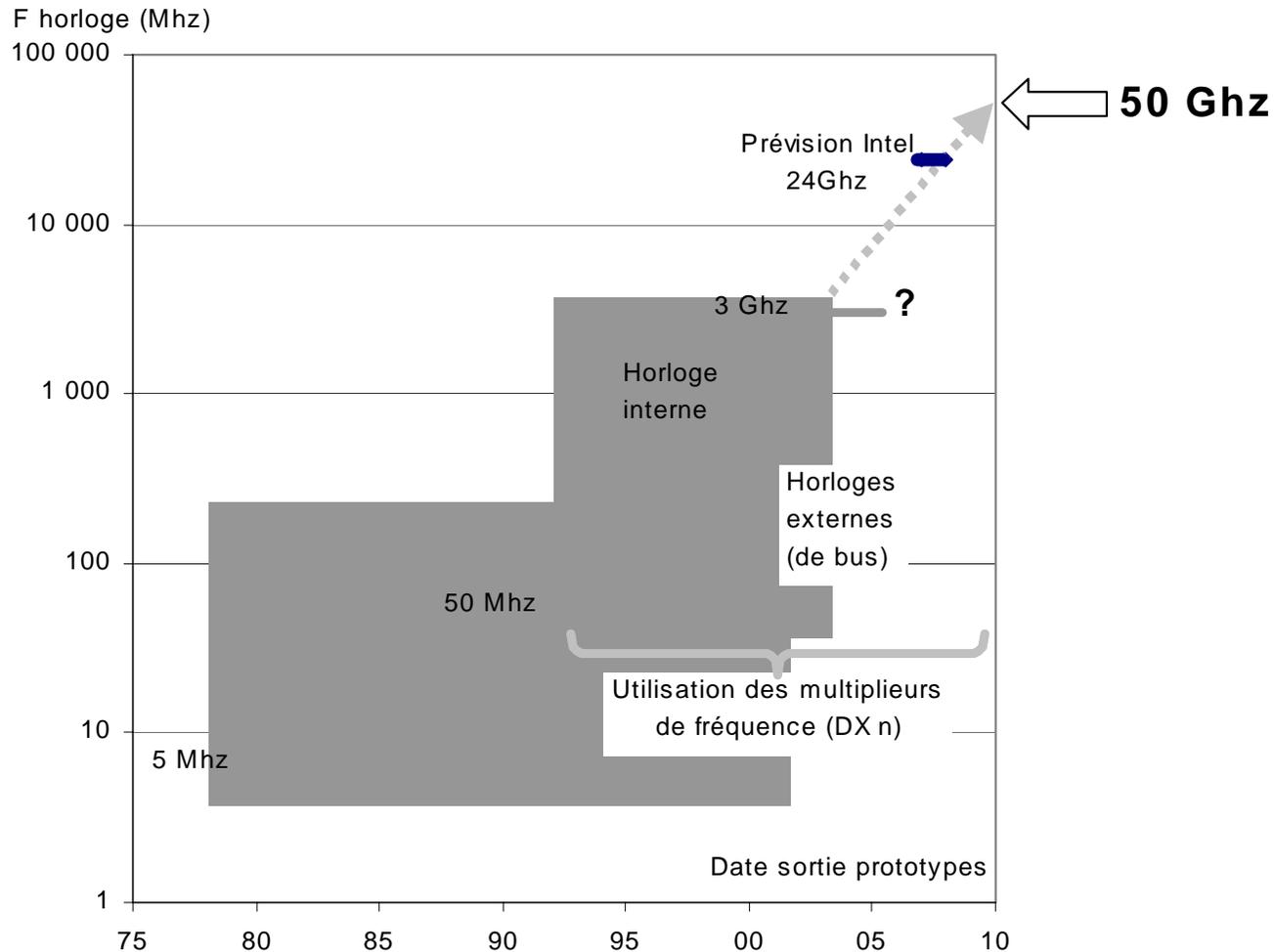


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

	Year of introduction	Transistors
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386™	1985	275,000
486™ DX	1989	1,180,000
Pentium®	1993	3,100,000
Pentium II	1997	7,500,000
Pentium III	1999	24,000,000
Pentium 4	2000	42,000,000

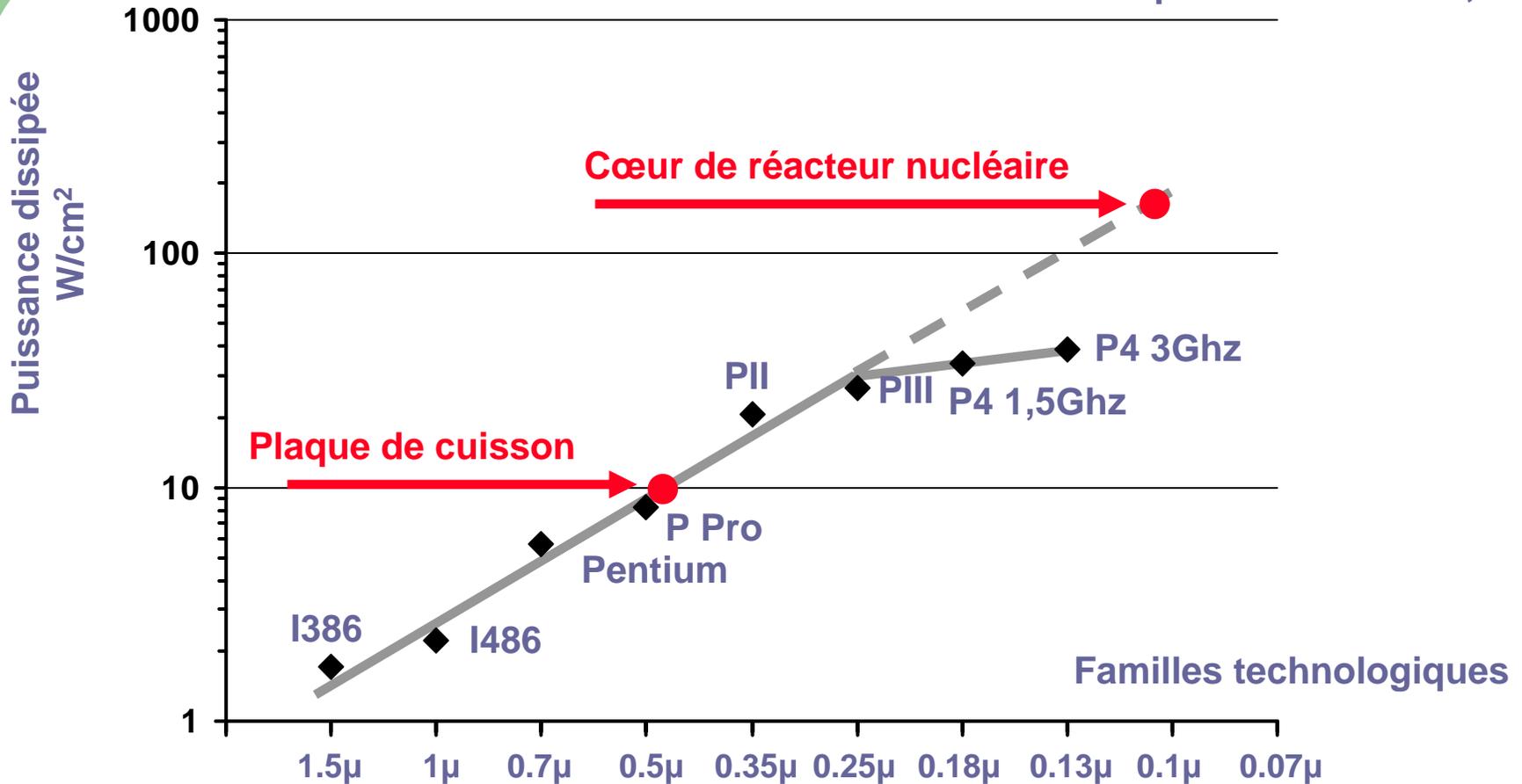


Evolution de la fréquence d'horloge (microprocesseurs Intel X86)



Evolution de la dissipation thermique (microprocesseurs Intel X86)

d'après Fred Pollack, Intel





1/ Introduction

2/ La Photolithographie

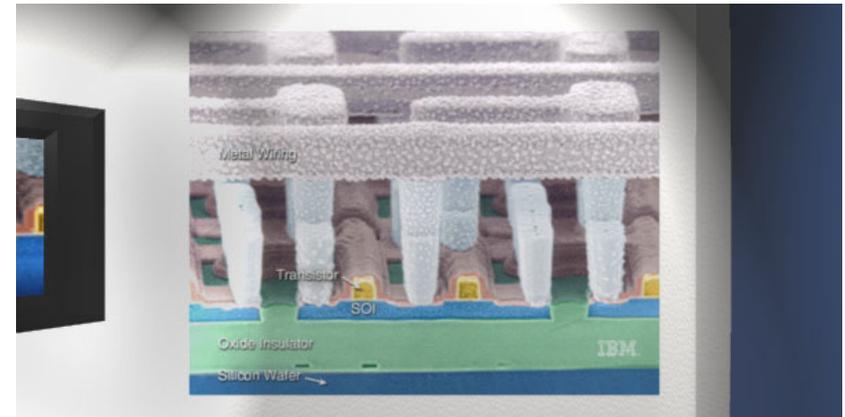
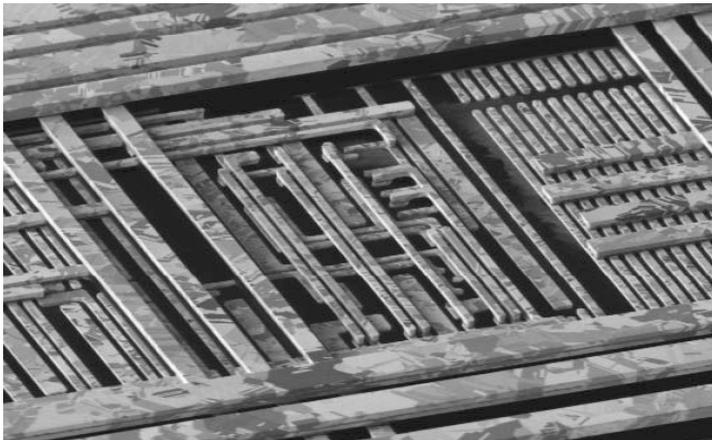
3/ Séquences de fabrication CMOS

4/ Quelques éléments pour le futur

5/ Dessin de Masques

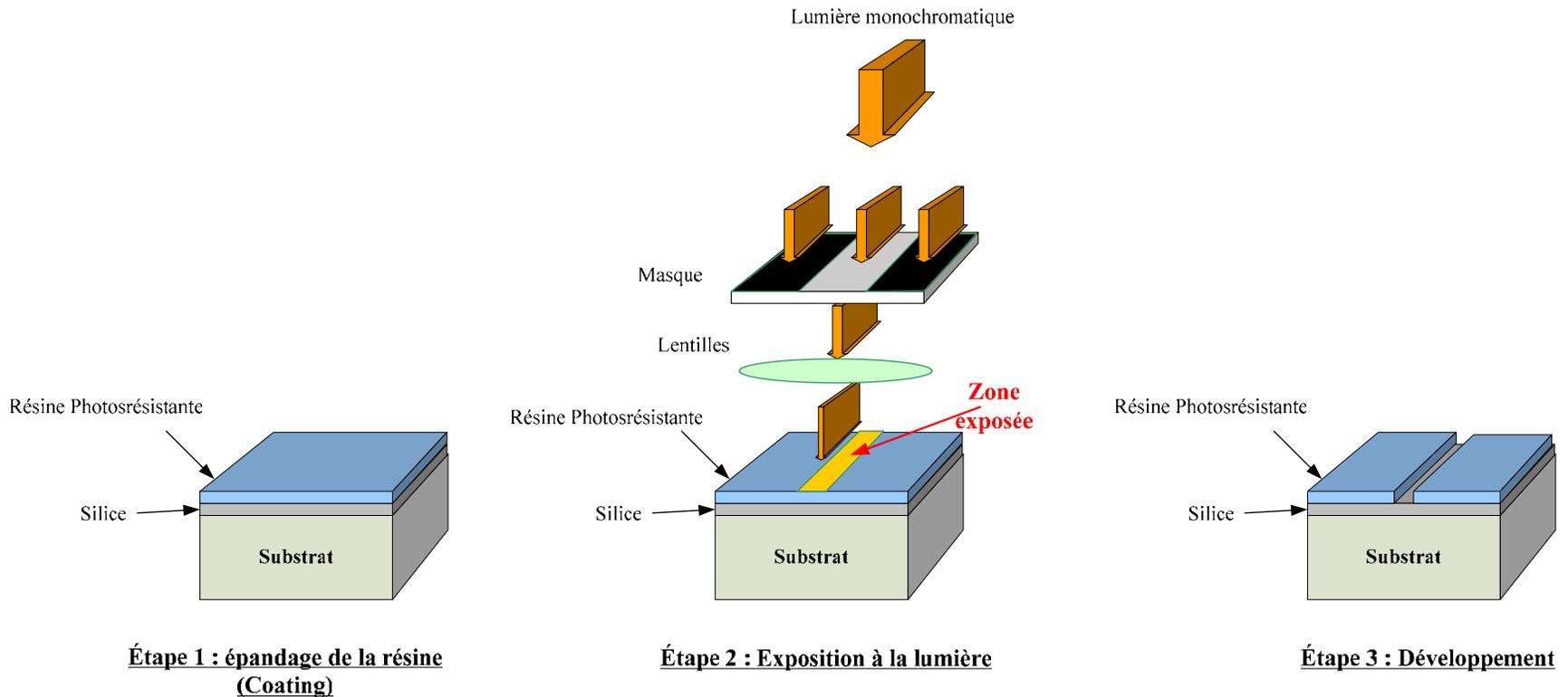
Depuis lors de nombreuses autres nouvelles technologies on permit, sans changer vraiment les méthodes de fabrication de réduire la taille des transistors et ainsi la densité des mémoires et la puissance des microprocesseurs.

- 1982, technologie SOI par *Rung et al.*
- 1993, interconnexions par cuivre proposé par *Paraszczak et al.*



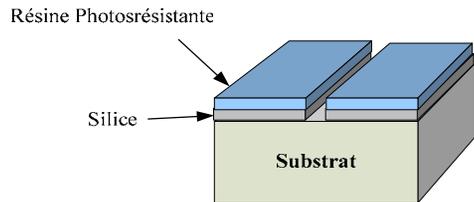
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Les principales étapes de fabrication des semi-conducteurs Technologie PLANAR (I)

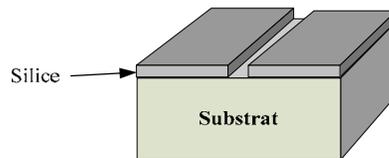


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

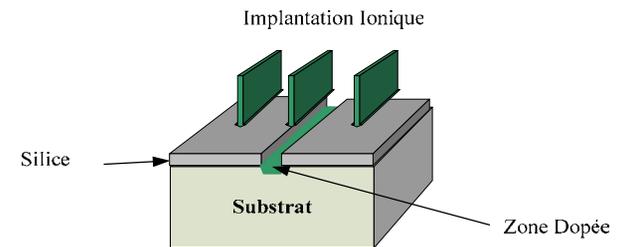
Les principales étapes de fabrication des semi-conducteurs **Technologie PLANAR (II)**



Étape 4 : Gravure



Étape 5 : Élimination résine



Étape 6 : Dopage

1/ Introduction

2/ La Photolithographie

3/ Séquences de fabrication CMOS

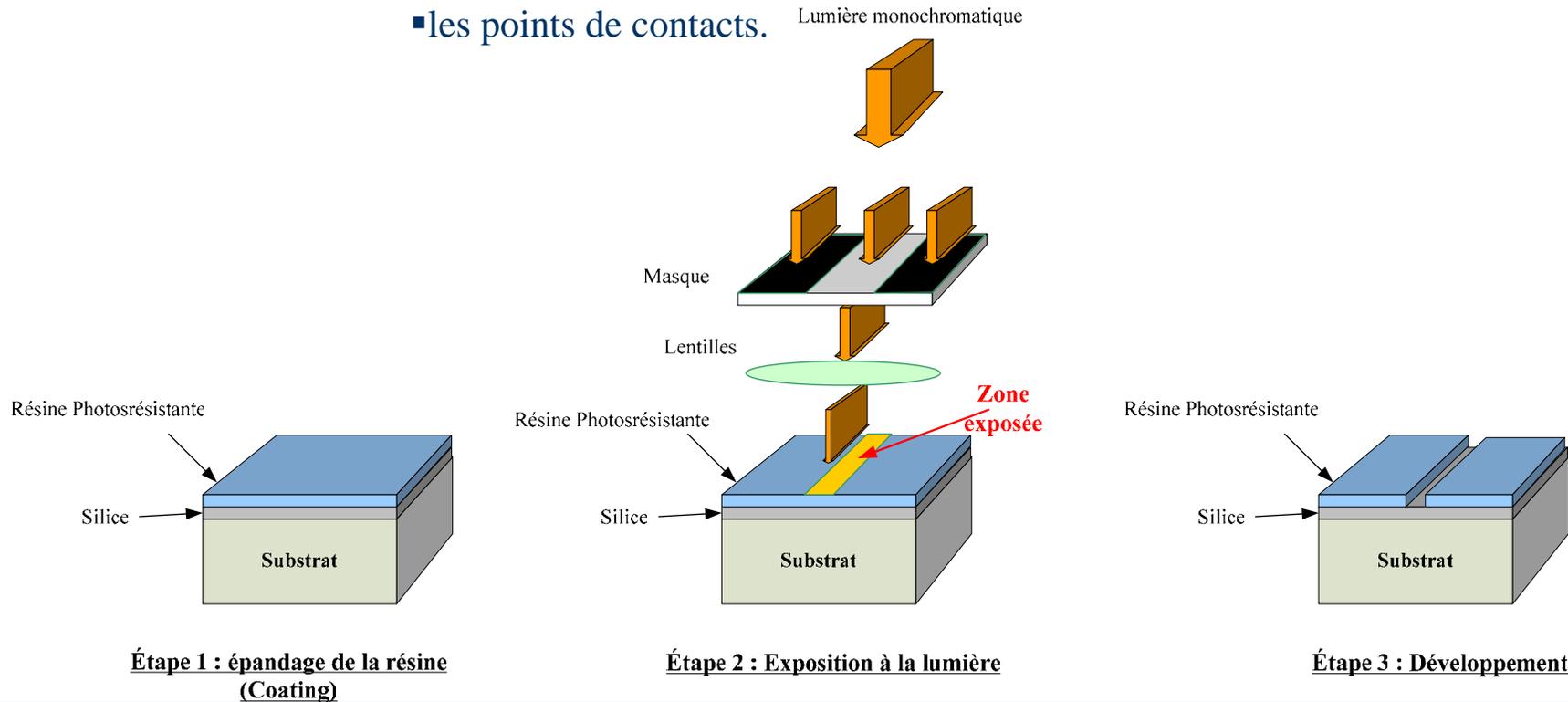
4/ Quelques éléments pour le futur

5/ Dessin de Masques

La photolithographie est le processus de transfert de formes géométrique d'un masque sur une fine couche de matériaux photosensibles (résines photorésistantes) qui recouvrent un wafer de semi-conducteur.

Ces formes définissent les différentes régions d'un circuit intégré tels que :

- Les zones de dopage
- les connections métalliques
- les points de contacts.



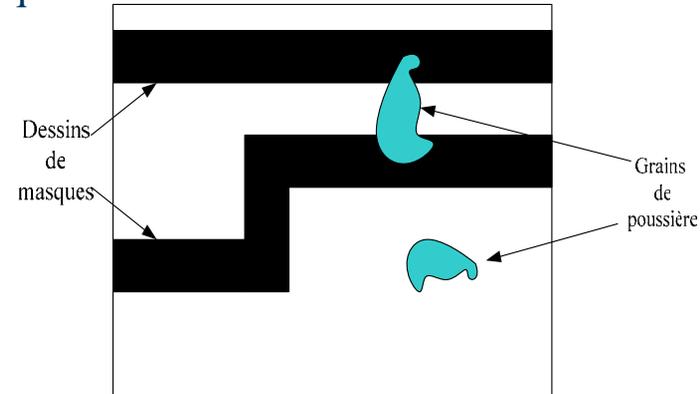
- 1/ Introduction
- 2/ **La Photolithographie**
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques



Salle blanche

En présence de poussières plusieurs défauts peuvent apparaître :

- Poussières adhérentes sur le masque
- Présentes dans l'oxyde de grille
- De grosses particules

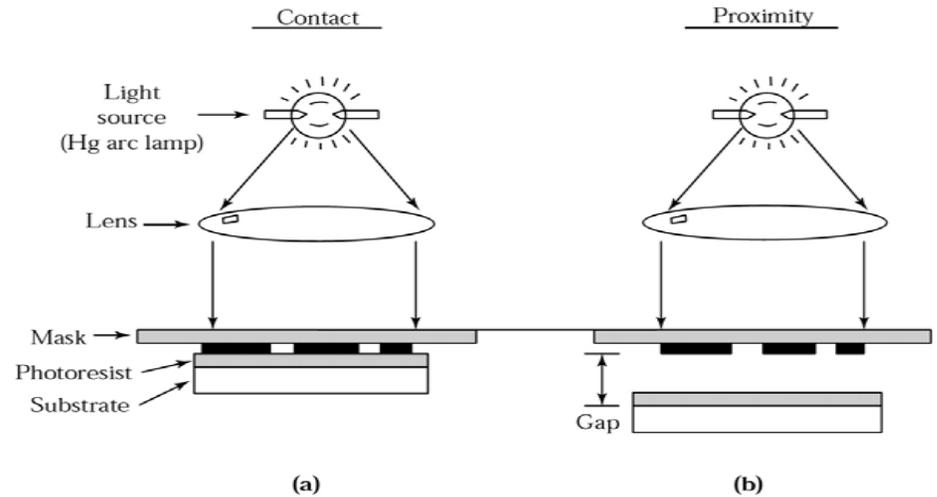


On travaille Toujours en salle blanche

Classe	Nb de part. de 0,5mm par pied cube	Nb de part. de 5mm par pied cube
1	1	0
10	10	0
100	100	0
1 000	1 000	7
10 000	10 000	70
100 000	100 000	700

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Principe de la photolithographie (I)



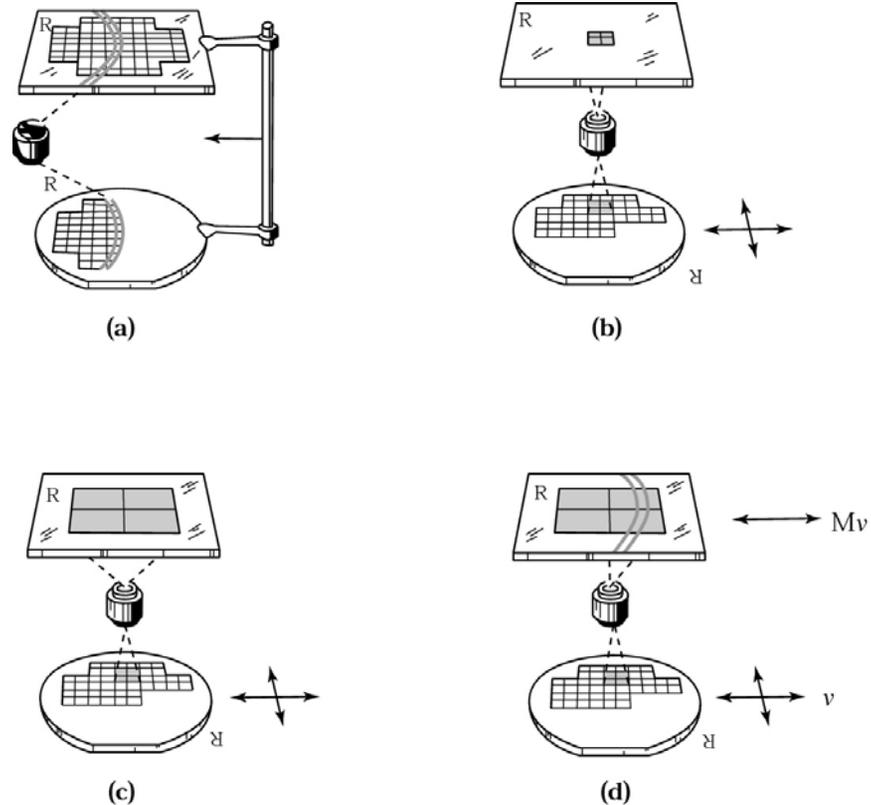
masquage par contact

masquage de proximité



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Principe de la photolithographie (II)

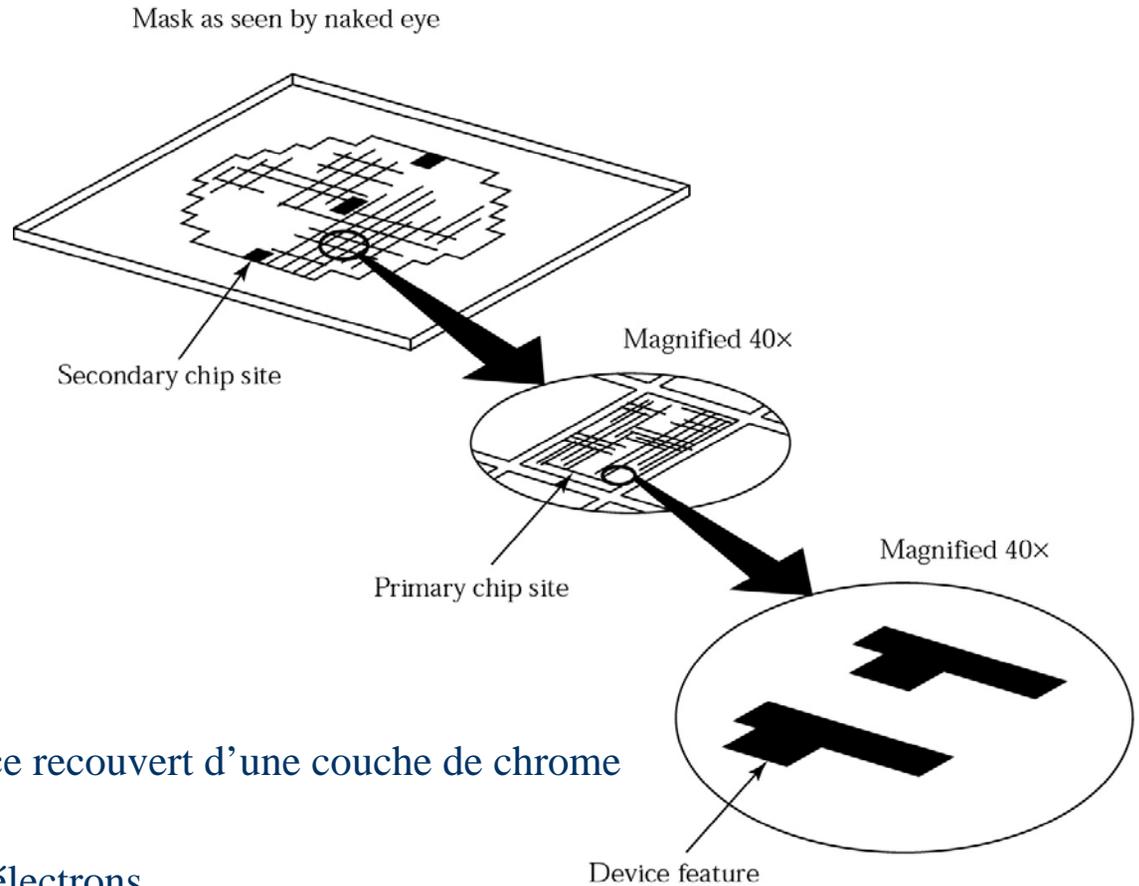


Approche submicronique « **le Stepper** ».
système de masquage par projection du masque :

Lampes à arc à vapeur de mercure, une résolution maximale de 300nm.

- 1/ Introduction
- 2/ **La Photolithographie**
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Les Masques



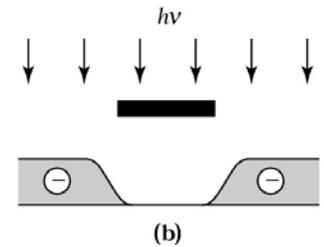
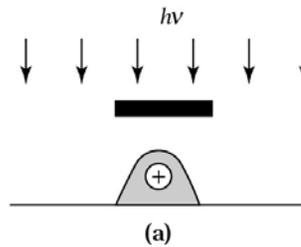
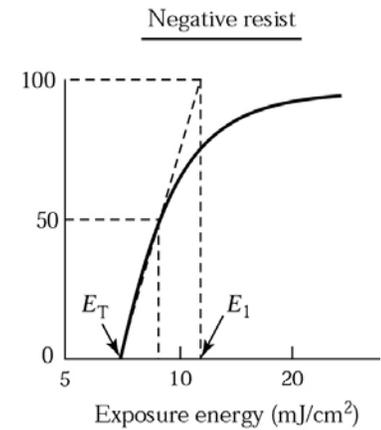
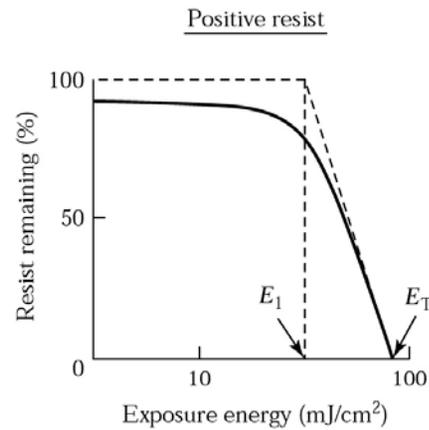
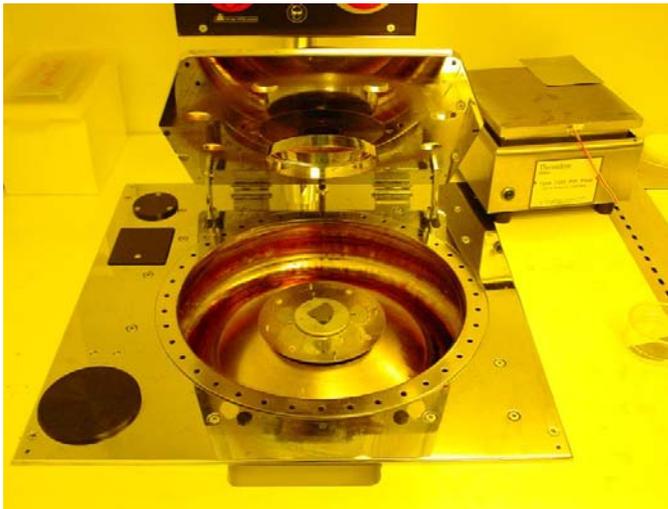
Constitué d'un substrat de silice recouvert d'une couche de chrome

lithographie par faisceau d'électrons

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Résines photorésistantes

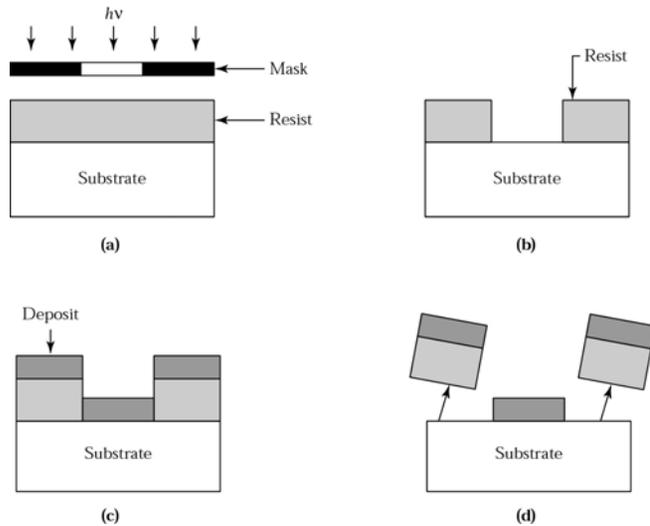
deux types de résines photosensibles.
 Elles se caractérisent par leurs différences de réponses aux radiations



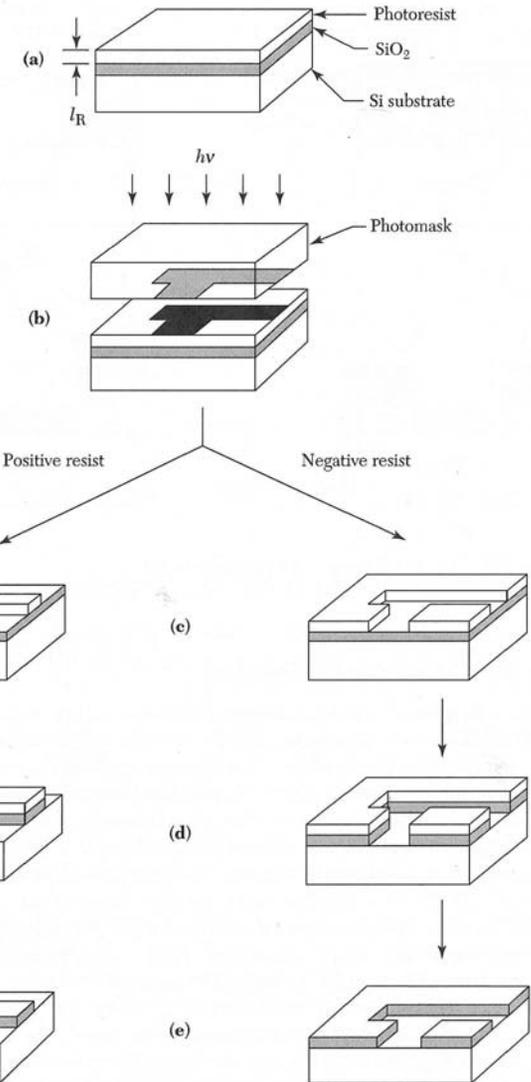
L'étalement des résines sur les wafer : « les tournettes »

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Transferts des dessins



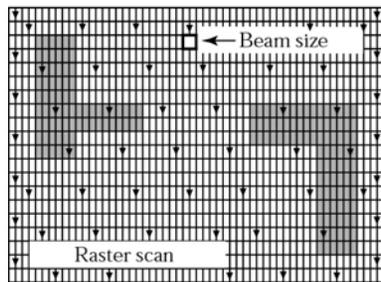
Lithographie par Lift-Off



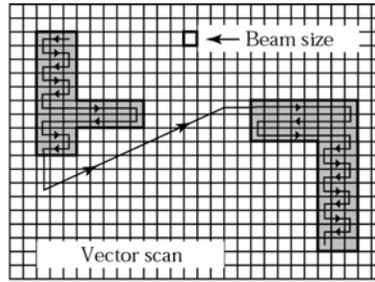
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Prochaines générations de lithographie ?

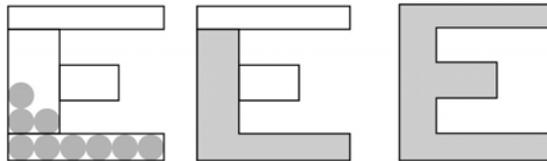
Lithographie e-beam



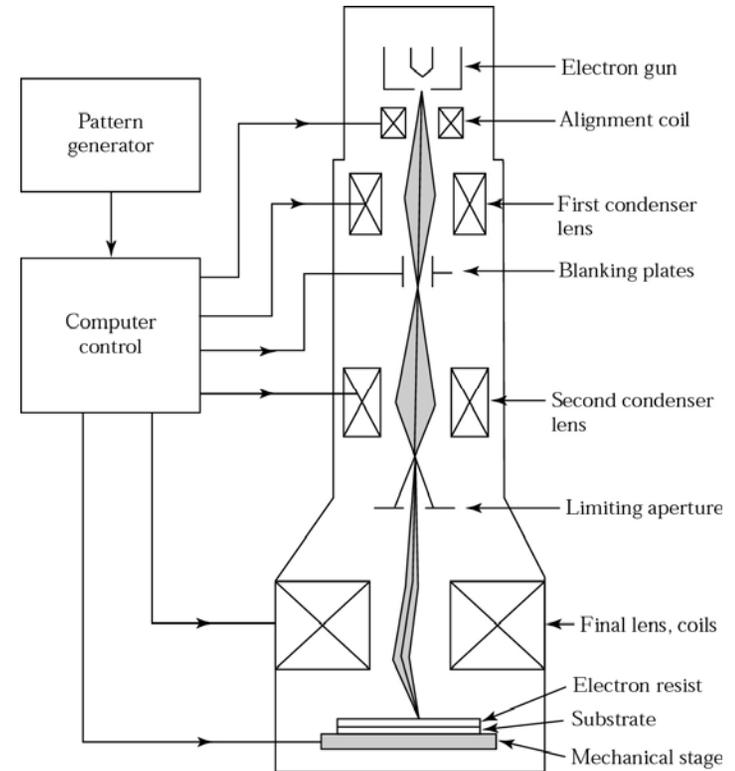
(a)



(b)



(c)



pas de masques physique mais un système de gravure par pixel



- 1/ Introduction
- 2/ **La Photolithographie**
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

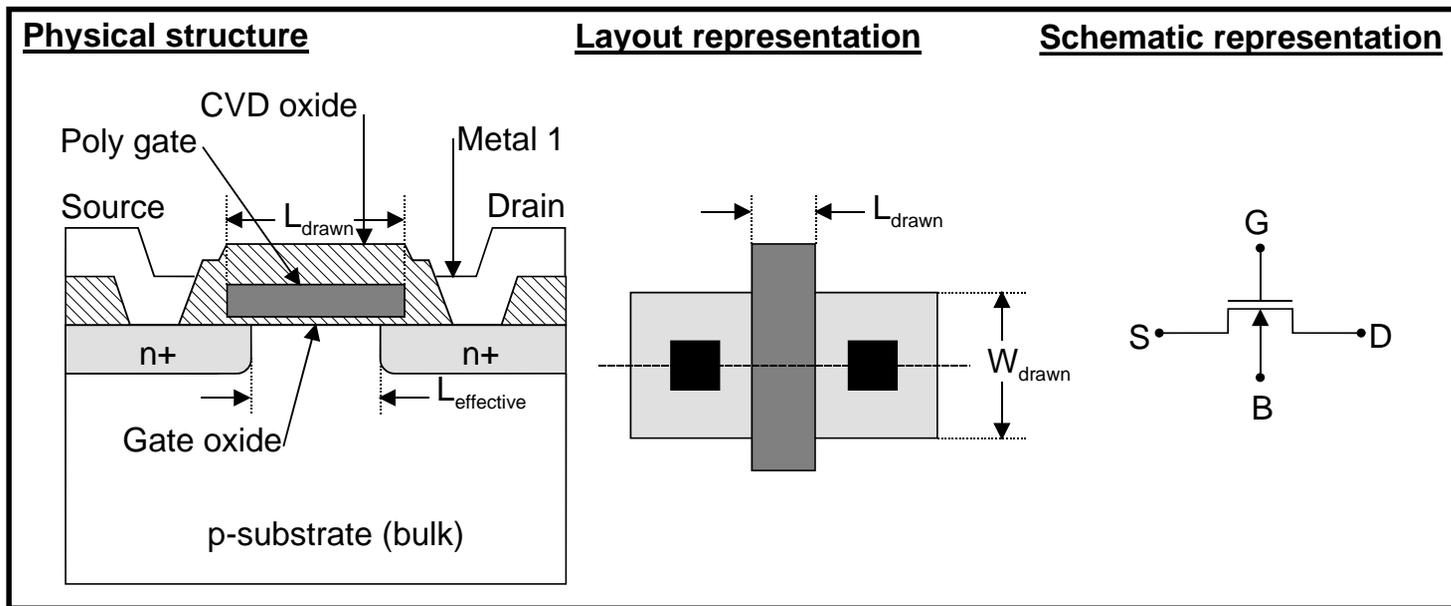
Quelques Comparaisons

<i>Pixels</i>	
Sur un masque en technologie 90nm	1 000 000 000 000
Sur une photo numérique	5 000 000
<i>Défauts</i>	
Tailles des défauts devant être détectés et corrigés	0,1 μm
Nb de ces défauts supportés	0
Rapports de tailles entre ces défauts et le masque	Terrain de football/Californie
<i>Données</i>	
Nombre typique de masques 90nm pou un process	22-25
Taille des données nécessaires pour ces masques	200 GOctets
<i>Coûts</i>	
Coûts d'un masque 90nm	1 M\$

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Introduction (I)

Le transistor NMOS

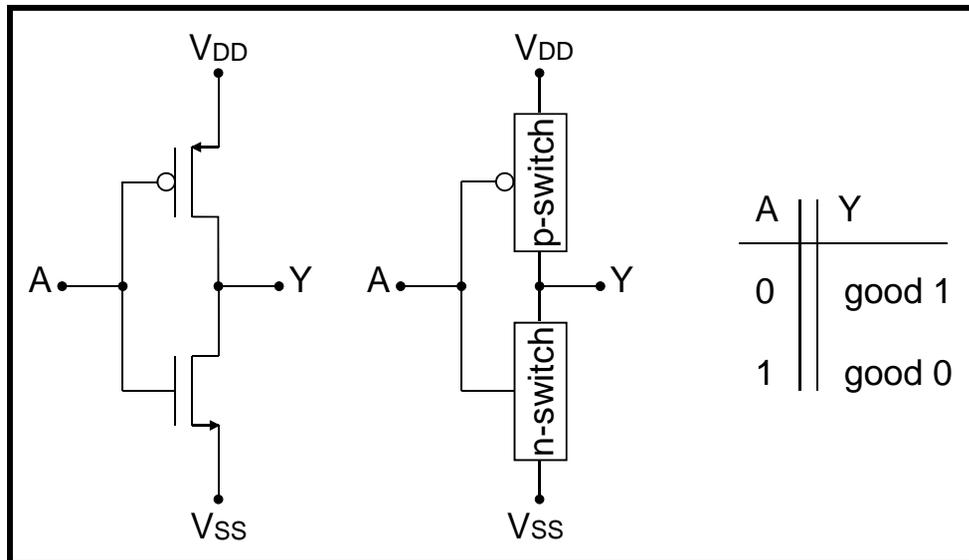
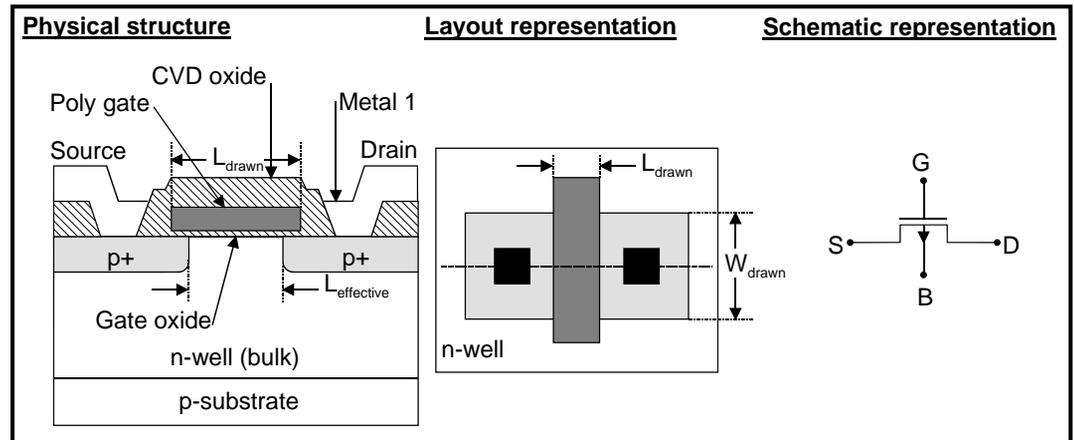


- Dans un substrat de type P : deux zones fortement dopées N connectées au métal 1 \Rightarrow drain et source.
- La grille réalisée par une couche de poly-silicium est isolée du canal par de la silice.
- Une autre couche de silice isole enfin le transistor de ces congénères et protège aussi la grille.

Introduction (II)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Le transistor PMOS



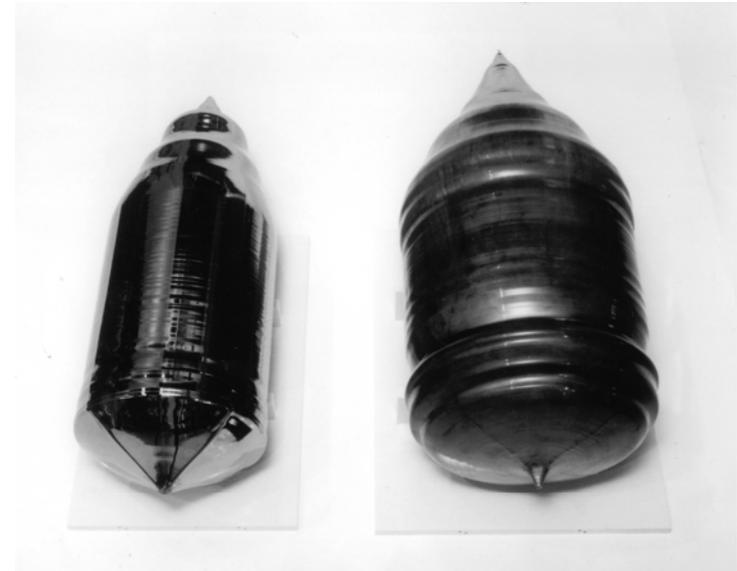
Inverseur CMOS

process de fabrication dit **LOCOS**
 «**LOCAl Oxidation of Silicon**»

l'oxyde de champ FOX « Thick Field Oxide » est positionné sur toutes les régions non actives.

Étape 0 : le Wafer (I)

le matériau de départ : la tranche de monocristal de silicium (Wafer)



2 cristaux obtenus par la méthode Czochralski

- le premier à un diamètre de 300mm (12’’),
- le second à un diamètre de 400mm (16’’).

Matériau initial

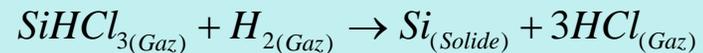
1^{ère} étape



2^{ème} étape



3^{ème} étape



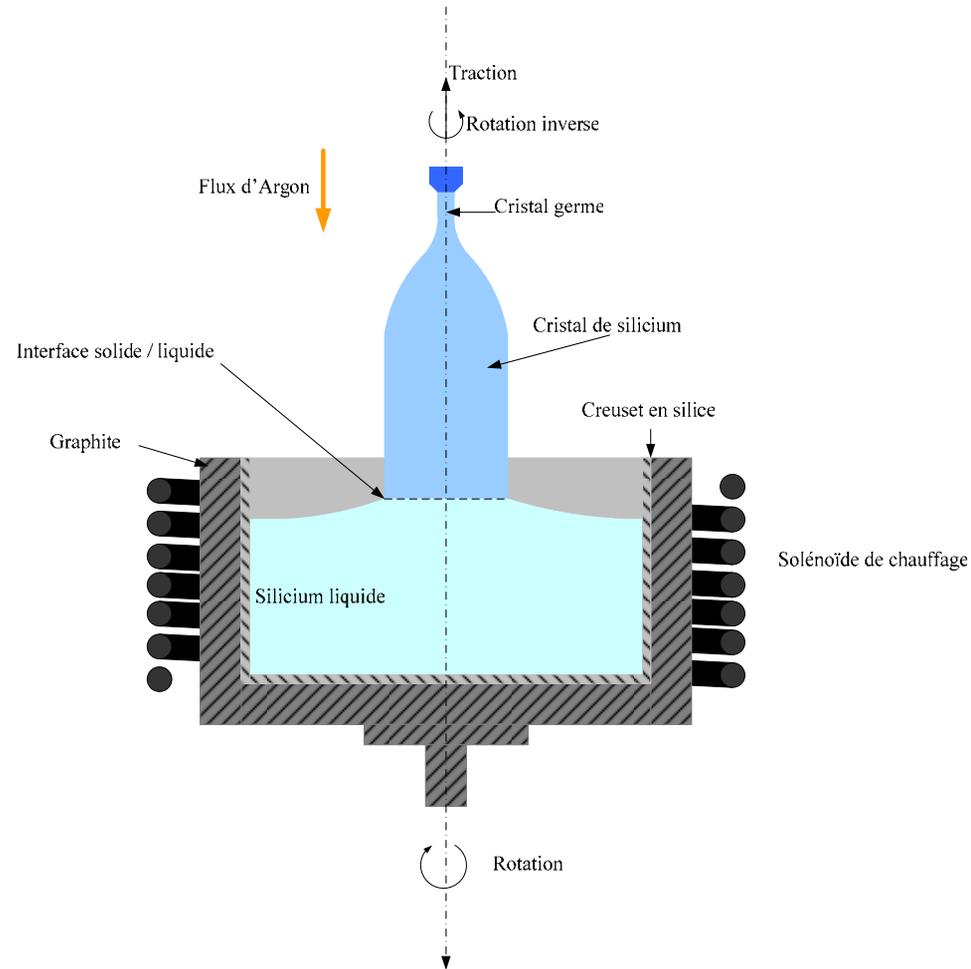
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 0 : le Wafer (III)

La technique dit « Czochralski »

L'extracteur se décompose en 3 parties :

- Un four
- Le mécanisme d'extraction du cristal
- Un système de contrôle



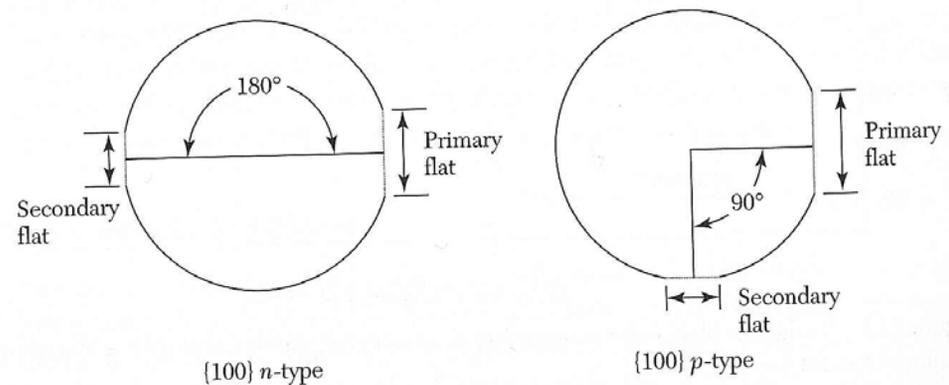
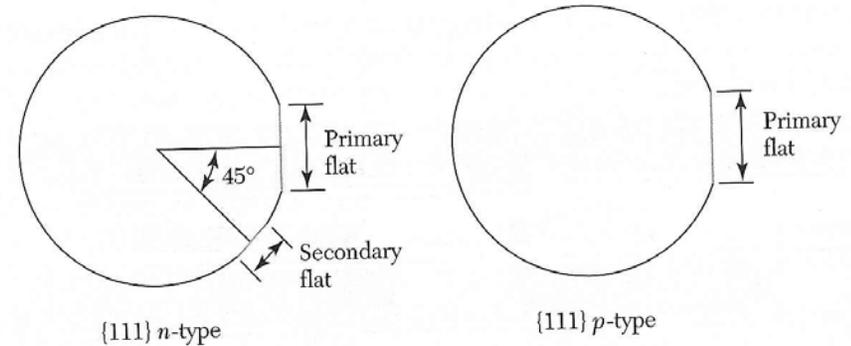
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 0 : le Wafer (IV)

Caractérisation du matériel obtenu

Ces méplats indiquent l'orientation et le type de dopage.

Pour les cristaux de diamètre égal ou supérieur à 200mm on fait plutôt des cannelures.





- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 0 : le Wafer (V)

Caractéristiques géométriques de certains Wafers parmi les plus classiques.

Paramètres	125mm	150mm	200mm	300mm
Diamètre (mm)	125 ± 1	150 ± 1	200 ± 1	300 ± 1
Épaisseur (mm)	0,6 – 0,65	0,65 – 0,7	0,715 – 0,735	0,755 – 0,775
Longueur 1 ^{er} méplat	40 – 45	55 – 60	---	---
Longueur 2 ^{ème} méplat	25 – 30	35 - 40	---	---
Courbure (µm)	70	60	30	< 30
Delta épaisseur (µm)	65	50	10	< 10
Orientation	(100) ± 1°	(100) ± 1°	(100) ± 1°	(100) ± 1°
	(111) ± 1°	(111) ± 1	(111) ± 1	(111) ± 1

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

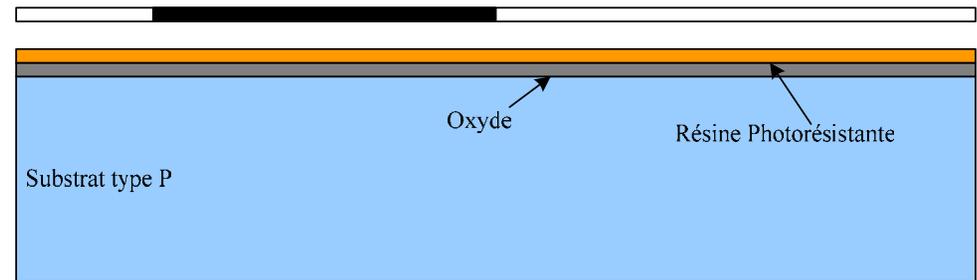
Étape 1 : Caisson dopé N (I)

Principe et succession des taches (I)

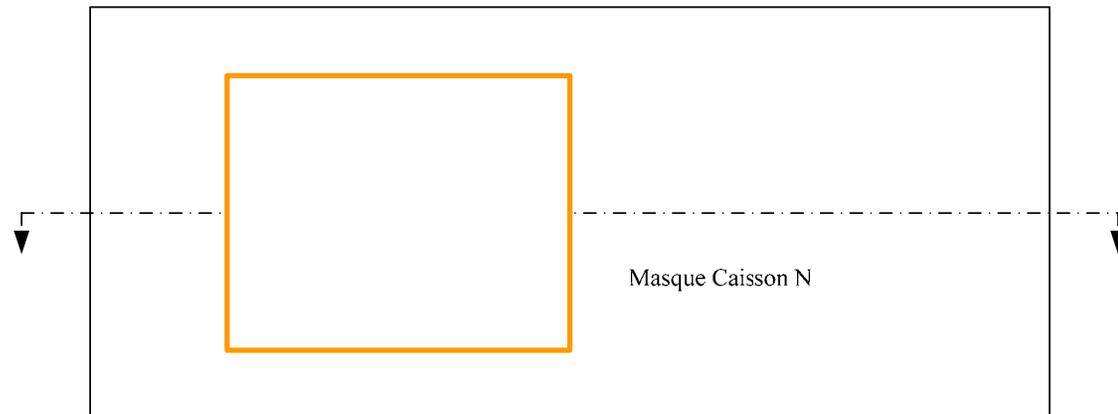
- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Parternig par masquage
- Gravure de l'oxyde de silicium
- Implantation ionique de la zone N

Masque Caisson N

Vue en coupe



Vue Layout



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

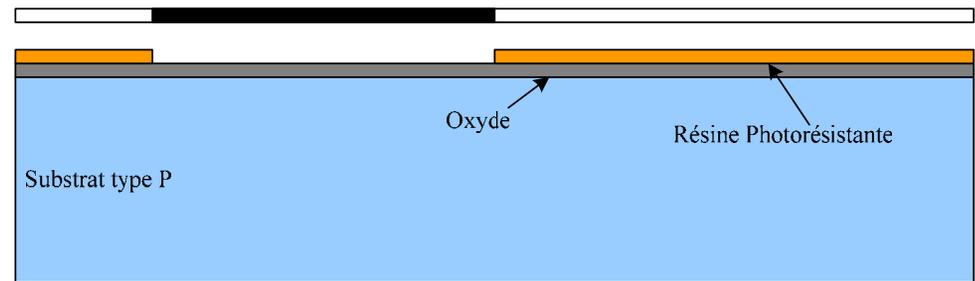
Étape 1 : Caisson dopé N (II)

Principe et succession des taches (II)

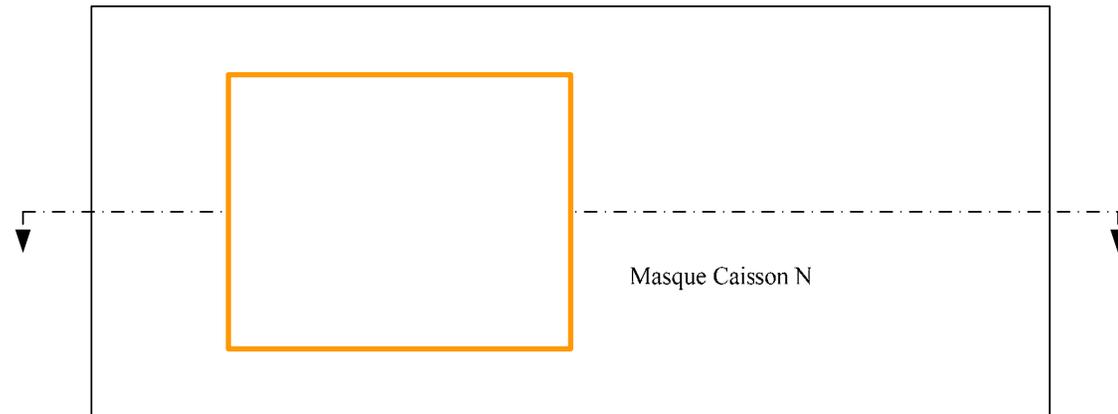
- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- **Parternig par masquage**
 - o Masques N
 - o Développement résine
- Gravure de l'oxyde de silicium
- Implantation ionique de la zone N

Masque Caisson N

Vue en coupe



Vue Layout



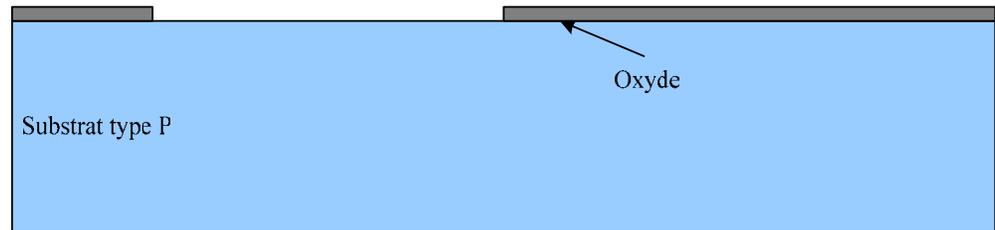
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (III)

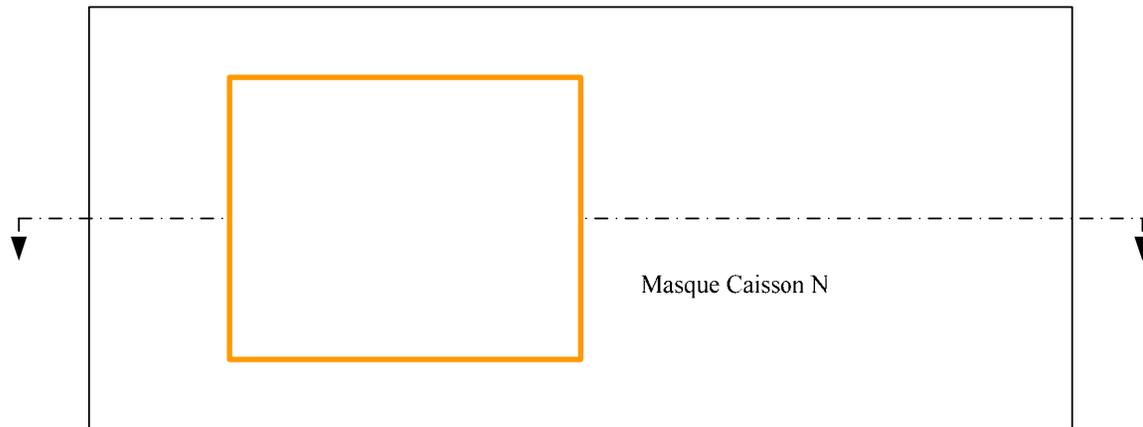
Principe et succession des taches (III)

- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Parternig par masquage
- Gravure de l'oxyde de silicium
 - Gravure RIE
 - Élimination résine
- Implantation ionique de la zone N

Vue en coupe



Vue Layout



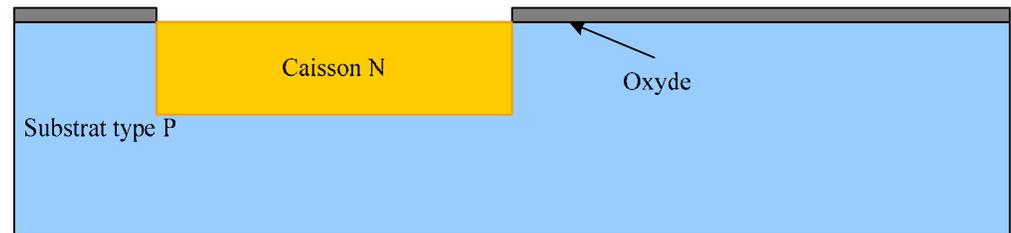
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (IV)

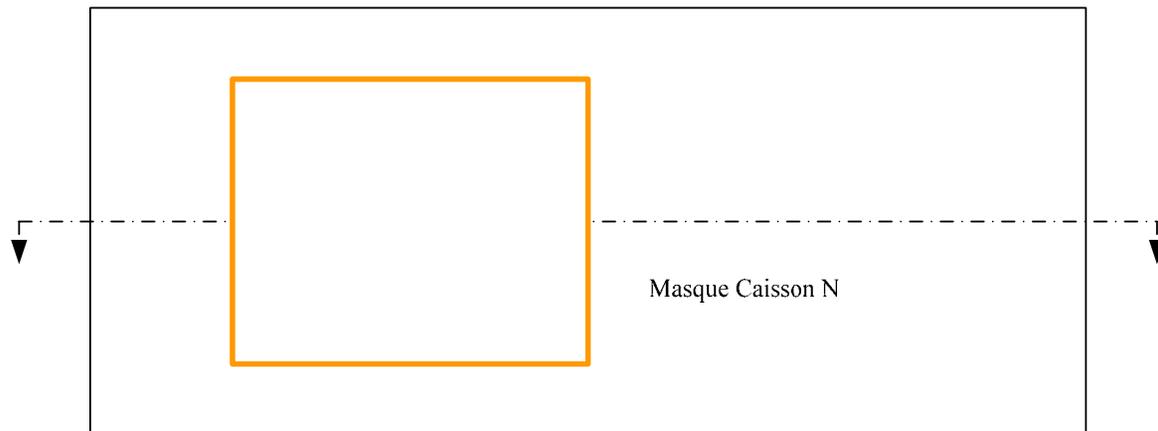
Principe et succession des taches (IV)

- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Parternig par masquage
- Gravure de l'oxyde de silicium
- Implantation ionique de la zone N

Vue en coupe



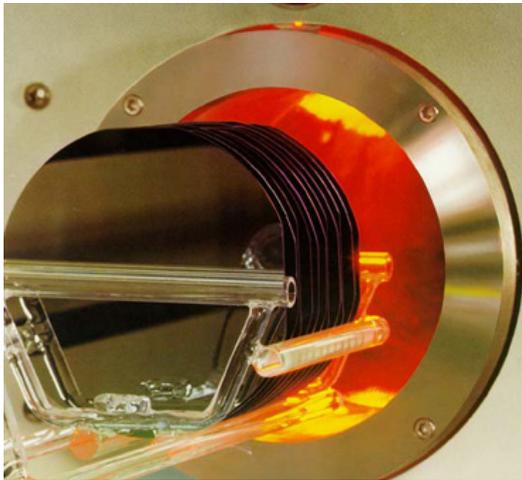
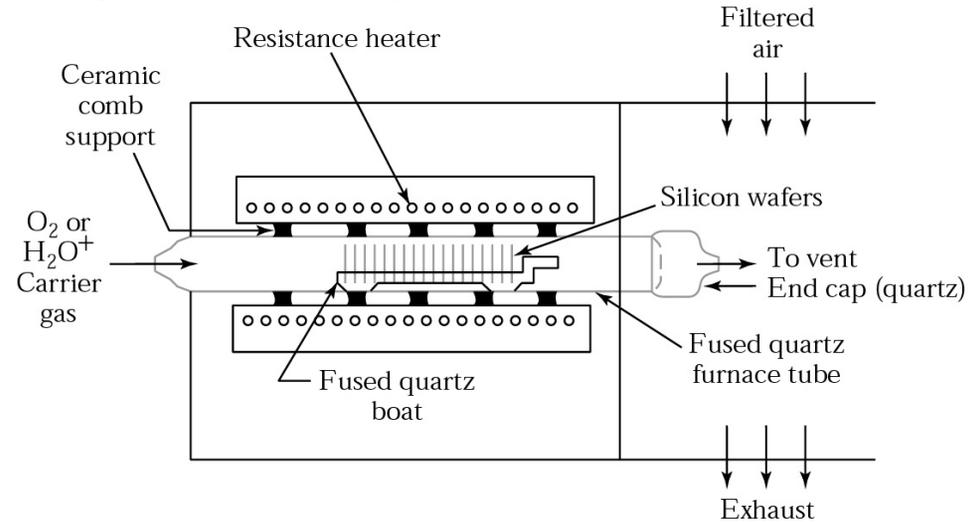
Vue Layout



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (V)

Technologies associées Oxydation silicium (I)



Le réacteur : un système de chauffage par effet joule. Au centre, un tube de quartz et les wafers de silicium placés verticalement.

Un flux continu d'oxygène pur gazeux ou de vapeur d'eau (pour les couches épaisses).

Ce flux est contrôlé via un écoulement d'air purifié.

Température de 900°C à 1200°C avec un débit de gaz d'environ 1l/min.

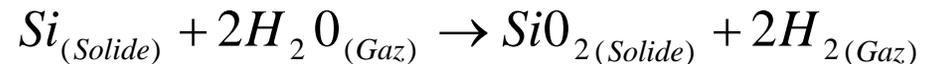
Étape 1 : Caisson dopé N (VI)

Technologies associées Oxydation silicium (II)

Pour une oxydation par oxygène.



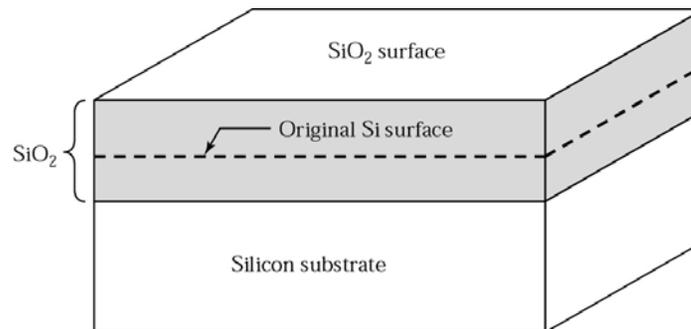
Pour une oxydation par vapeur d'eau.



Réactions thermiques très simples :

La croissance de la silice se fait bien sur aux dépens du silicium mais du fait de la différence de densité et de poids moléculaire de ces 2 éléments :

l'obtention d'une couche de silice nécessite la consommation d'une couche de silicium 0,44 fois plus fine.



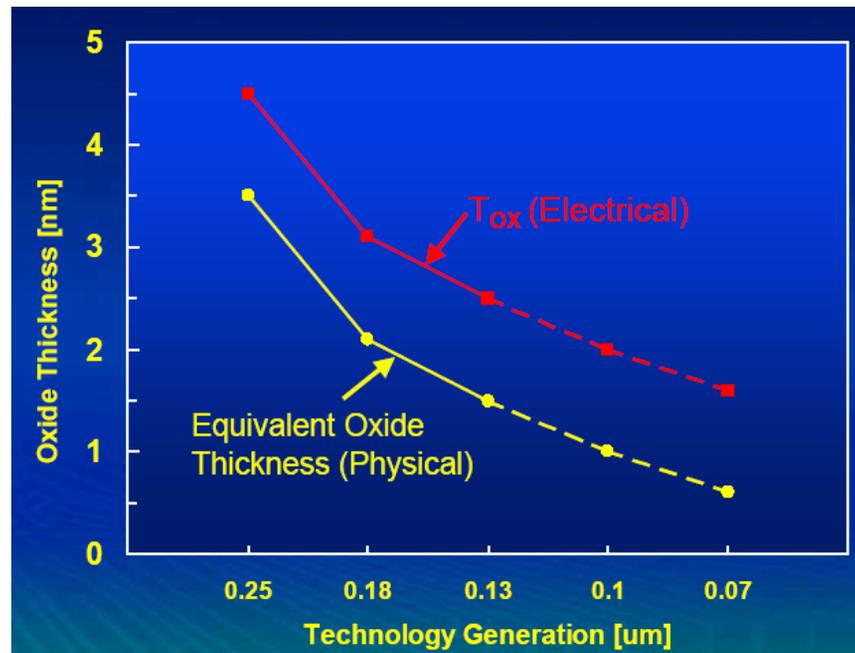
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (VII)

Technologies associées Oxydation silicium (III)

Technologies actuelles :

la couche de silice de grille est très mince



La croissance à pression atmosphérique et basse température (800°C à 900°C).

Pour contrôler la vitesse et d'assurer une reproductibilité des épaisseurs on réduit la pression partielle d'O₂ par une dilution par des gaz inertes comme N₂, Ar ou He.



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (VIII)

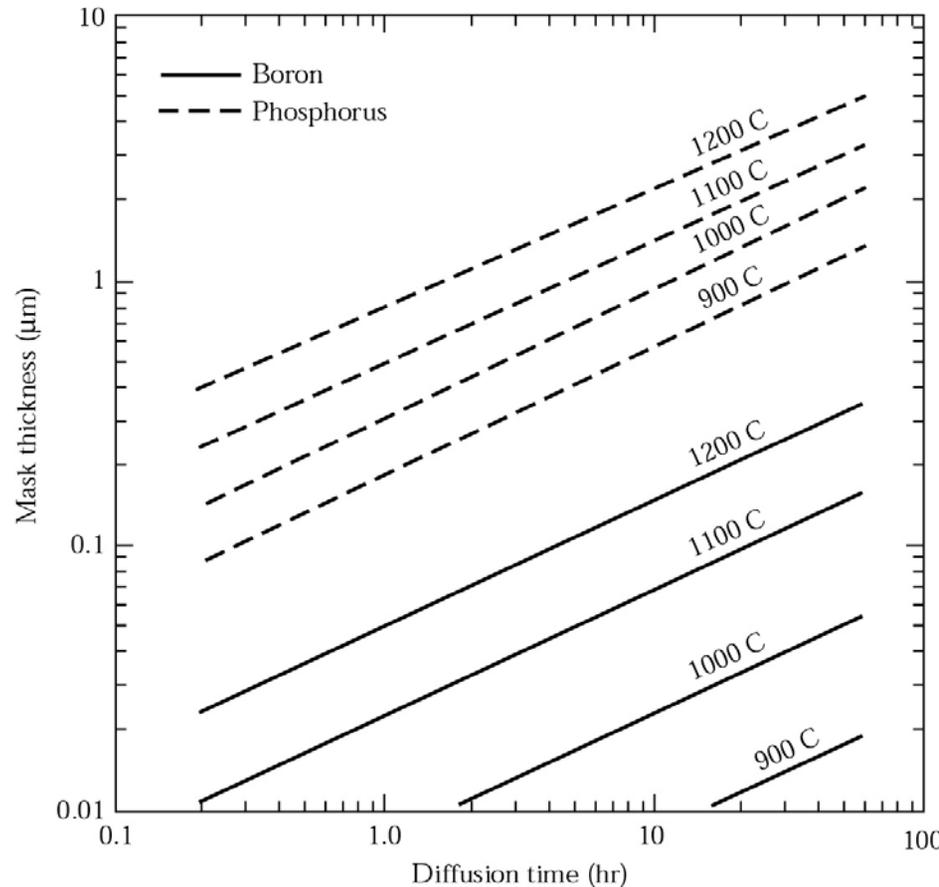
Technologies associées Oxydation silicium (IV)

Propriété de masquage de l'oxyde de silicium

propriété intéressante de la silice :
sa capacité d'être utilisée comme
masque sélectif contre la diffusion des
dopants à haute température.

En effet la vitesse de diffusion est de
l'ordre de 2 à 3 ordre de grandeur plus
faible dans la silice que dans le
silicium.

Cette caractéristique est très utilisée
dans le processus de fabrication des
circuits intégrés.





- 1/ Introduction
- 2/ La Photolithographie
- 3/ **Séquences de fabrication CMOS**
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (IX)

Technologies associées : Gravure (I)

2 grandes familles de gravures

la photolithographie permet de transférer les dessins des masques sur la résine.

La gravure va permettre de reproduire ces dessins sur les couches minces situées en dessous.

En fonction des matériaux à graver et des dessins à réaliser on trouve deux types de gravure :

- Une gravure humique qui utilise un produit chimique.
- Une gravure sèche qui utilise les plasmas

Étape 1 : Caisson dopé N (X)

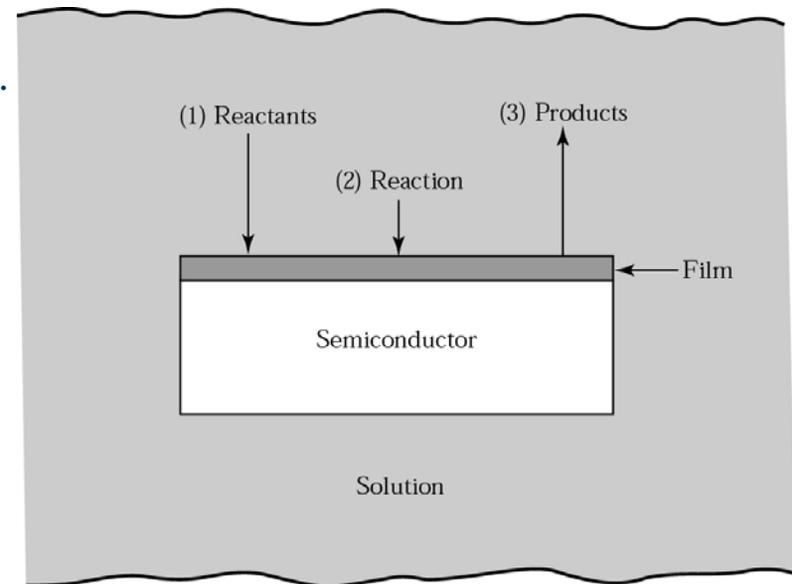
Technologies associées : Gravure (II)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Gravure humide ou chimique

La gravure chimique, se décompose en 3 étapes :

- Le produit chimique (réactant) se dépose par diffusion sur la surface à graver.
- La réaction chimique se produit à la surface.
- Le produit de cette réaction est éliminé par diffusion.



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

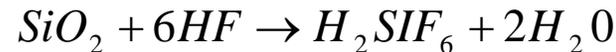
Étape 1 : Caisson dopé N (XI)

Technologies associées : Gravure (III)

Oxydation à l'acide nitrique

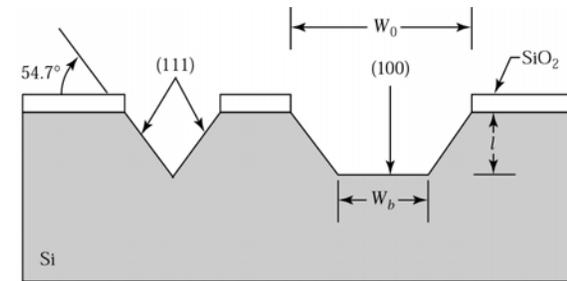


L'acide fluorhydrique permet ensuite de dissoudre la silice

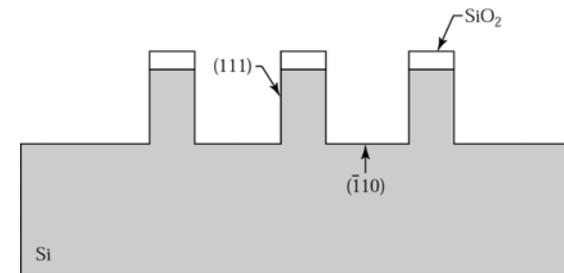


Gravure humide du silicium

Différence de gravure en fonction de l'orientation du cristal de silicium



(a)



(b)



Étape 1 : Caisson dopé N (XII)

Technologies associées : Gravure (IV)

Matériaux	Solution	Vitesse (nm/min)
SiO ₂ (silice)	HF NH ₄ F	100
	HF HNO ₃ H ₂ O	12
Si ₃ N ₄ Nitrure de silicium)	HF NH ₄ F	0,5
Al (aluminium)	H ₃ PO ₄	10
	HNO ₃ H ₂ O H ₃ PO ₄ CH ₃ COOH	30
Au (Or)	KI	1000
Mo (Molybdène)	I ₂ HNO ₃ H ₂ O H ₃ PO ₄ CH ₃ COOH	500
Pt (platine)	HNO ₃ H ₂ O HCl	50
W (tungstène)	KH ₂ PO ₄ KOH K ₃ Fe(CN) ₄ H ₂ O	160

Quelques autres gravures humides

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

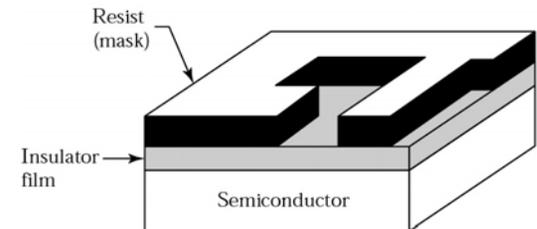
Étape 1 : Caisson dopé N (XIII)

Technologies associées : Gravure (V)

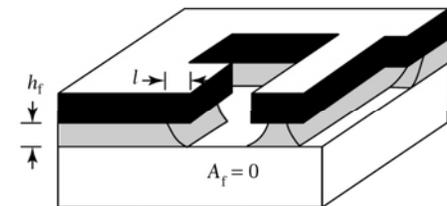
Gravure sèche ou par plasma

Nécessité d'une gravure anisotrope
pour les matériaux amorphes ou polycristallin

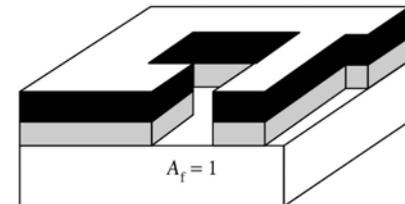
Gravure sèche



(a)



(b)



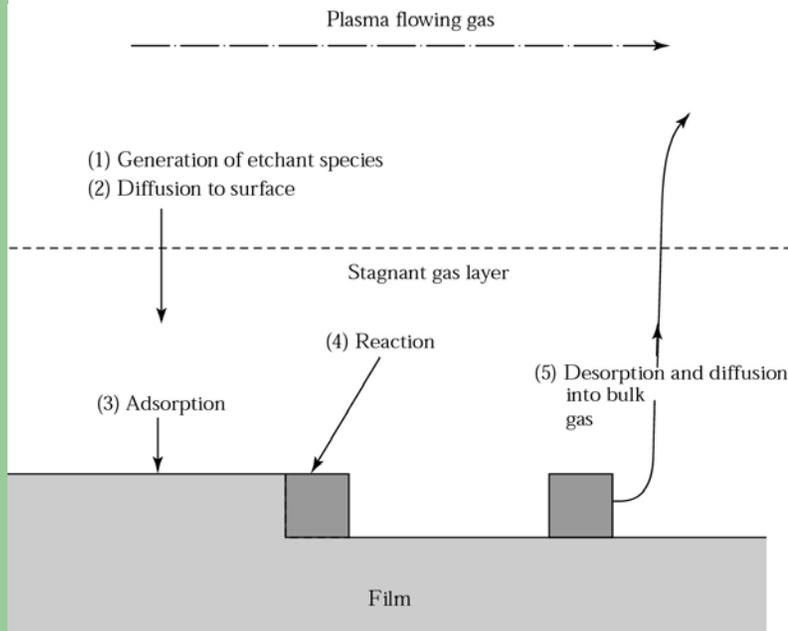
(c)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (XIV)

Technologies associées : Gravure (VI)

Gravure par plasma



La gravure par plasma est basée sur la génération de plasma dans un gaz à base pression.

- Composés de gravure (ions) générés dans le plasma.
- transportés par diffusion sur la surface du wafer.
- absorbés par la surface
- La réaction chimique et l'effet physique du bombardement ionique
- Résultat désorbé de la surface, et pompé

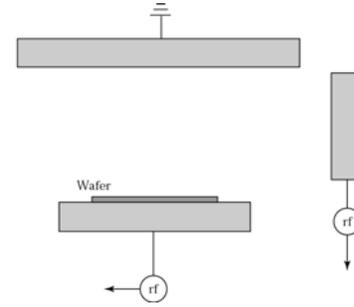
On distingue deux types de gravure par plasma :

- Une gravure physique. (faible vitesse et anisotropie).
- Une gravure chimique (grande vitesse isotropie et bonne sélectivité).

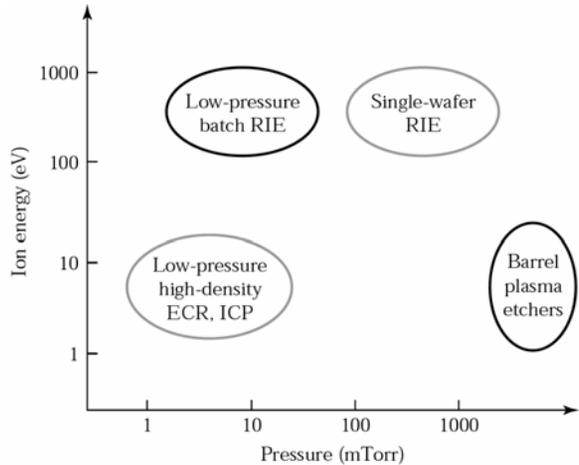
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (XV)

Technologies associées : Gravure (VII)

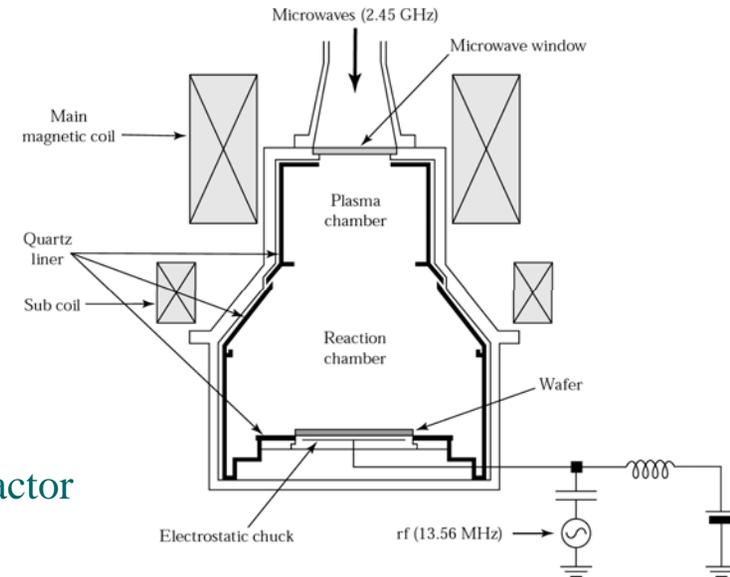


Réacteurs de gravure



electron cyclotron resonance reactor

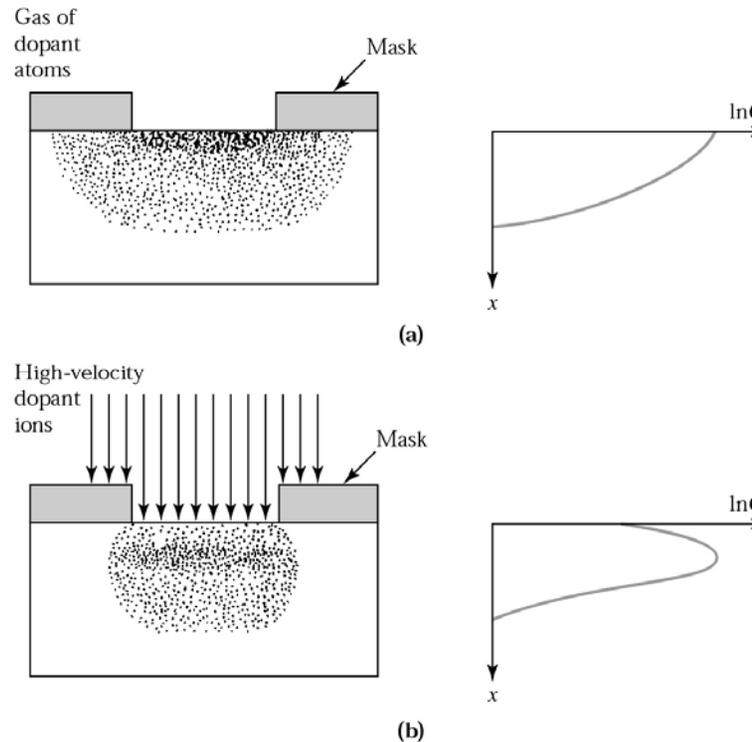
reactive ion etch reactor



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (V)

Technologies associées : Implantation ionique (I)



Pour l'implantation des dopants (Phosphore et Bore) 2 techniques ont été développées :

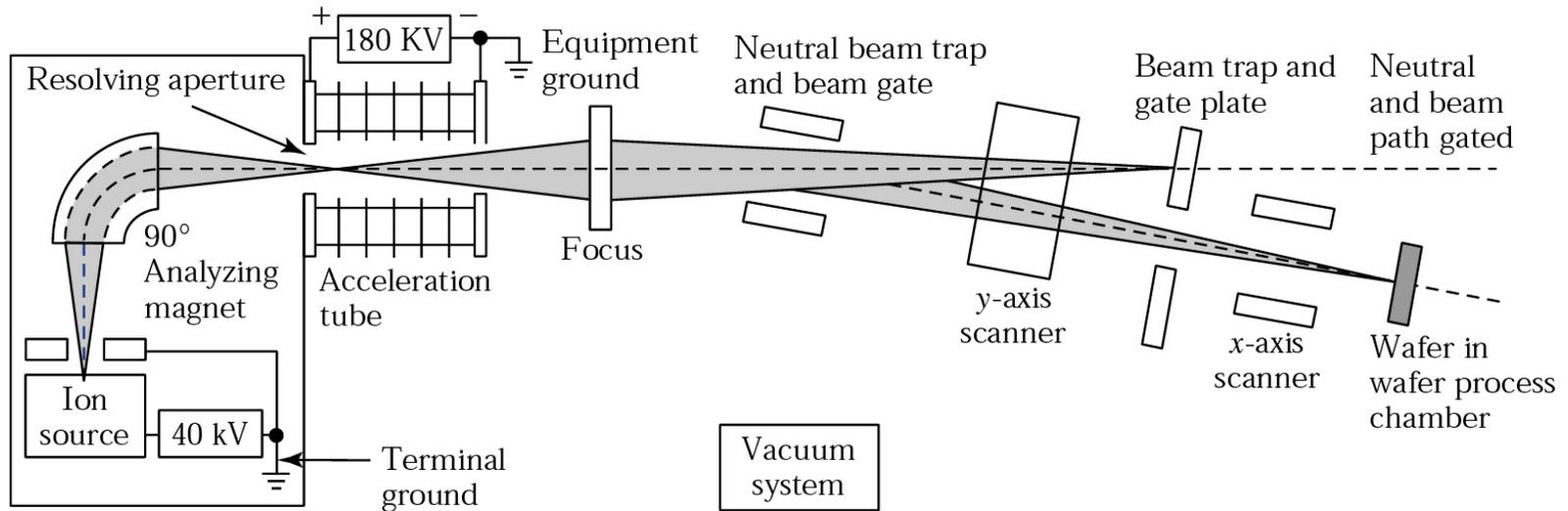
- La diffusion
- L'implantation ionique

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (XVI)

Technologies associées : Implantation ionique (II)

le dopant est ici implanté grâce à flux d'ions



La concentration fonction de la masse des ions et de l'énergie d'implantation.

(1 keV et 1 MeV) donne profondeur de distribution entre 10 nm et 10µm avec densité surfacique de dopant comprise entre 10^{12} ions/cm² et 10^{18} ions/cm².

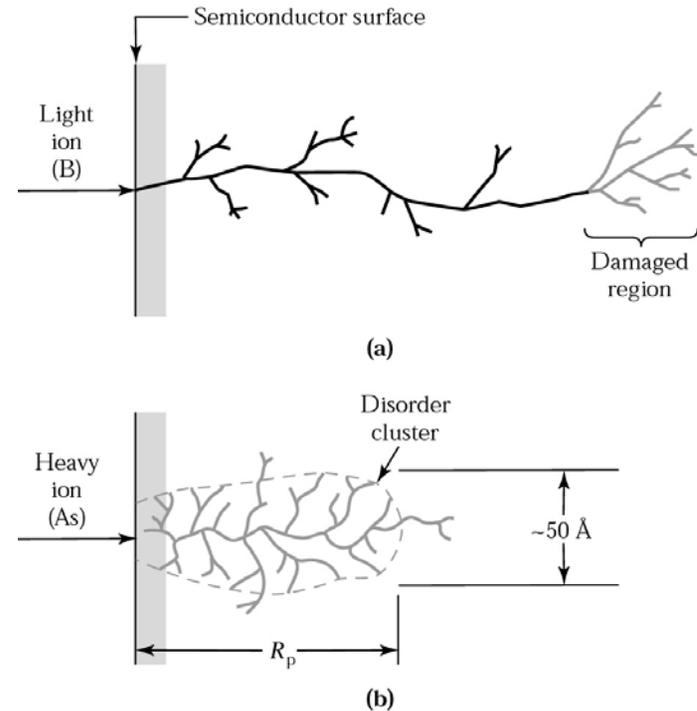
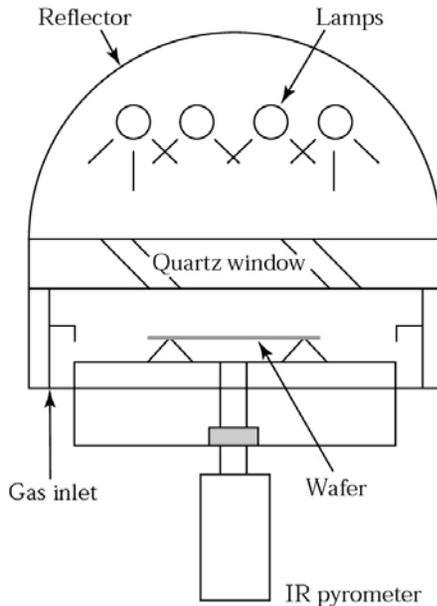
précision dans la distribution obtenu, répétitivité, travail à température ambiante.

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 1 : Caisson dopé N (XVII)

Technologies associées : Implantation ionique (III)

Domage engendré par l'implantation ionique



Recuit thermique rapide (très fort gradient (100°C/s) une température de 600 à 1000°C).



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

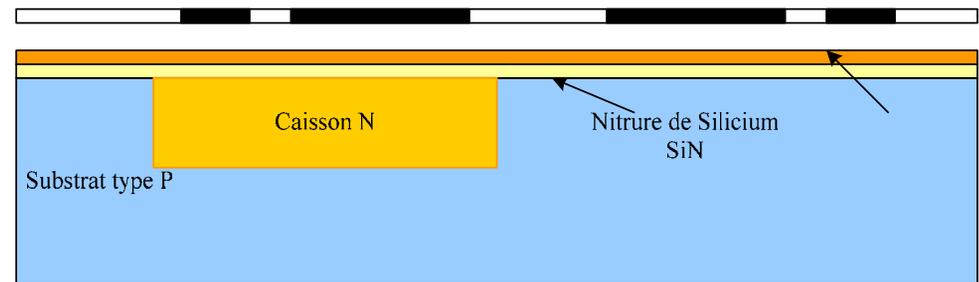
Étape 2 : Zones actives (I)

Principe et succession des tâches (I)

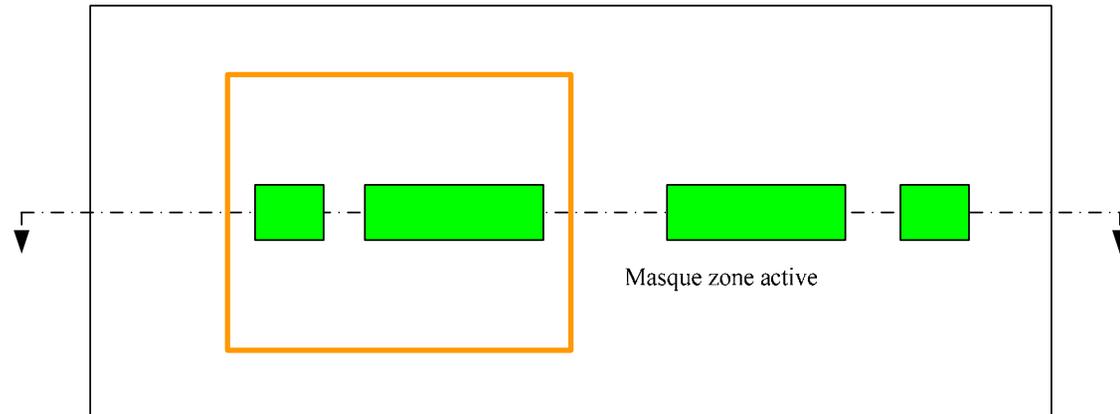
- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

Masque zone Active

Vue en coupe



Vue Layout





- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

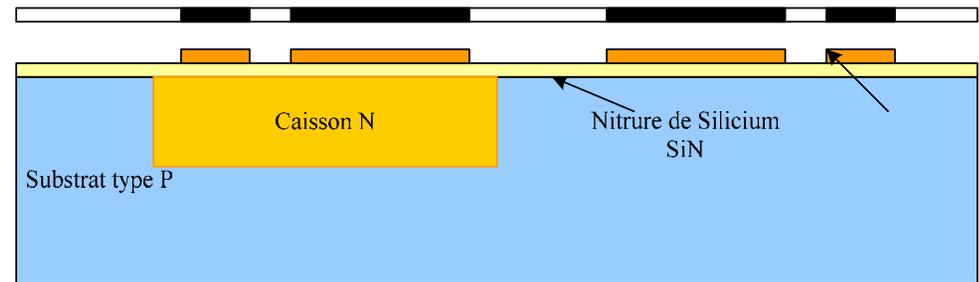
Étape 2 : Zones actives (II)

Principe et succession des tâches (II)

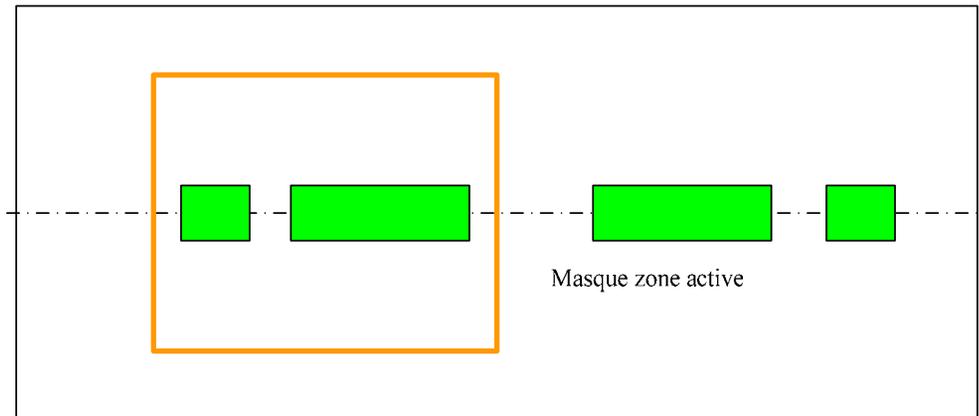
- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

Masque zone Active

Vue en coupe



Vue Layout

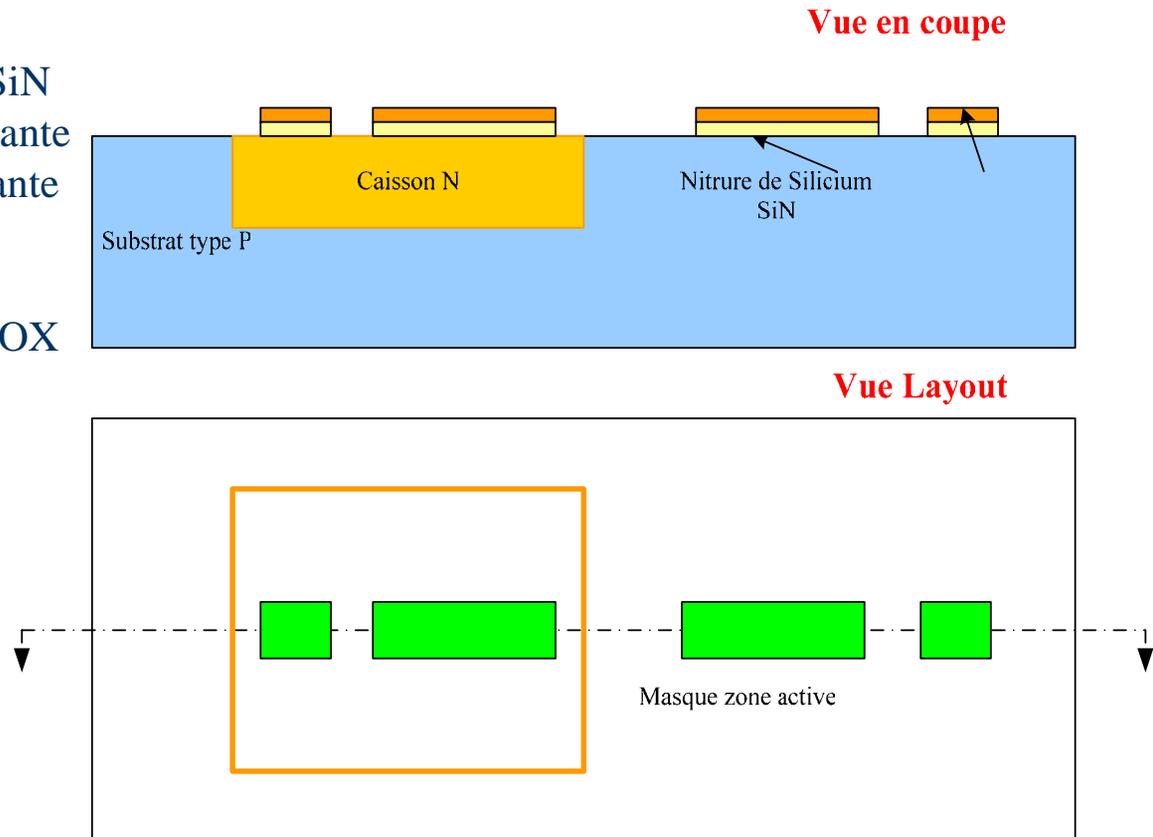


Étape 2 : Zones actives (III)

Principe et succession des tâches (III)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

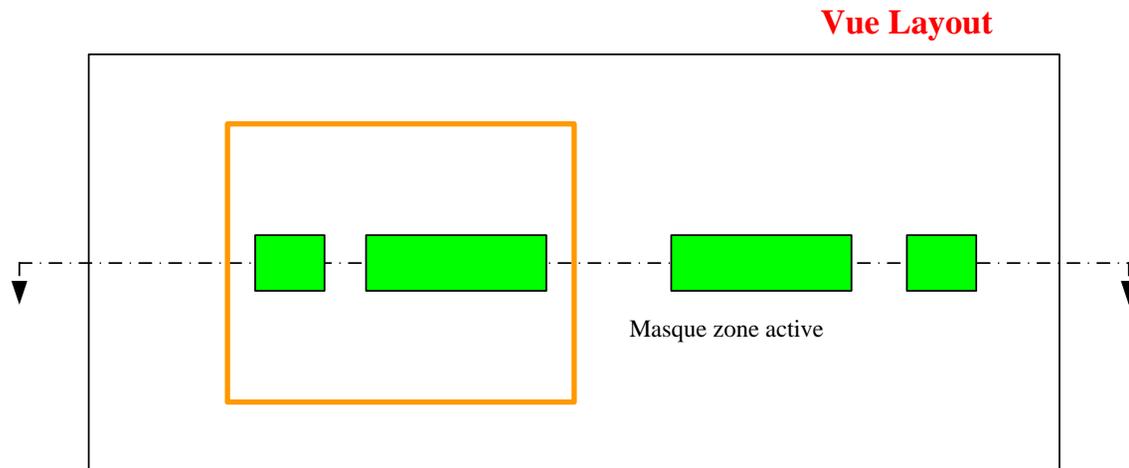
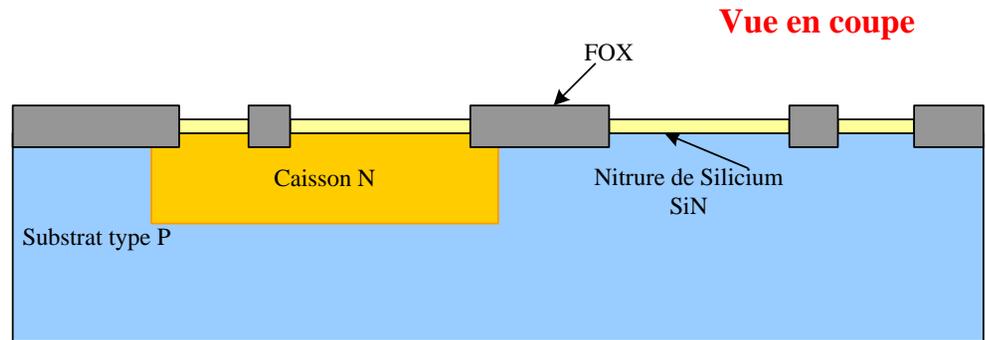


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 2 : Zones actives (IV)

Principe et succession des tâches (IV)

- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

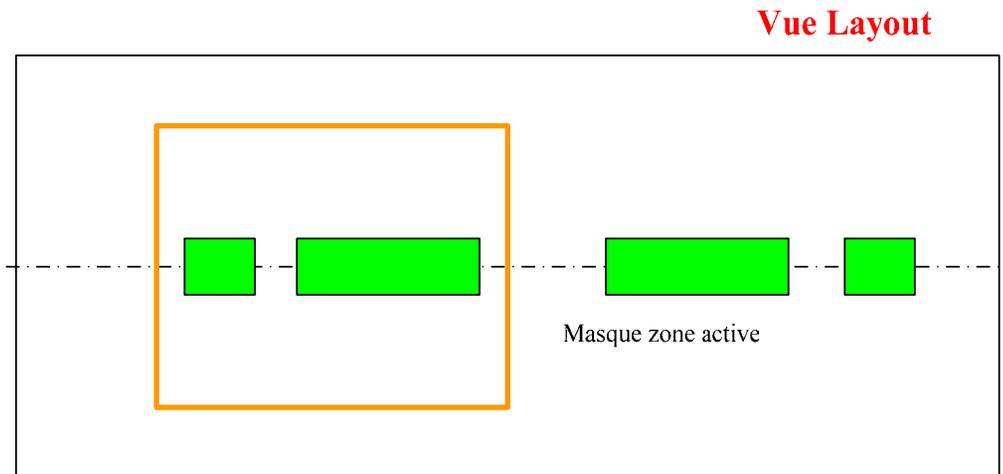
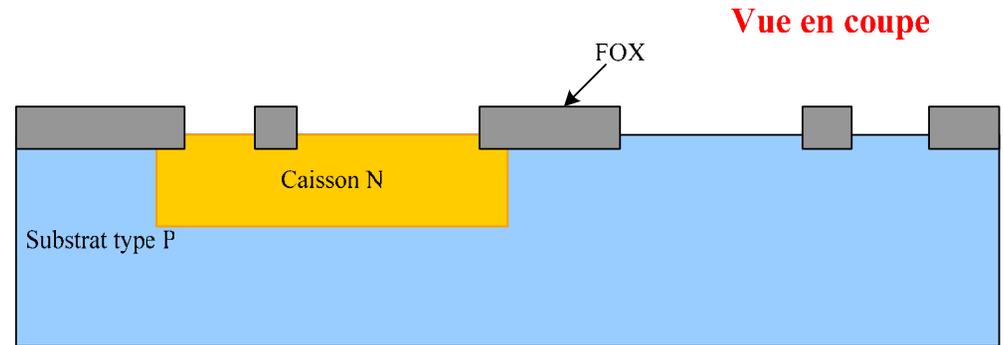


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 2 : Zones actives (V)

Principe et succession des tâches (V)

- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

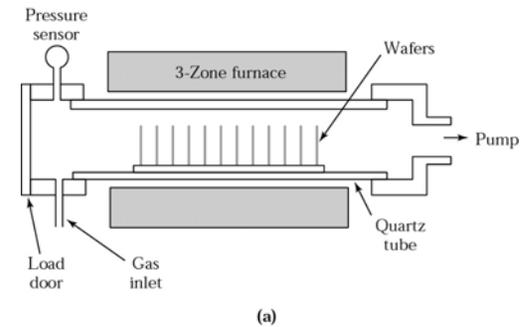


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

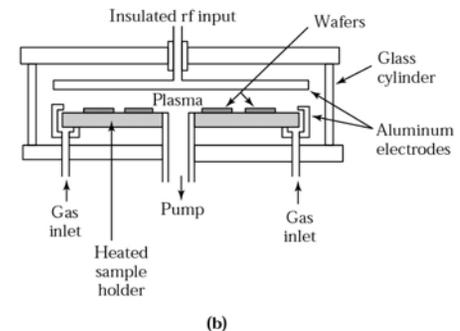
Étape 2 : Zones actives (VI)

Technologie associées : Dépôt de diélectrique (I)

APCVD & LPCVD



PECVD



Utilisé principalement pour la passivation des composants discrets (isolation électrique).

Ils existent trois méthodes classiques de dépôt :

- Dépôt chimique en phase vapeur à pression atmosphérique 'APCVD'.
- Dépôt chimique en phase vapeur à basse pression 'LPCVD'.
- Dépôt en phase vapeur avec assistance par plasma 'PECVD'.



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 2 : Zones actives (VII)

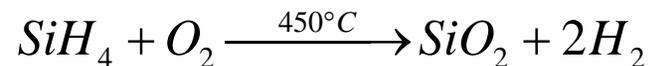
Technologie associées : Dépôt de diélectrique (II)

Dépôt de silice

Une Silice obtenu par CVD est de qualité inférieure à celle obtenu par oxydation thermique. Ainsi cette silice est utilisée de manière complémentaire.

- isolant entre les différentes couches de métallisation
- masque dans une opération d'implantation ionique

A basse température (300 à 500°C), la réaction chimique :
le silane et l'oxygène (risque d'explosion à pression atmosphérique)





- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 2 : Zones actives (VIII)

Technologie associées : Dépôt de diélectrique (III)

Dépôt de nitrure de silicium

La LPCVD donne (vers 750°C):

un nitrure stoechiométrique (Si_3N_4) et de grande densité (2,9 à 3,1 g/cm³).
Ce dernier est utilisé comme couche barrière vis-à-vis de l'eau et du sodium.

La PECVD donne (vers 350°C):

un nitrure stoechiométrique et à une plus faible densité (2,4 à 2,8 g/cm³).

Du fait de l'utilisation d'une faible température ce nitrure est utilisé comme :

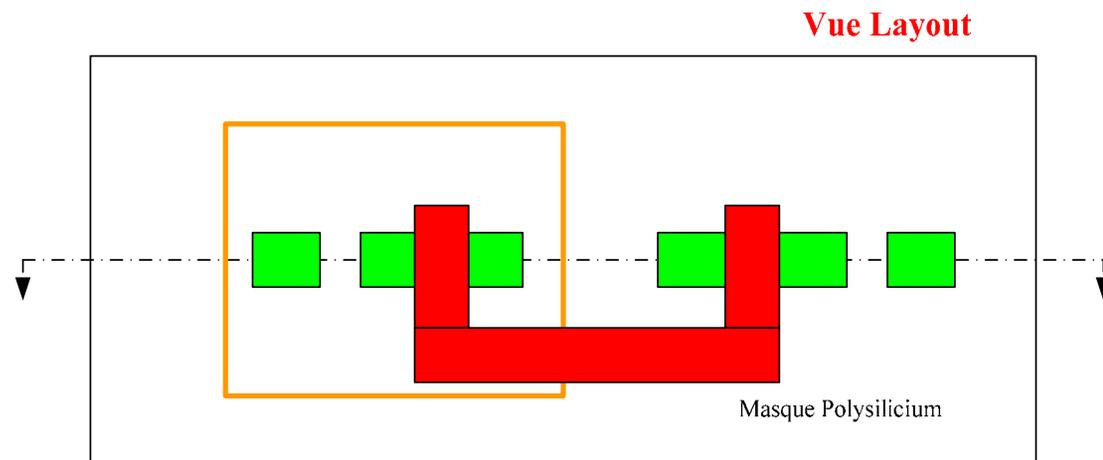
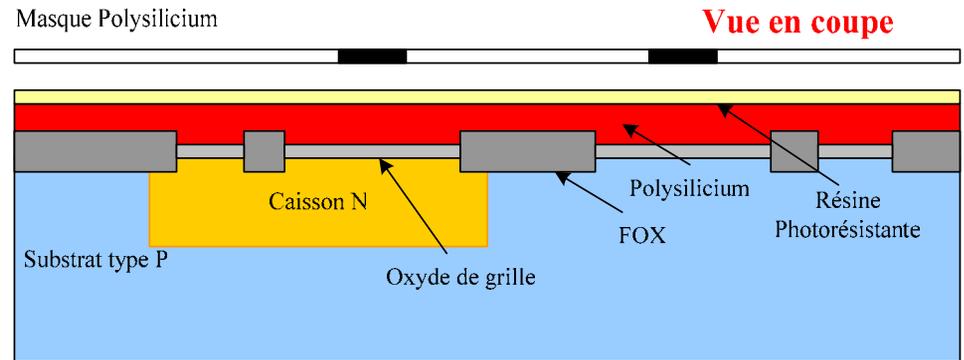
- passivation finale des circuits intégrés
- protection contre les rayures et contre l'humidité.

Étape 3 : Grille (I)

Principe et succession des tâches (I)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Croissance de l'oxyde de grille
- Déposition du polysilicium
- Déposition de la résine photorésistante
- Développement de la résine
- Gravure du polysilicium
- Gravure de l'oxyde de grille

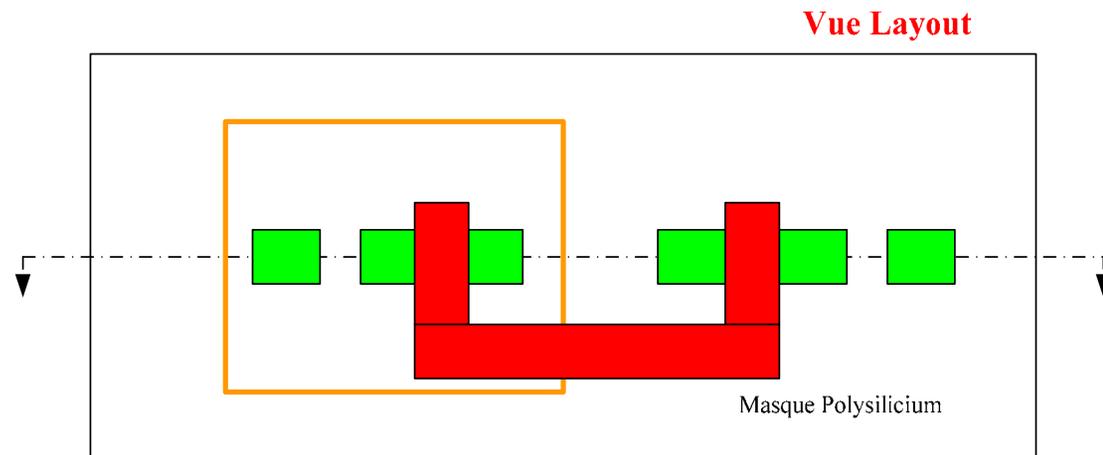
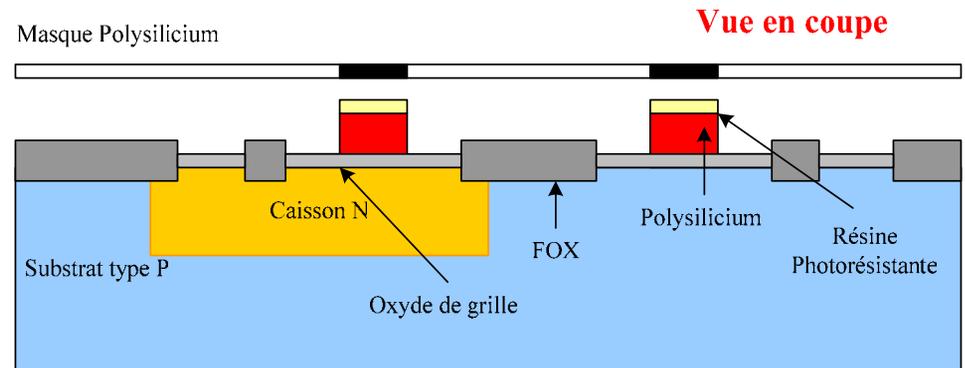


Étape 3 : Grille (II)

Principe et succession des tâches (II)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Croissance de l'oxyde de grille
- Déposition du polysilicium
- Déposition de la résine photorésistante
- Développement de la résine
- Gravure du polysilicium
- Gravure de l'oxyde de grille

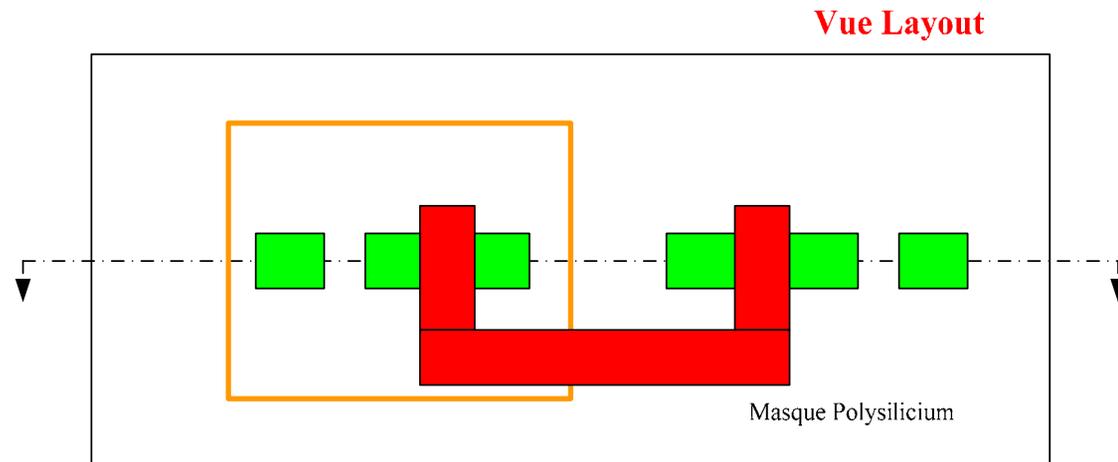
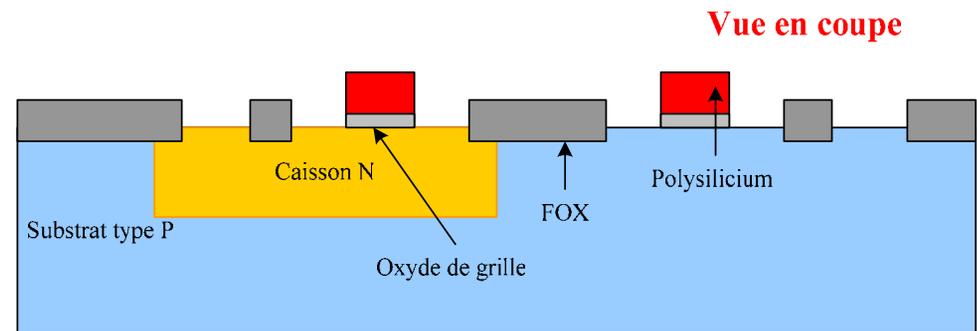


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 3 : Grille (III)

Principe et succession des tâches (III)

- Croissance de l'oxyde de grille
- Dépôt du polysilicium
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure du polysilicium
- Gravure de l'oxyde de grille

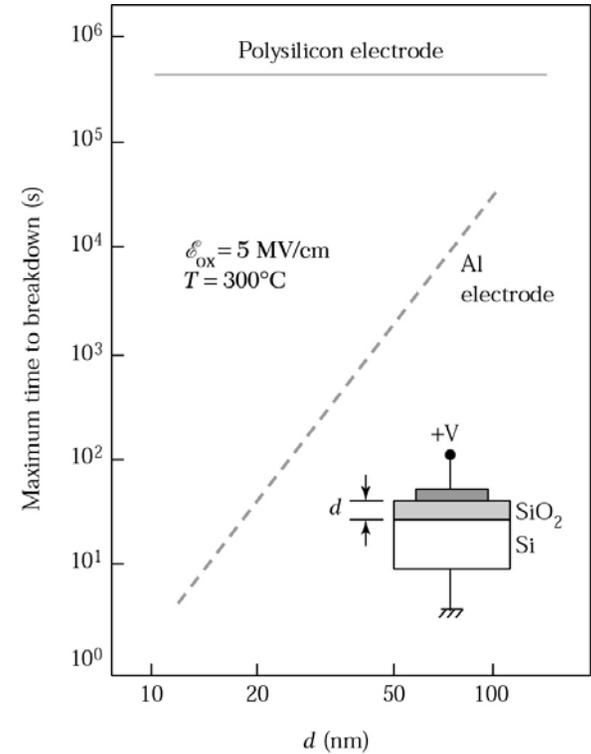


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

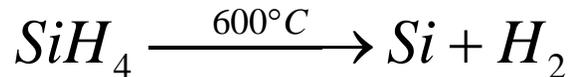
Étape 3 : Grille (IV)

Technologie associées : Déposition de Polysilicium (I)

Le polysilicium pour la grille des transistors MOS surpasse le silicium d'un point de vue de la fiabilité.
 Migration des atomes de Al dans la silice sous l'action du champ électrique.



Le polysilicium est obtenu par LPCVD à 600/650°C par pyrolyse du silane sous une pression de 25 à 130 Pa..



Étape 4 : Dopage zone active(I)

Principe et succession des tâches (I)

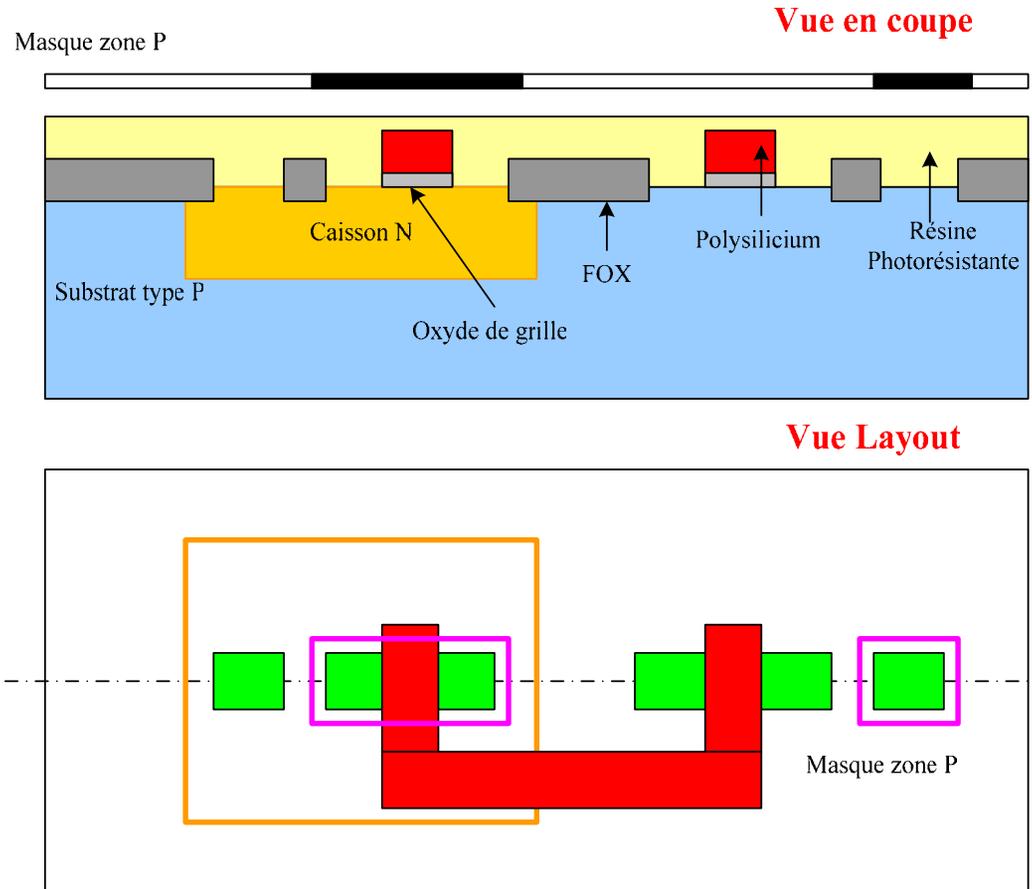
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Dopage P

- Dépôt de la résine photorésistante
- Parternig par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parternig par masquage
- Implantation ionique de la zone N



Étape 4 : Dopage zone active(II)

Principe et succession des tâches (II)

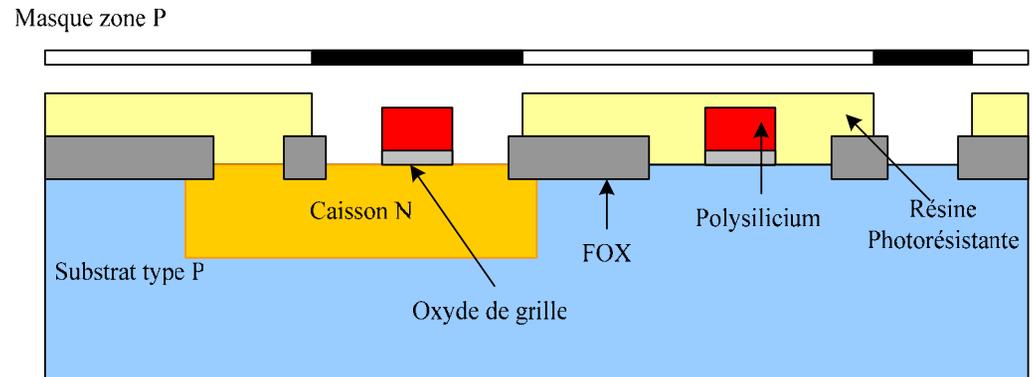
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Dopage P

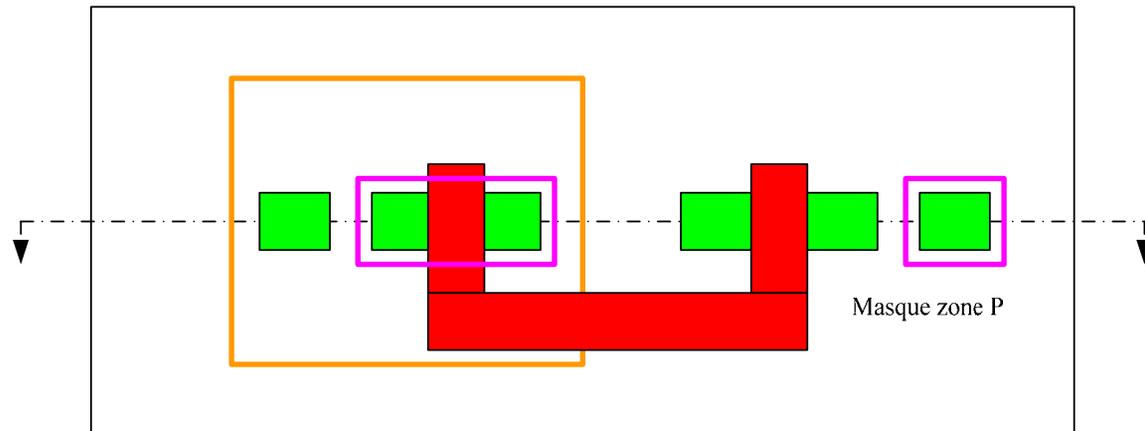
- Dépôt de la résine photorésistante
- Parternig par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parternig par masquage
- Implantation ionique de la zone N



Vue Layout



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 4 : Dopage zone active(III)

Principe et succession des tâches (III)

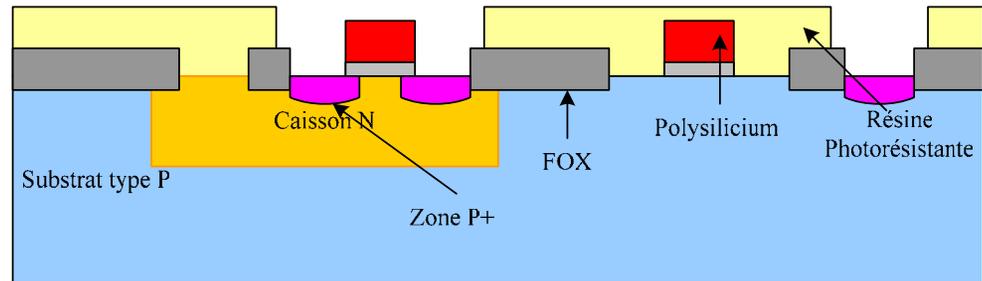
Dopage P

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N

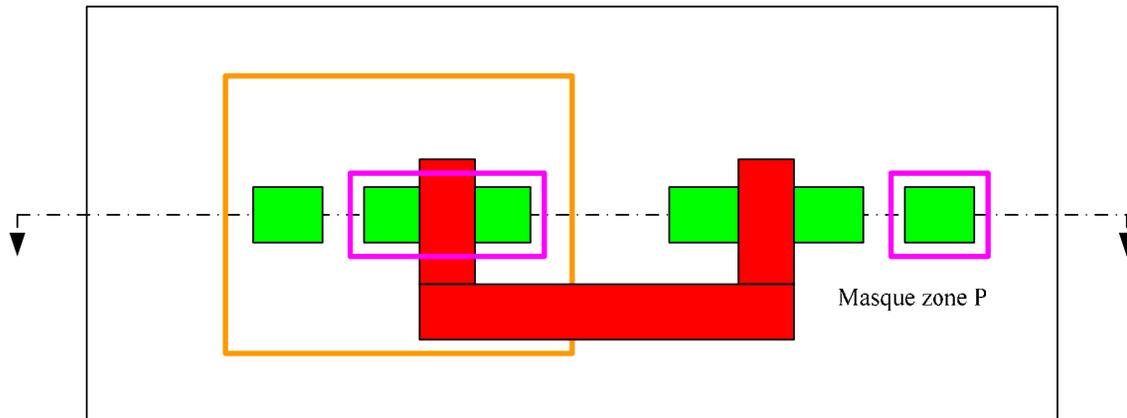
Dopage N

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N

Vue en coupe



Vue Layout



Étape 4 : Dopage zone active(IV)

Principe et succession des tâches (IV)

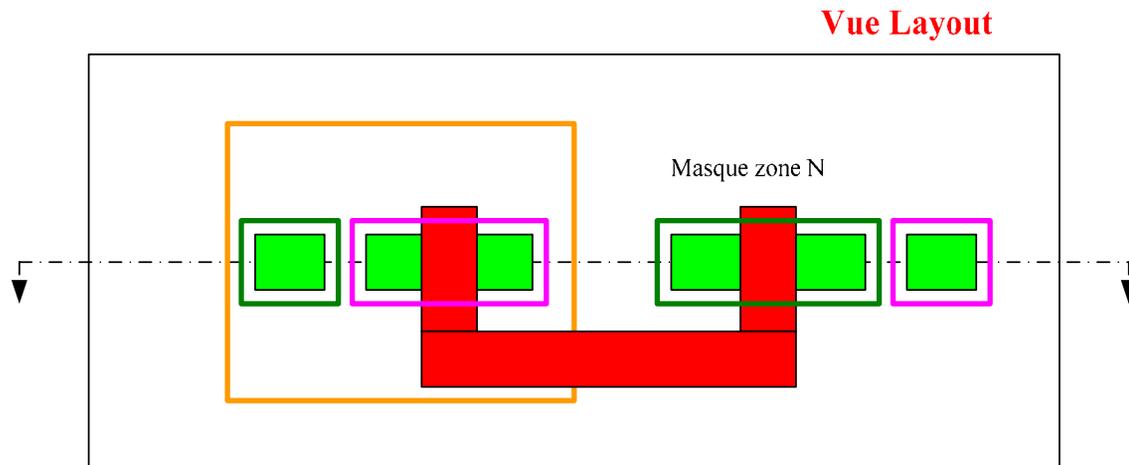
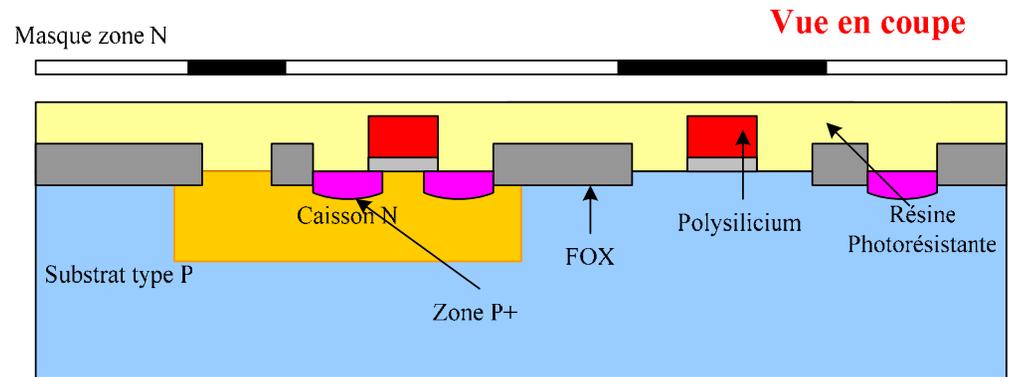
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Dopage P

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 4 : Dopage zone active(V)

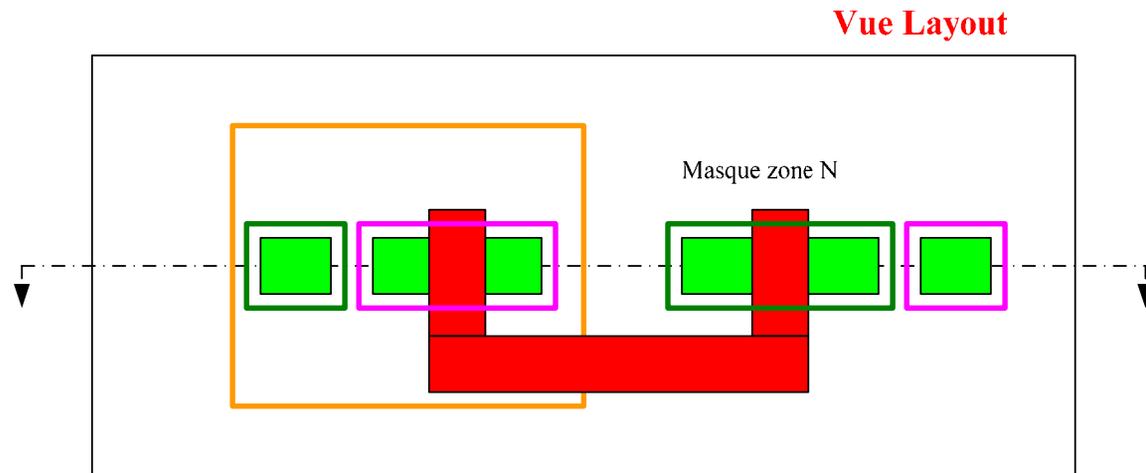
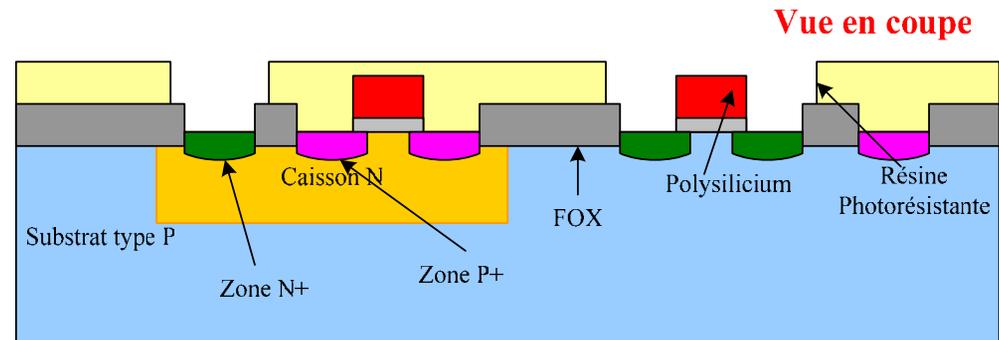
Principe et succession des tâches (V)

Dopage P

- Dépôt de la résine photorésistante
- Parternig par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parternig par masquage
- Implantation ionique de la zone N

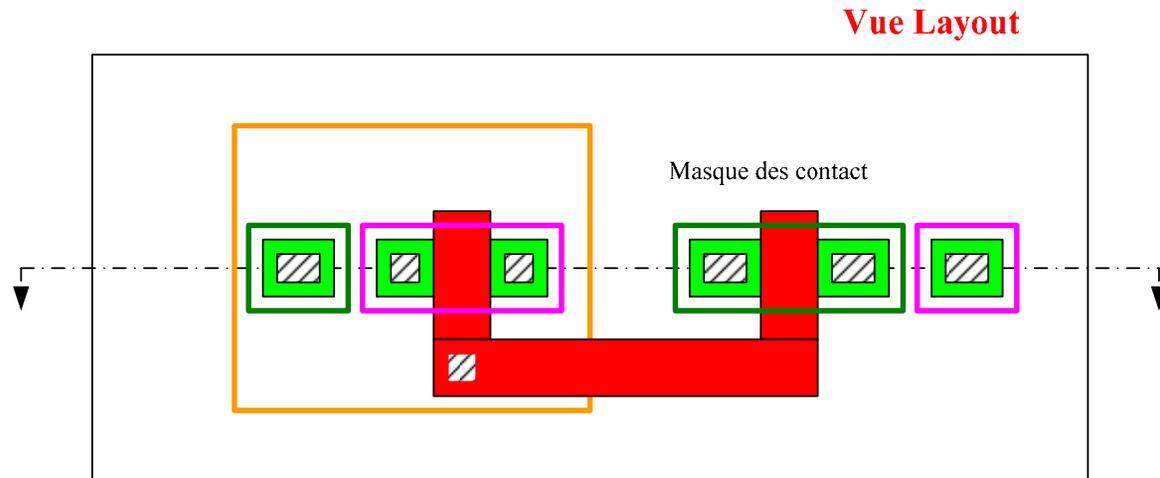
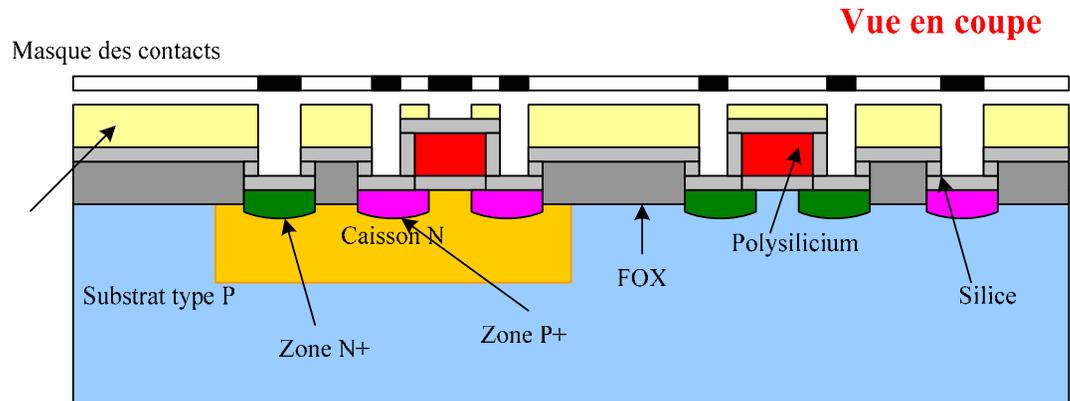


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Croissance de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice

Étape 5 : Via de contact (II)

Principe et succession des tâches (II)

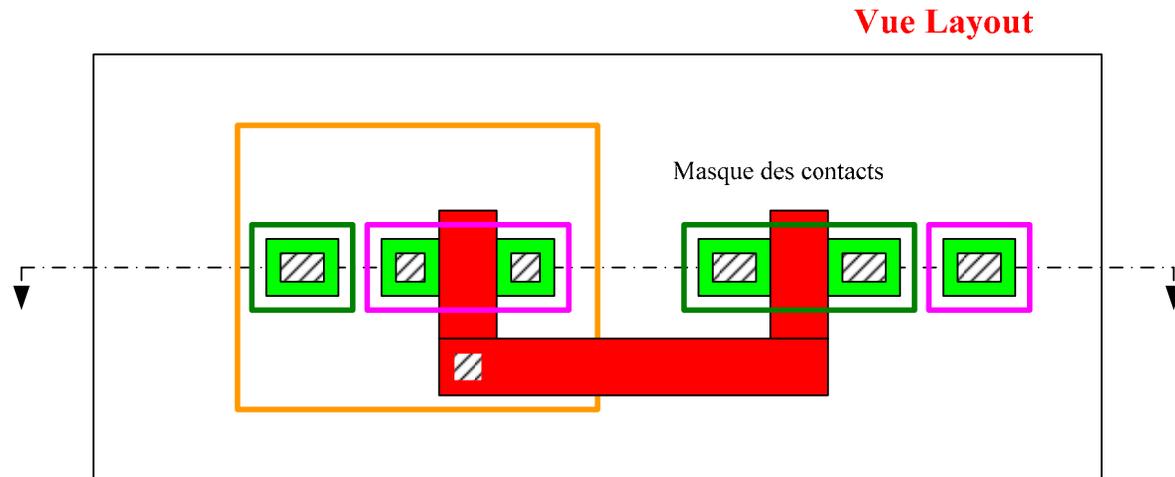
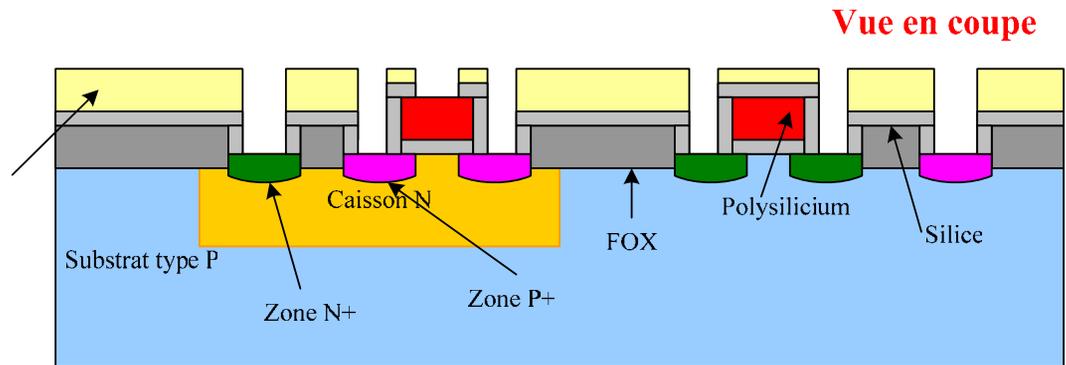


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 5 : Via de contact (III)

Principe et succession des tâches (III)

- Croissance de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice

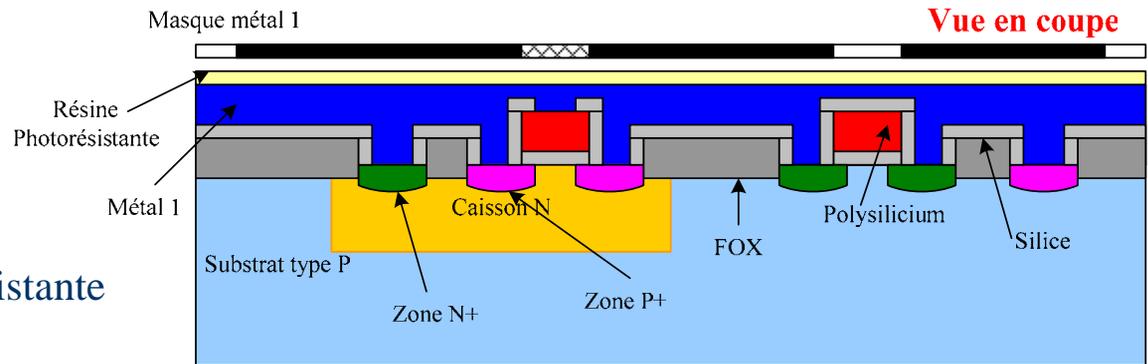


Étape 6 : Couche de métal 1 (I)

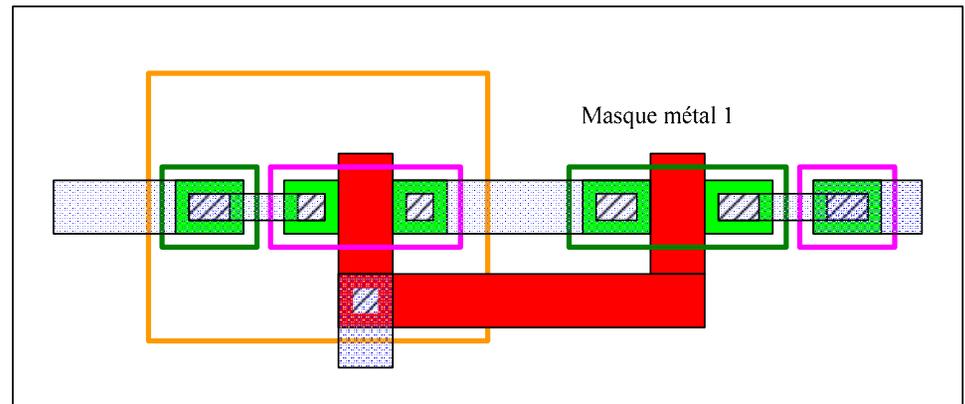
Principe et succession des tâches (I)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Dépôt métal 1
- Planarization
- Dépôt de résine photorésistante
- Développement de la résine
- Gravure du métal 1
- Élimination de la résine photorésistante



Vue Layout

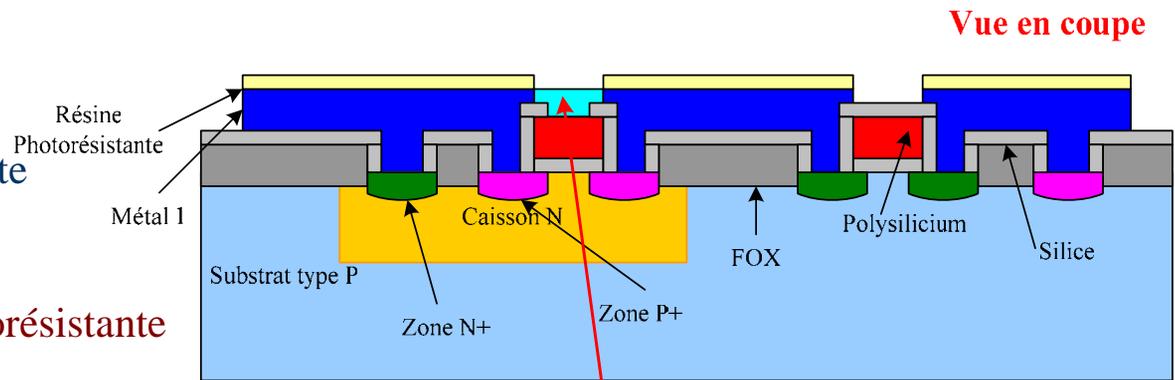


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

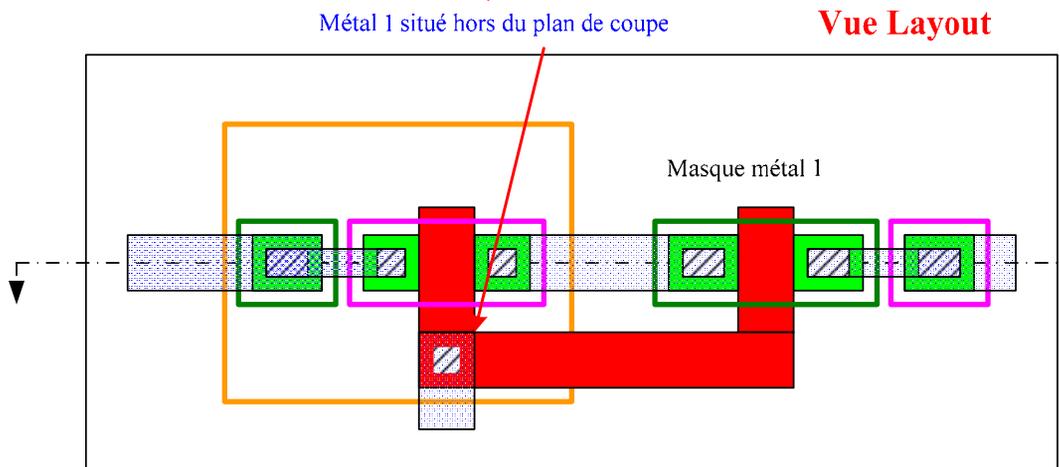
Étape 6 : Couche de métal 1 (II)

Principe et succession des tâches (II)

- Dépôt métal 1
- Planarization
- Dépôt de résine photorésistante
- Développement de la résine
- Gravure du métal 1
- Élimination de la résine photorésistante



Métal 1 situé hors du plan de coupe

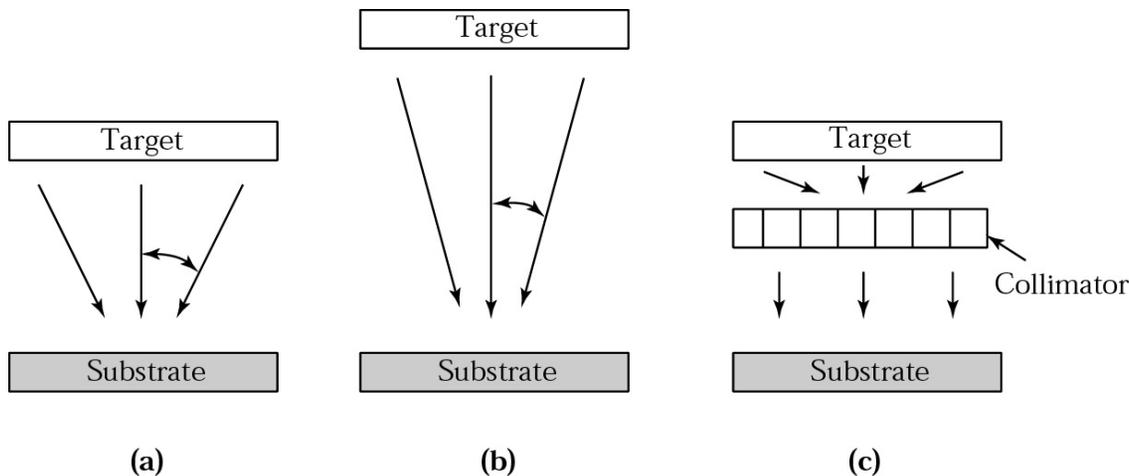


Étape 6 : Couche de métal 1 (III)

Technologies associées : métallisation (III)

Métallisation par pulvérisation cathodique

La déposition par pulvérisation cathodique ou 'sputtering' utilise, dans une chambre à vide, un flux d'ions qui bombarde une cible de métal (Ti, Al, Cu, TiN) libérant des atomes qui viennent se déposer sur le substrat

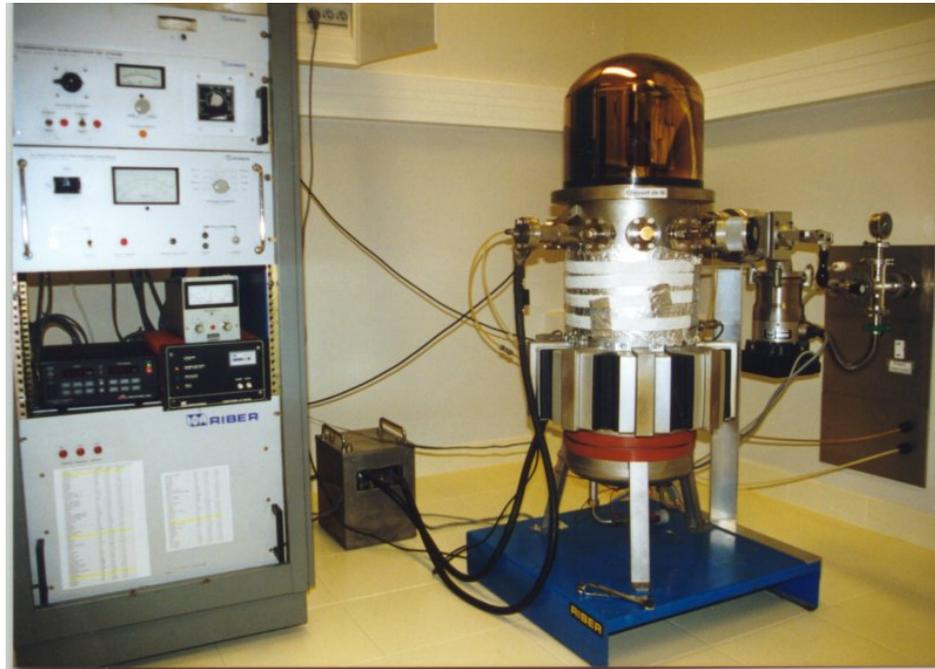


- 1/ Introduction
- 2/ La Photolithographie
- 3/ **Séquences de fabrication CMOS**
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 6 : Couche de métal 1 (IV)

Technologies associées : métallisation (II)

Métallisation par évaporateur



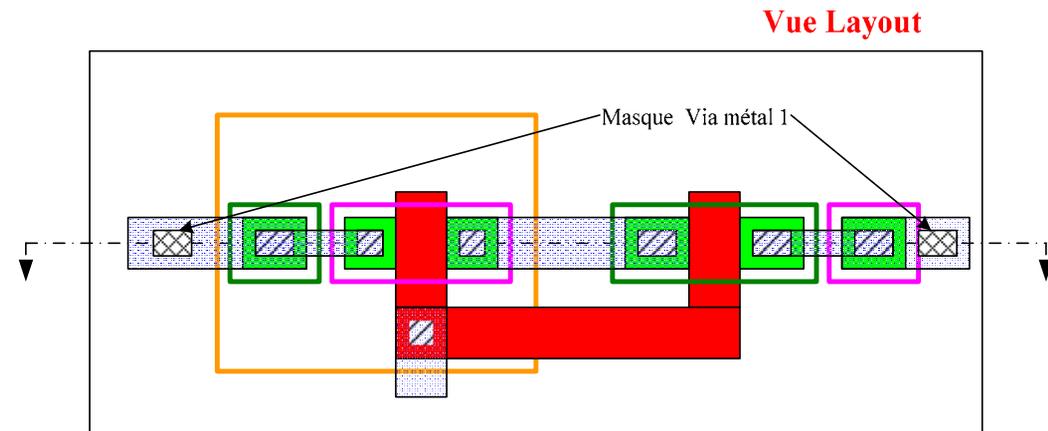
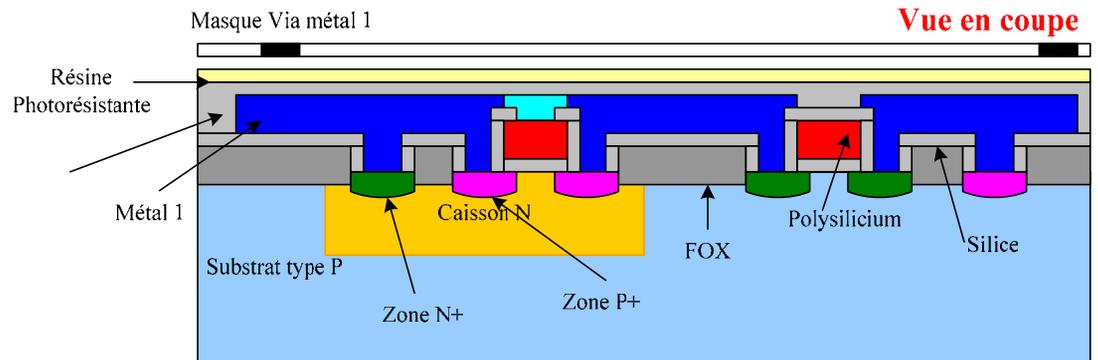
dans une chambre à vide, par sublimation du métal (sous un très fort courant dans un creuset de tungstène ou grâce à un flux d'électron)

Étape 7 : Via du métal 1 (I)

Principe et succession des tâches (I)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Dépôt de la silice
- Planarization de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice
- Élimination de la résine restante

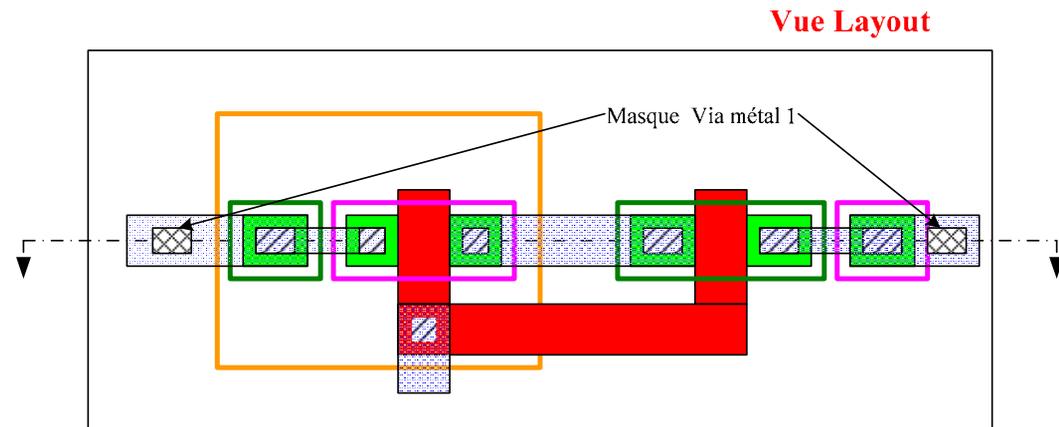
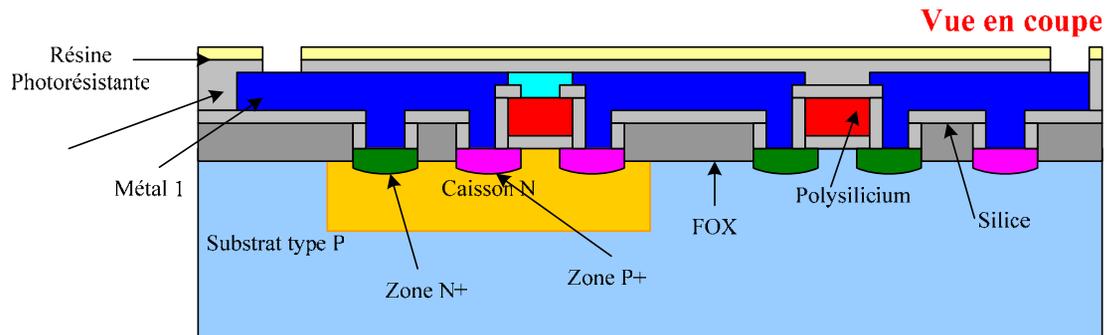


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Étape 7 : Via du métal 1 (II)

Principe et succession des tâches (II)

- Dépôt de la silice
- Planarization de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice
- Élimination de la résine restante

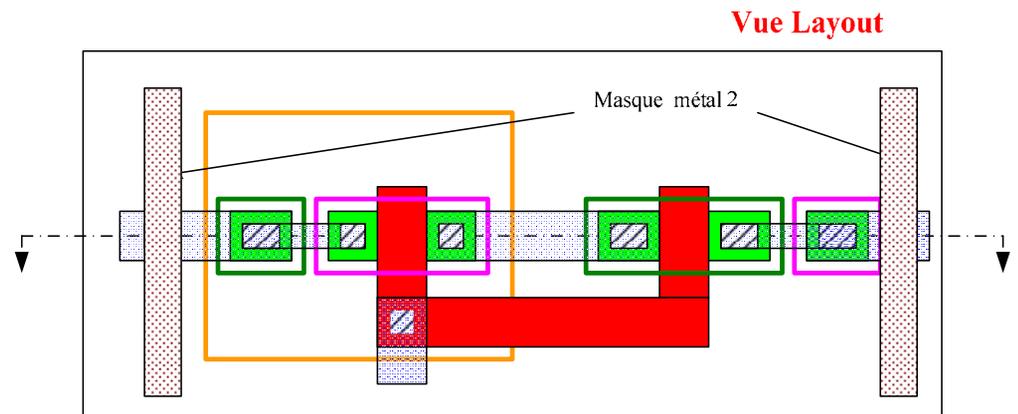
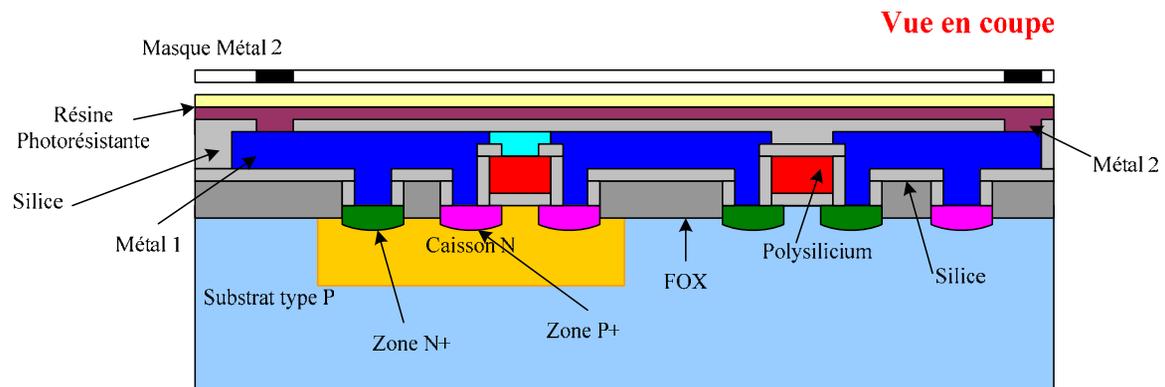


Étape 8 : métal 2 (I)

Principe et succession des tâches (I)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Dépôt du métal 2
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure du métal 2
- Élimination de la résine restante

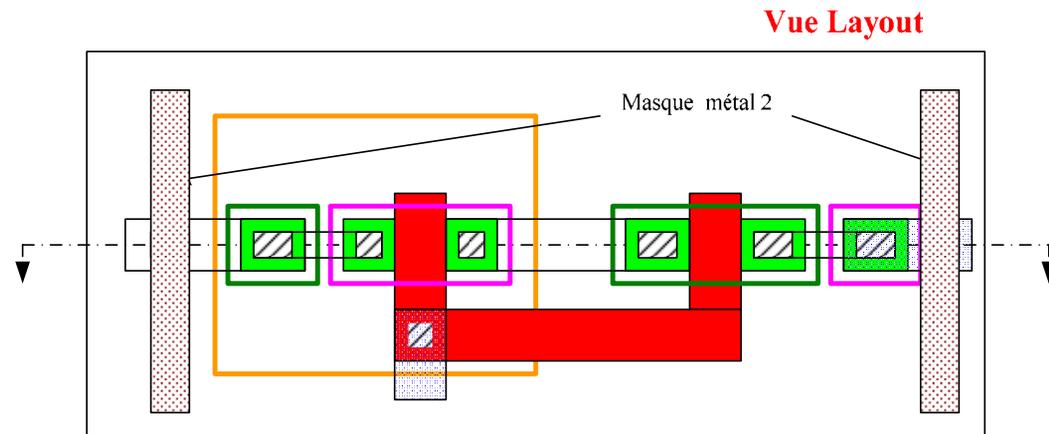
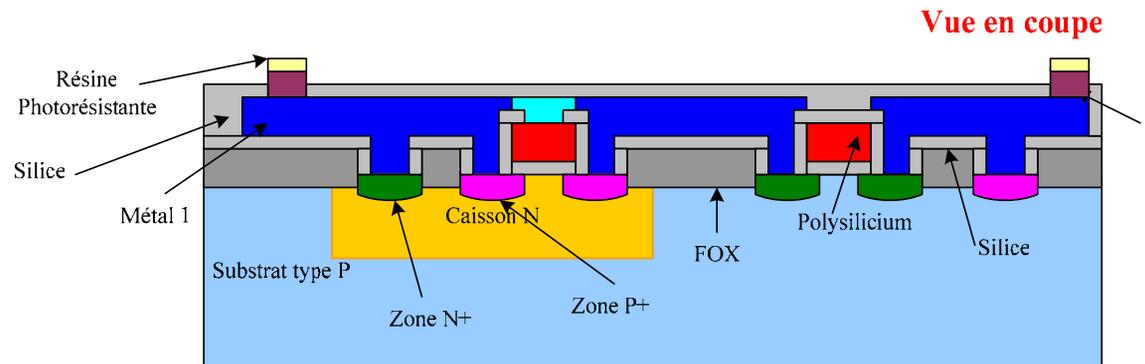


Étape 8 : métal 2 (II)

Principe et succession des tâches (II)

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

- Dépôt du métal 2
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure du métal 2
- Élimination de la résine restante





- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ **Quelques éléments pour le futur**
- 5/ Dessin de Masques

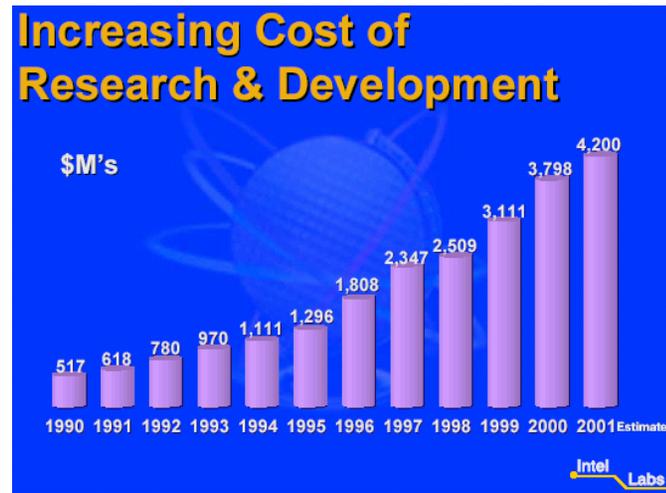
*Roadmap du SIA rédigé en 1997
 (Le SIA s'est **toujours** trompé pour le futur!)*

	1997	1999	2001	2003	2006	2009	2012
Technologie	0,25µm	0,18µm	0,15µm	0,13µm	90nm	70nm	50nm
Tps de propagation	17ps	13ps	11ps	10ps	7ps	5ps	3ps
Densité	3,7M/cm ²	6,2M/cm ²	10M/cm ²	18M/cm ²	39M/cm ²	84M/cm ²	180M/cm ²
Capacité DRAM	256M	1G	2G	4G	16G	64G	256G
Taille IC DRAM	170mm ²	240mm ²	270mm ²	240mm ²	480mm ²	670mm ²	950mm ²
Taille MPU chip	300mm ²	340mm ²	385mm ²	430mm ²	520mm ²	620mm ²	750mm ²
MPU bb pins	800	1000	1200	1500	2000	2600	3600
Fréquence horloge	750MHz	1,2GHZ	1,4GHz	1,6GHz	2,0GHz	2,5GHz	3GHz
Niveau tension	1,7v	1,6v	1,3v	1,3v	1v	0,75v	0,55v
MPU max puissance	70W	90W	110W	130W	160W	170W	175W
MPU min puissance	1,2W	1,4W	1,7W	2W	2,4W	2,8W	3,3W



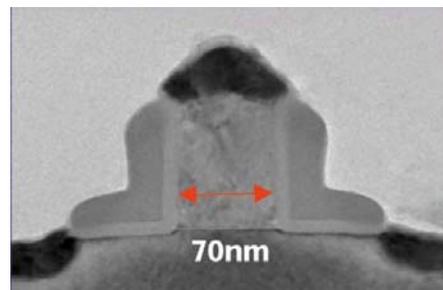
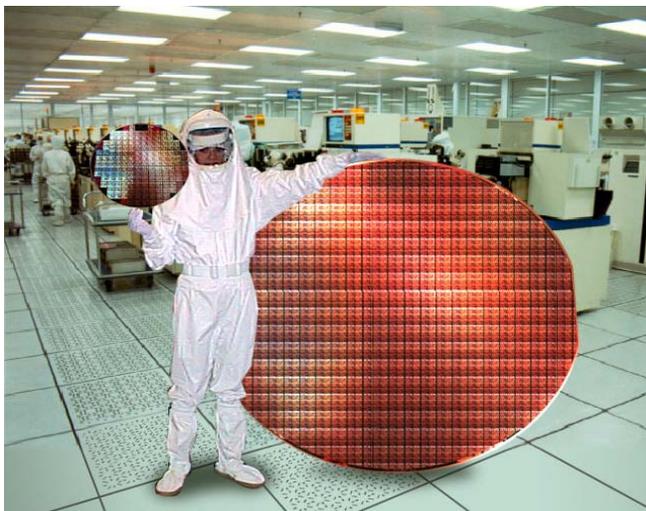
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ **Quelques éléments pour le futur**
- 5/ Dessin de Masques

Le développement de nouvelles technologies est très chère
 Une fab : **2 à 4 Milliard \$**
 Pour **4-5 ans de durée de vie**

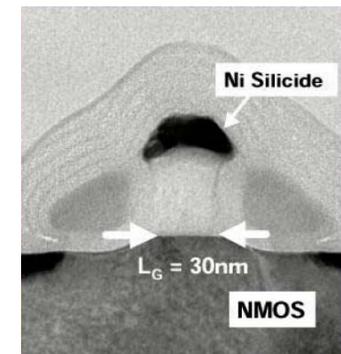


Des alliances stratégiques :

- IBM, Infinion, UMC
- ST, Phillips, Motorola
- IMEC: Infinion, Intel, Samsung, ST
- Others



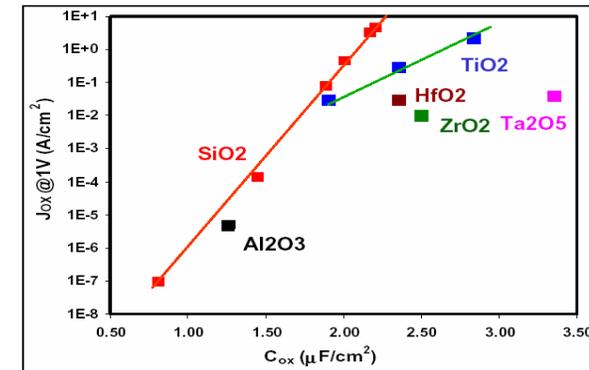
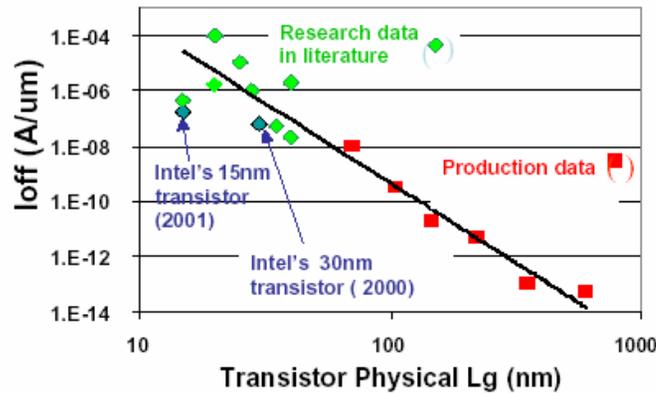
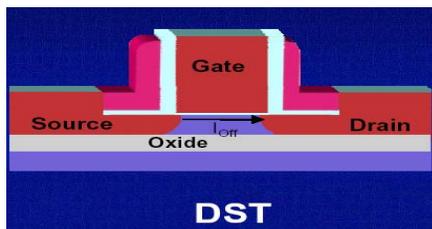
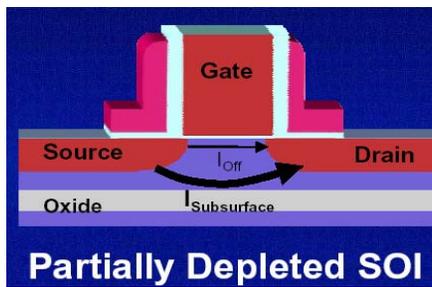
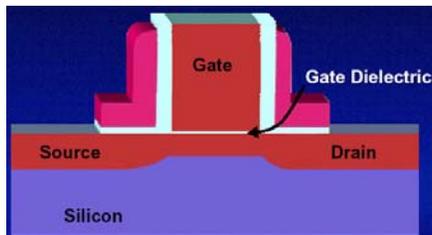
Moore's Law in 1977 predicted a 57" wafer by 2003



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ **Quelques éléments pour le futur**
- 5/ Dessin de Masques

Évolutions prévisibles (I)

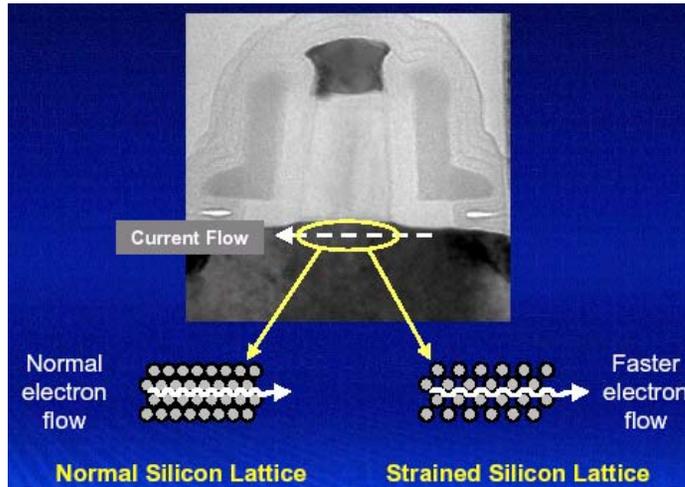
- Réduire toutes les dimensions
 - jusqu'a quand ?
- Réduire la tension d'alimentation
 - Les fuites deviennent prépondérantes
Utilisation du SOI
 - Meilleure contrôle du canal
 - Réduction des fuites
 - Réduction des capacités
- Nouveau isolants de gille (High K) pour réduire le courant de fuites



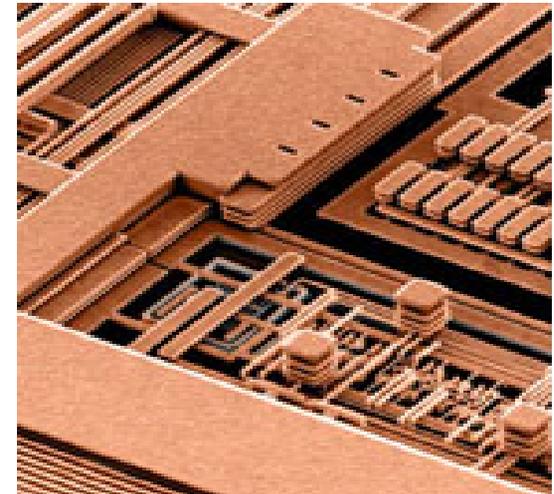


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ **Quelques éléments pour le futur**
- 5/ Dessin de Masques

Évolutions prévisibles (II)



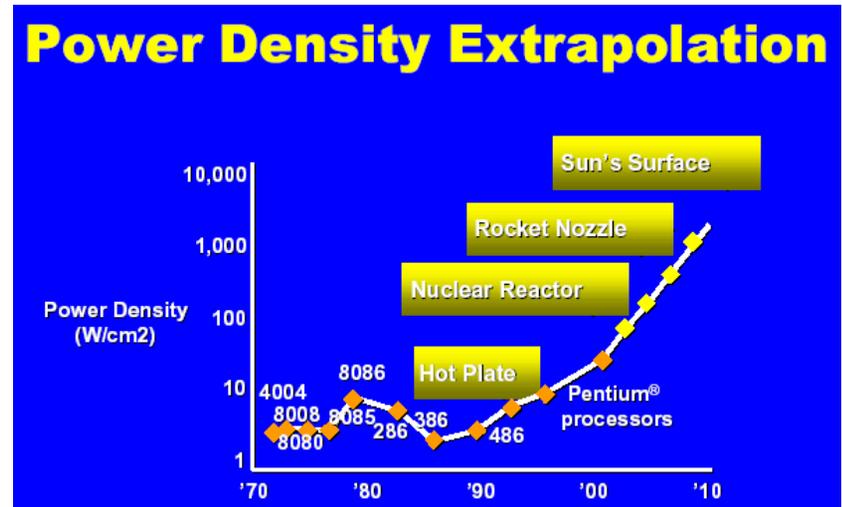
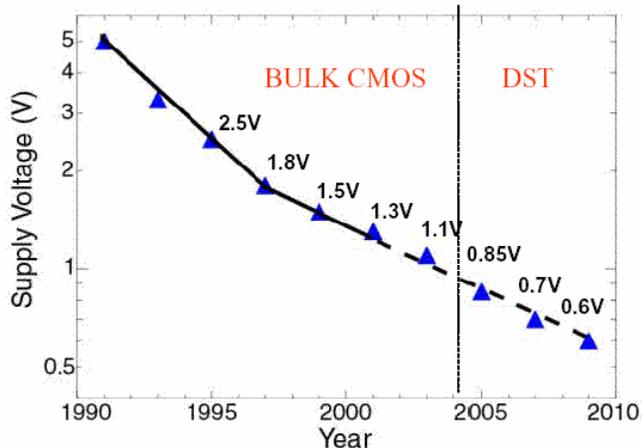
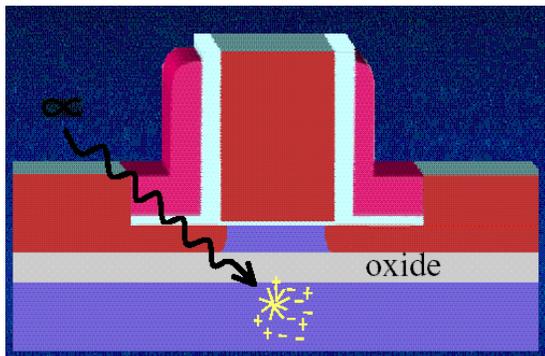
- Silicium sous stress mécanique ?
 - Augmentation mobilité de 2 – 3.
- Interconnexions cuivre
- Faible constante diélectrique (low K) pour réduire les capacité d'interconnexion (mais difficile d'abandonner le SiO_2)



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ **Quelques éléments pour le futur**
- 5/ Dessin de Masques

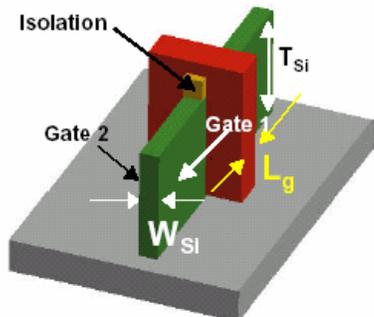
Limitation probables

- Selon la Roadmap en 2016 on sera en techno 22nm (9nm effective) ce qui donnera des puces avec:
 - 1 milliard de transistors & Une fréquence de 1 THz
- Les problèmes probables
 - Densité de puissance et Low supply voltage
 - Faible tension
 - Défauts de type cosmique (...)



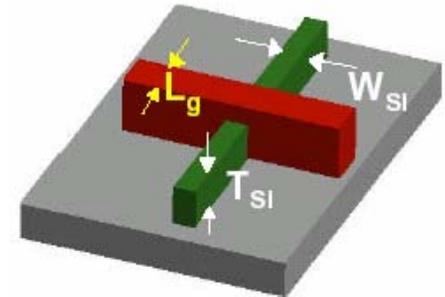
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Et après ? (I)

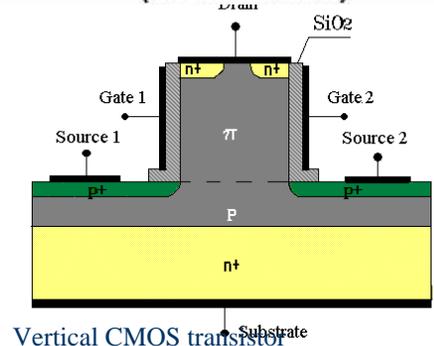
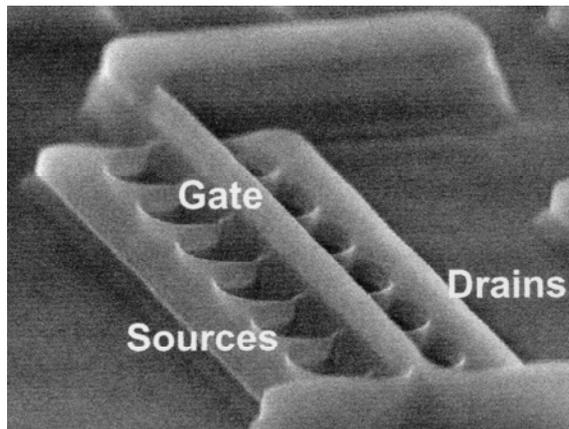


Double-gate (e.g. FINFET)
 (Non-Planar)

Structure en 3D



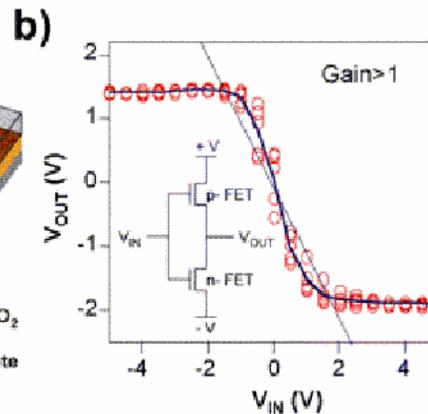
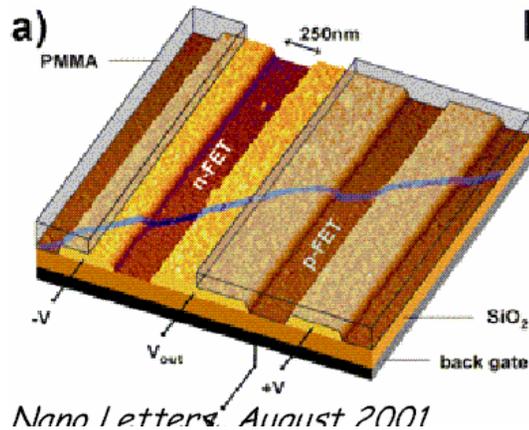
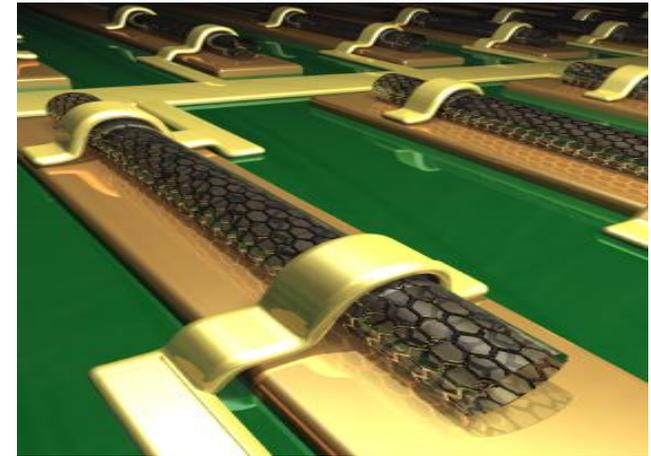
Tri-gate DST
 (Non-Planar)



Vertical CMOS transistor

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Et après ? (II)



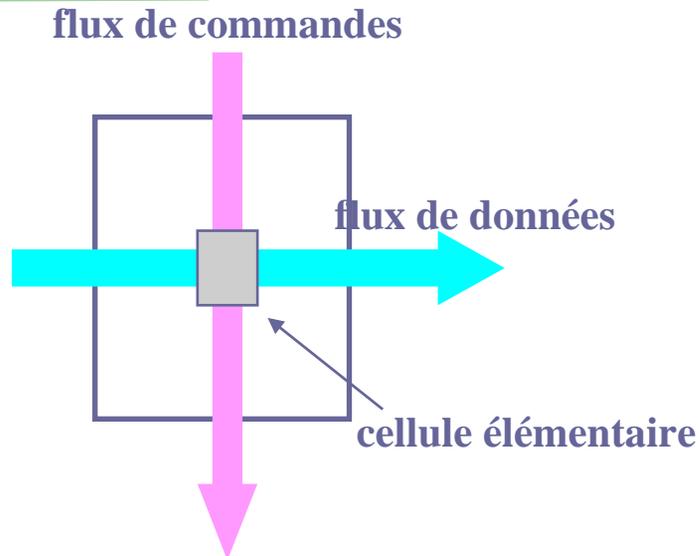
Which technology(ies) will take over after CMOS ?

- Molecular devices ?
- Quantum devices ?
- Carbon nano tube devices ?
- Optical devices ?
- Single electron transistors ?

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ **Dessin de Masques**

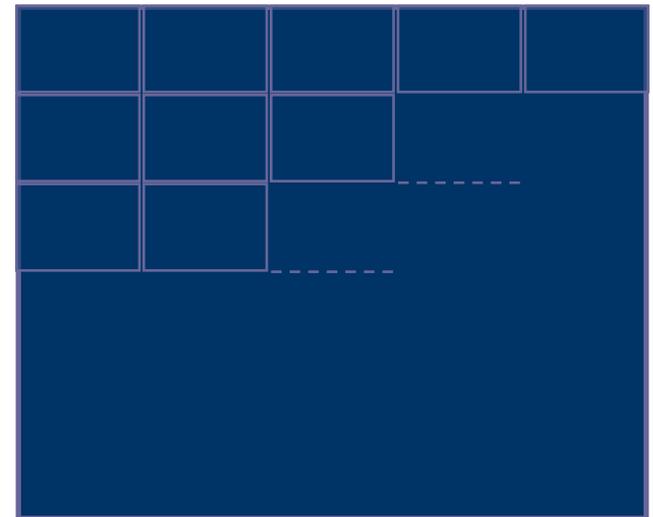
Flux directionnels

La conception des blocs est facilitée si ceux-ci sont organisés comme le croisement de deux (ou plus) flux fonctionnels.



Conception matricielle des blocs

Cette vision des choses permet de concevoir les blocs par la juxtaposition de cellules identiques (forte réutilisation des cellules)

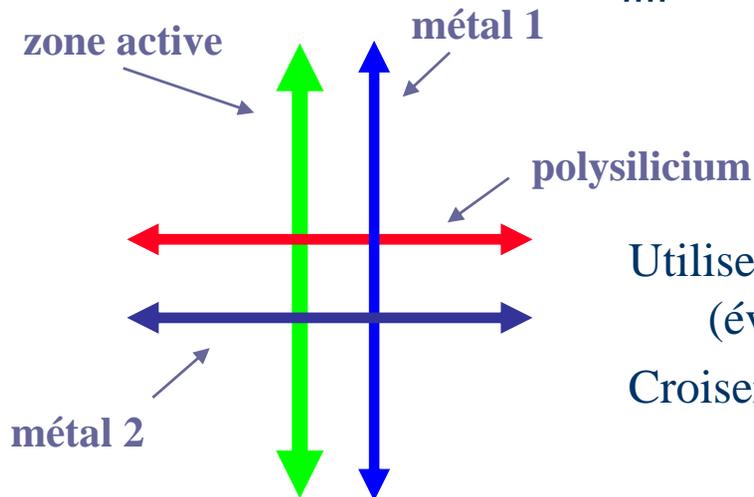


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ **Dessin de Masques**

Couches technologiques

Affecter une flux fonctionnel (et / ou d'alim) à une couche technologique

niveau	matériaux	flux (exemple)
1	zone active	
2	polysilicium	
3	métal 1	commandes + alim locales
4	métal 2	données + alim globales
....		



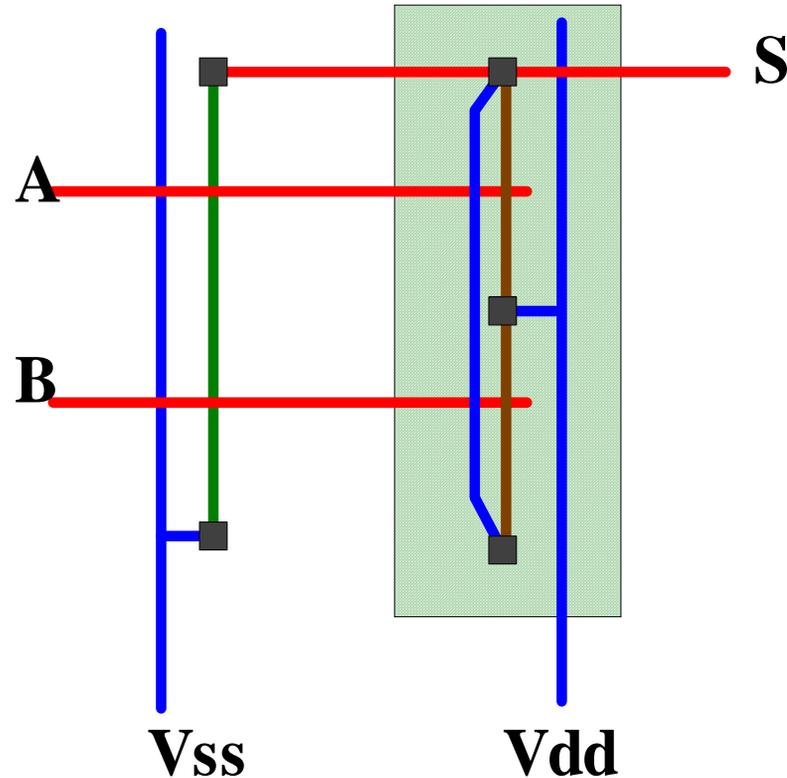
Couches technologiques

Utiliser ces matériaux de manière unidirectionnelle
 (éviter les motifs en "L")
 Croiser les couches

- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ **Dessin de Masques**

Réalisation d'une porte NAND

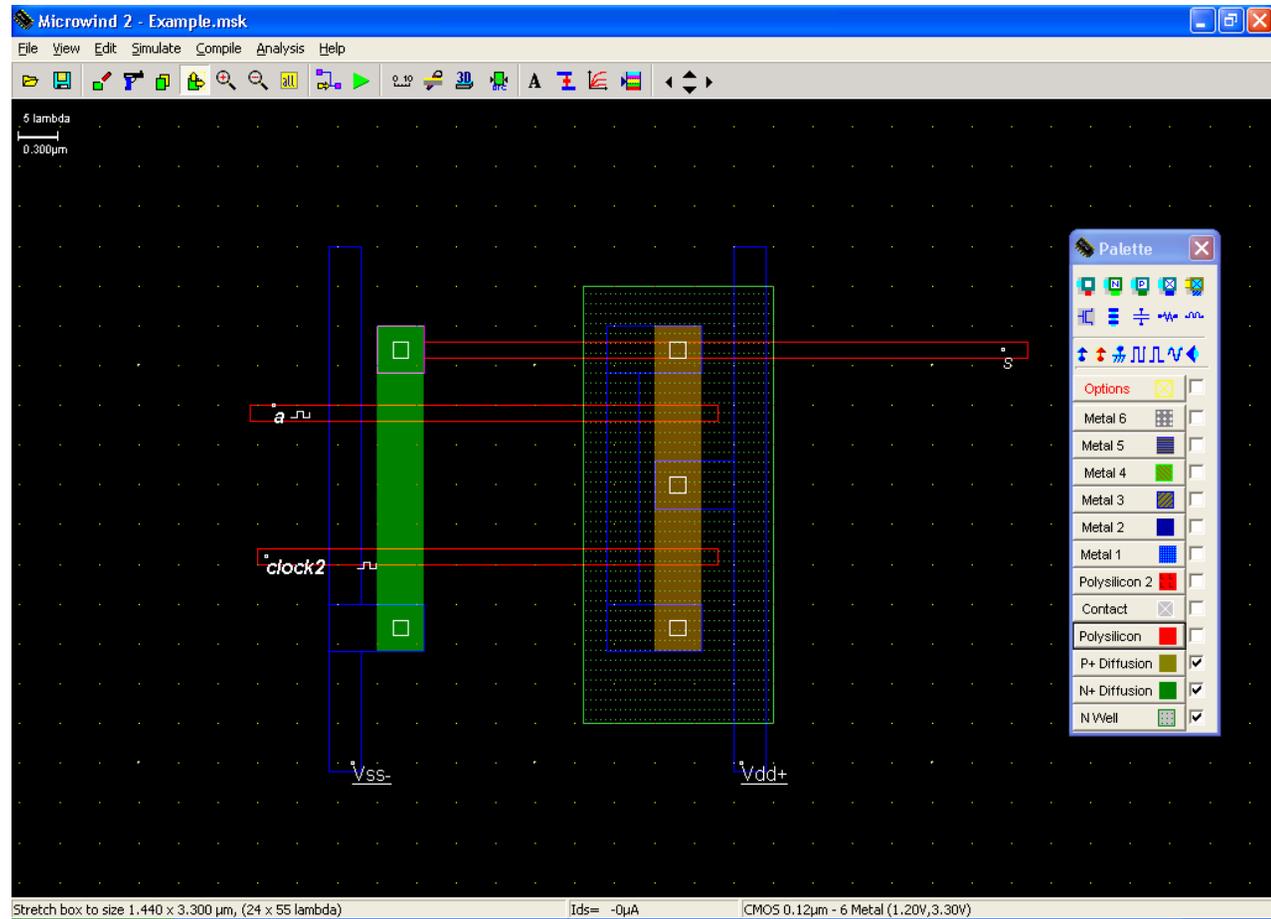
Schéma Squelettisé





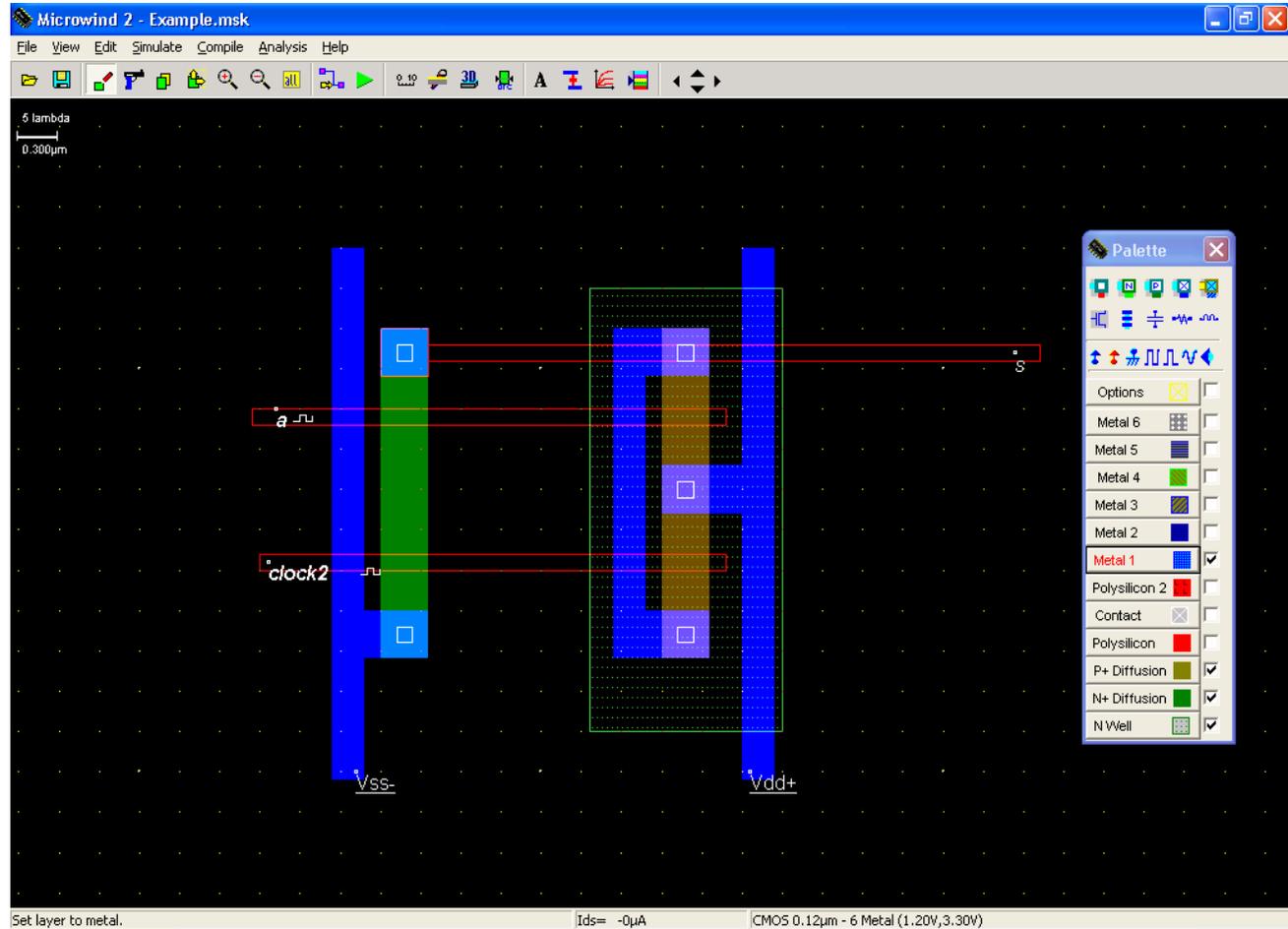
- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ **Dessin de Masques**

Réalisation d'une porte NAND

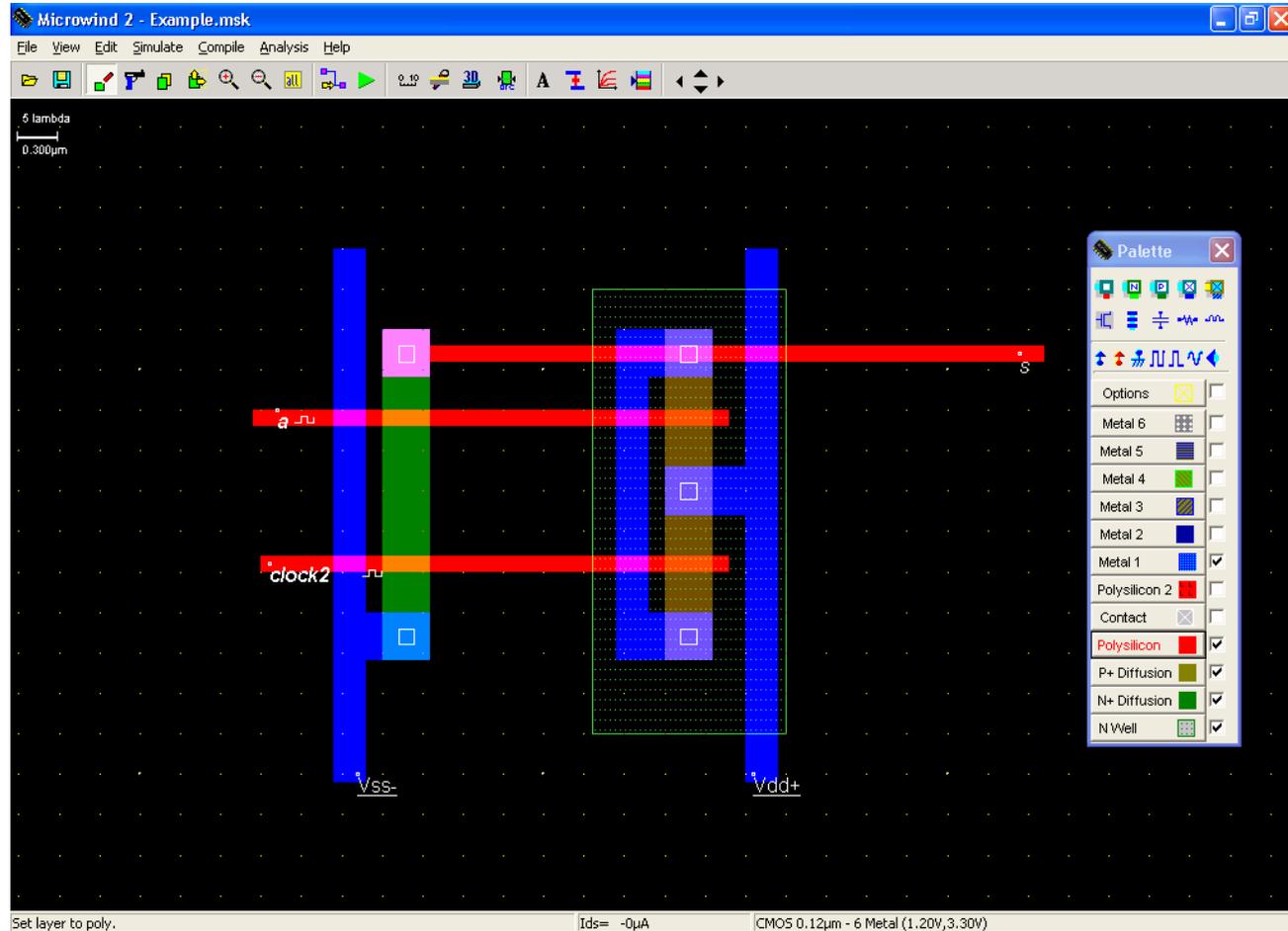


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Réalisation d'une porte NAND

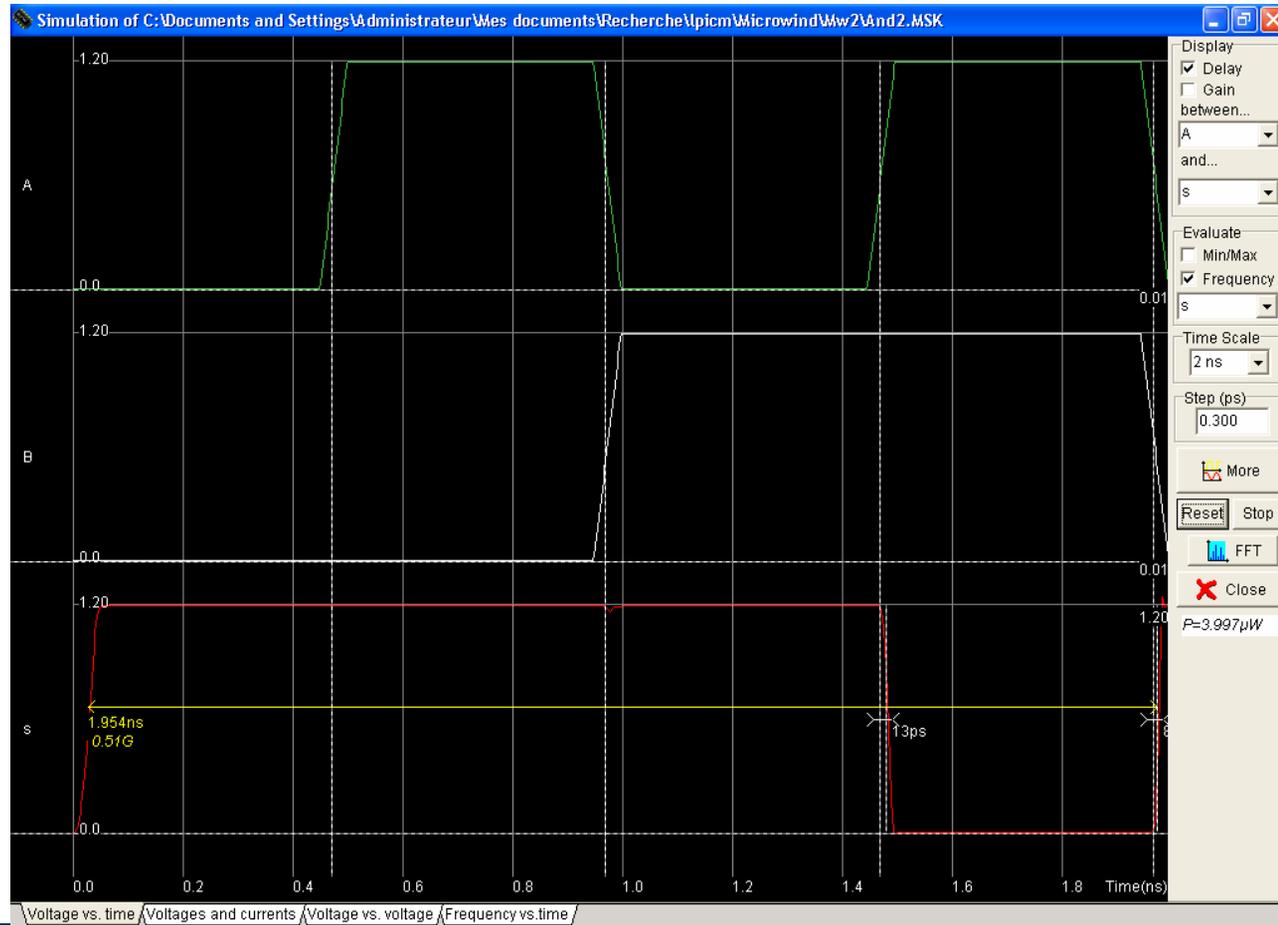


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ **Dessin de Masques**

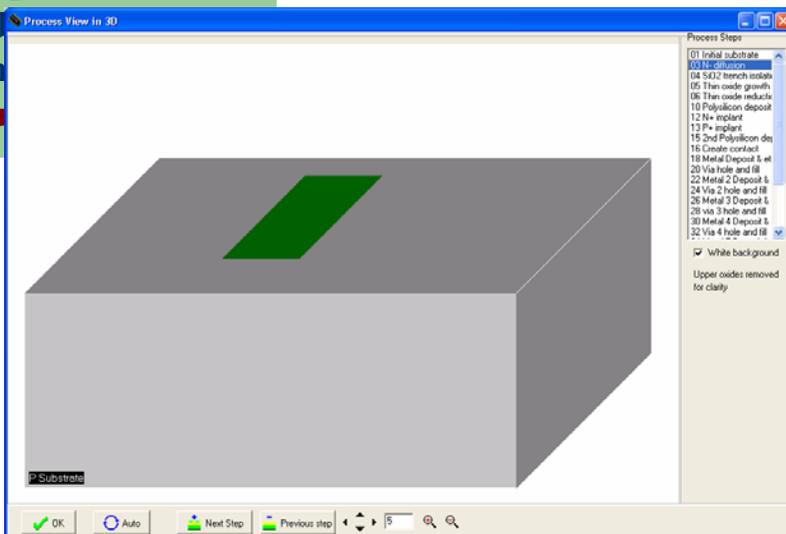
Réalisation d'une porte NAND



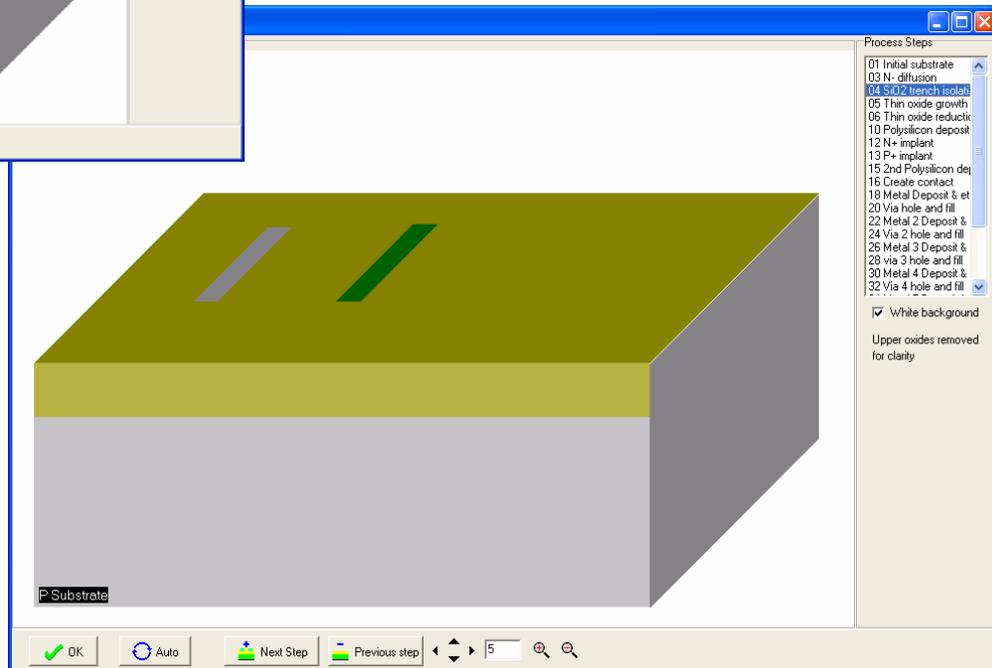


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication
- 4/ Quelques éléments
- 5/ Dessin de Masque

Diffusion du caisson pour les Transistors PMOS (dopage N)



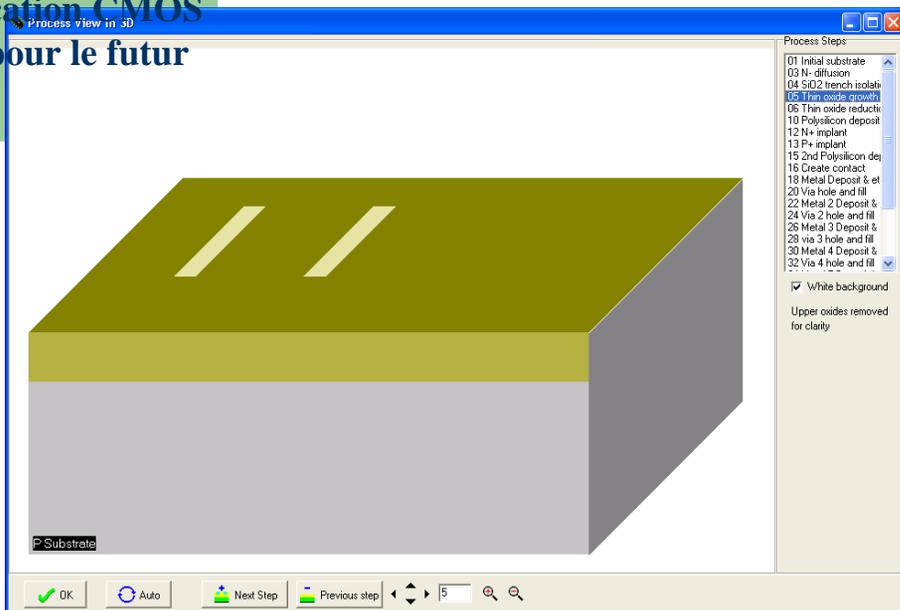
Isolation globale
dépôt SiO_2



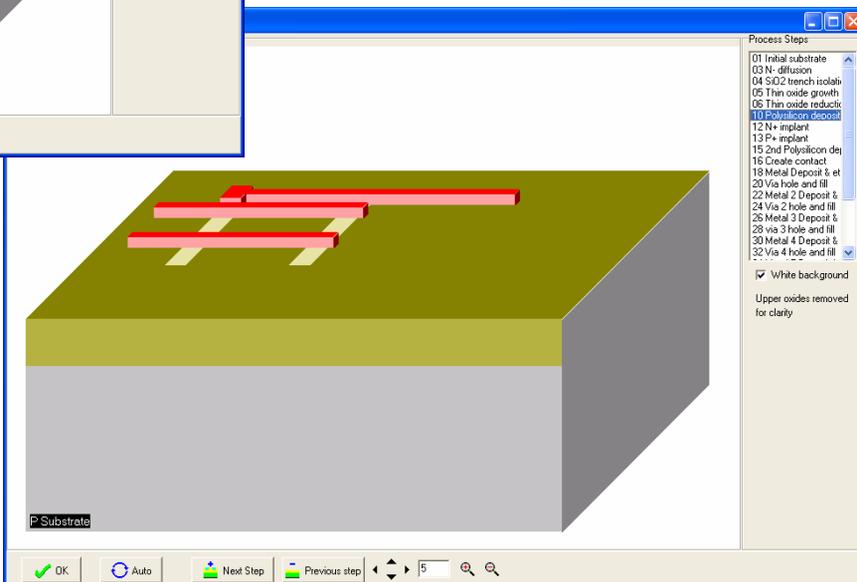


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Oxyde sur les transistors



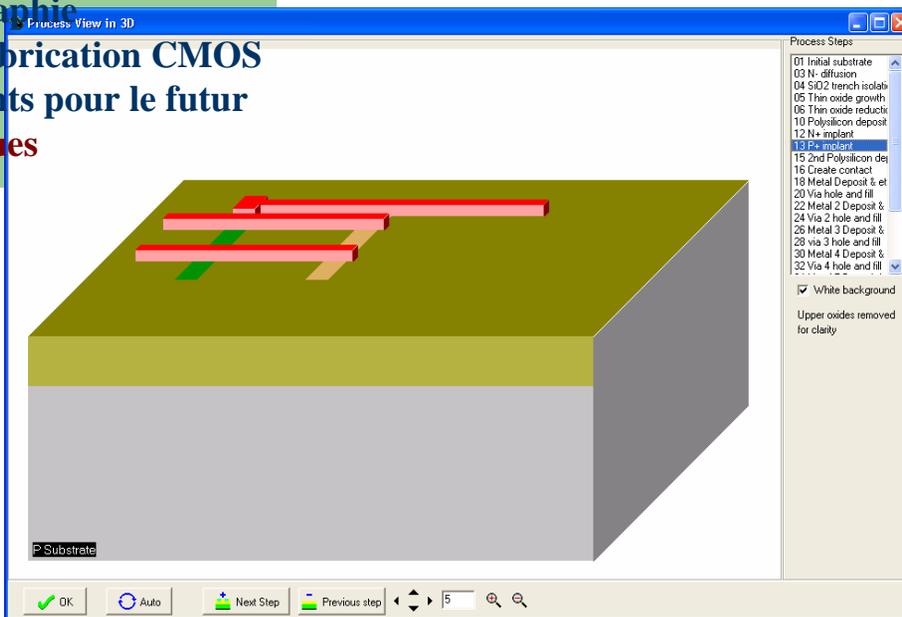
Dépôt du polysilicium Grilles et contact



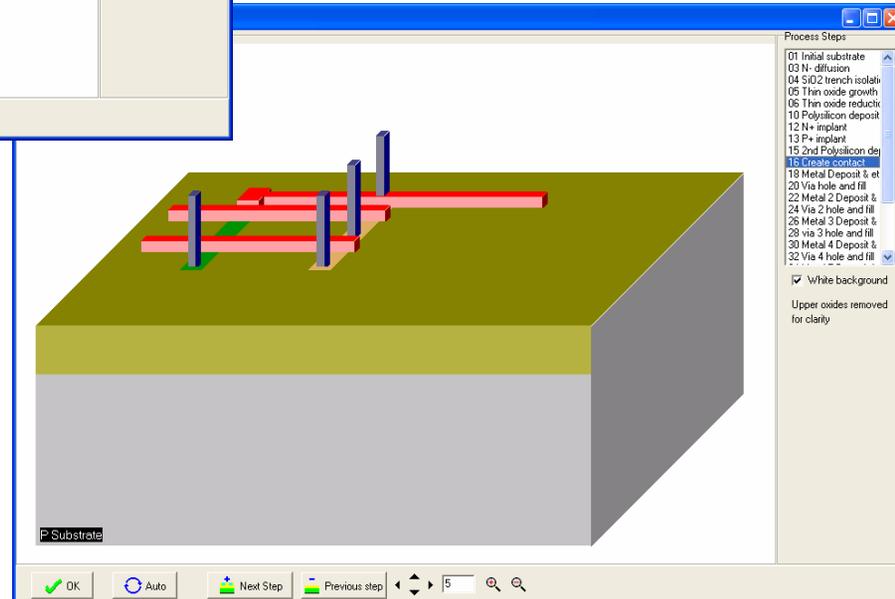


- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Implantation N⁺
 Puis
 Implantation P⁺

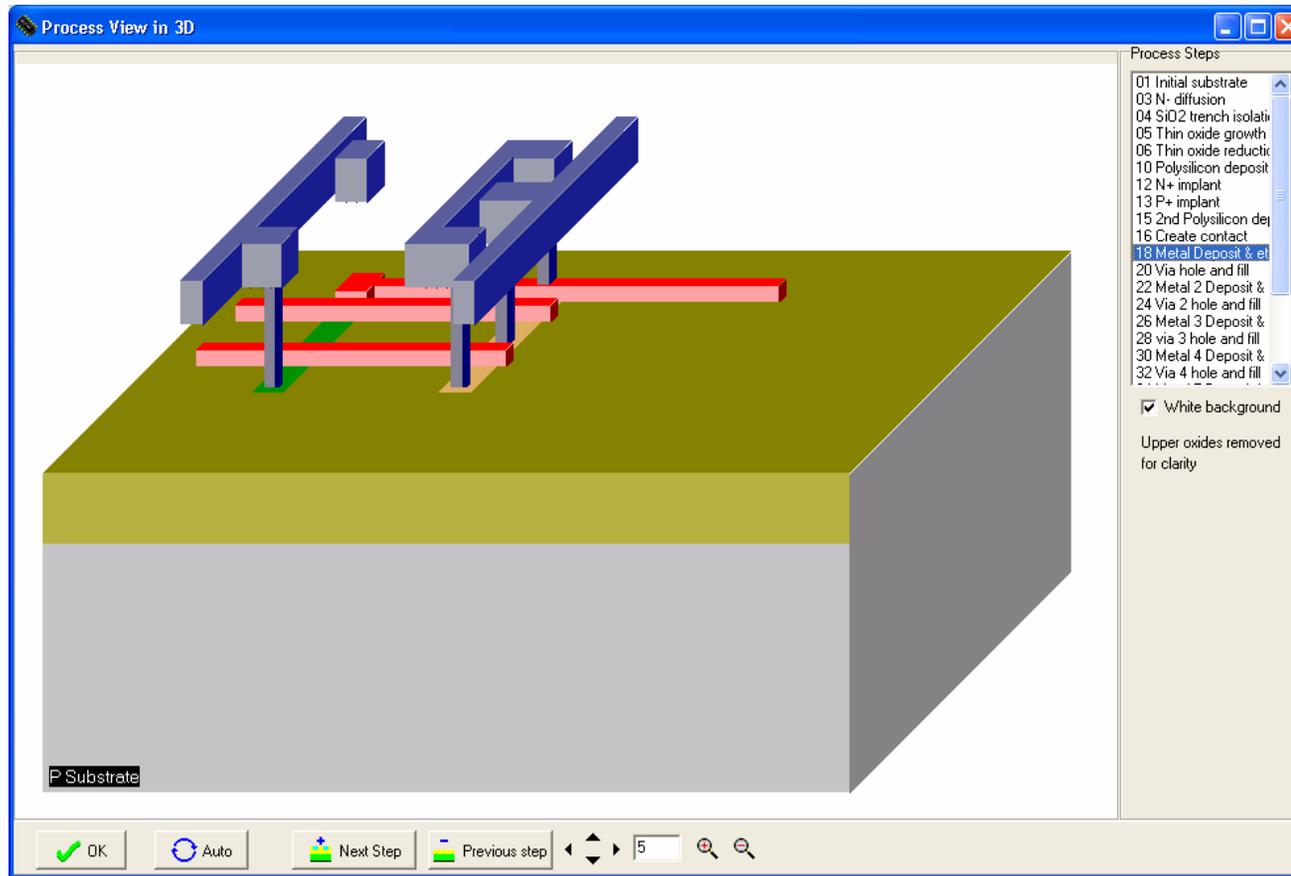


**Création des contacts
 Avec Métal 1**



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ **Dessin de Masques**

Création de la couche métal 1



- 1/ Introduction
- 2/ La Photolithographie
- 3/ Séquences de fabrication CMOS
- 4/ Quelques éléments pour le futur
- 5/ Dessin de Masques

Contraintes de dessin propre à une technologie AMS 0,6 μm

