ECOLE POLYTECHNIQUE

Département de Physique

Majeure
Micro-Nano-Optoélectronique

Phy 568 : Circuits électroniques

Cours 1 :
du silicium aux portes CMOS de base

G. Fontaine *janvier 2006*

Plan du Chapitre

Plan du Chapitre :
« du silicium aux portes CMOS de base »

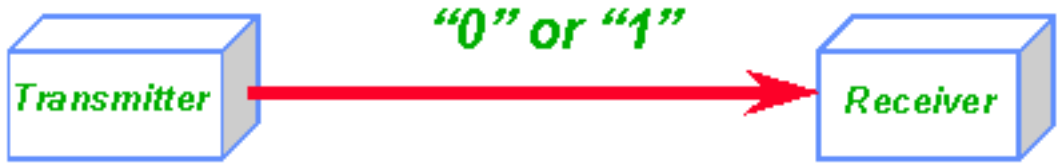
- Introduction aux systèmes numériques
- Du matériau au transistor MOS
- Algèbre de Boole
- Circuits statiques et réseaux de conduction
- Portes de base
- Sorties 3 états
- Phénomènes physiques

Introduction aux systèmes numériques

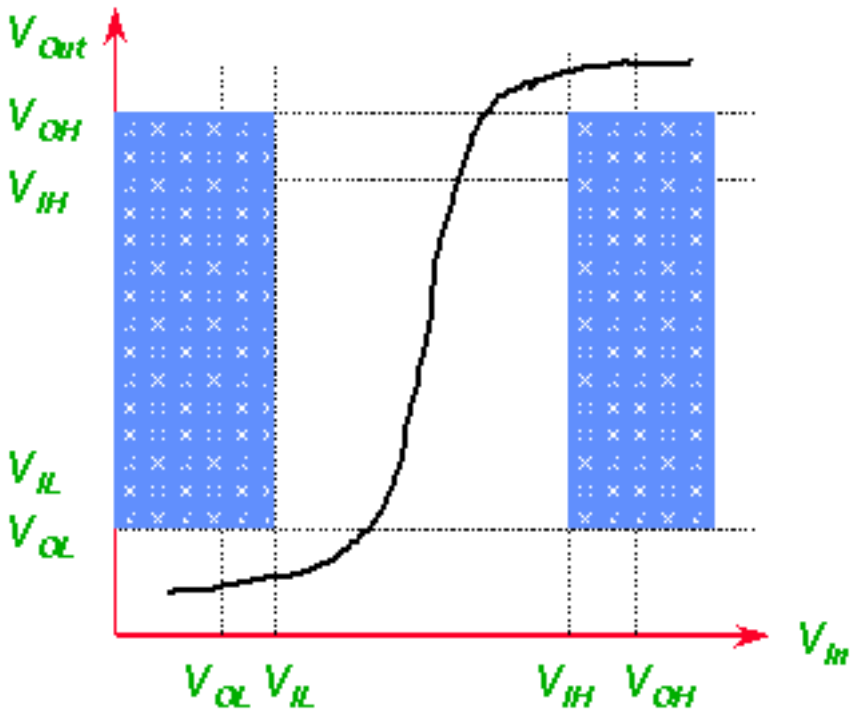
- **Logique binaire de niveaux de tension**
  - Seuils, marges
- **Le rôle du temps**
  - Logique combinatoire, synchrone, asynchrone
  - Le langage des chronogrammes
- **Contraintes physiques**
  - Règles de charge, puissance dissipée
- **Couches conceptuelles**
  - Modularité : Fast-Food ou Haute Couture ?

Niveaux logiques

❑ Transmission d ’une information binaire



❑ Courbe de transfert statique en tension



Définition des niveaux valides en entrée et en sortie

Immunité au bruit

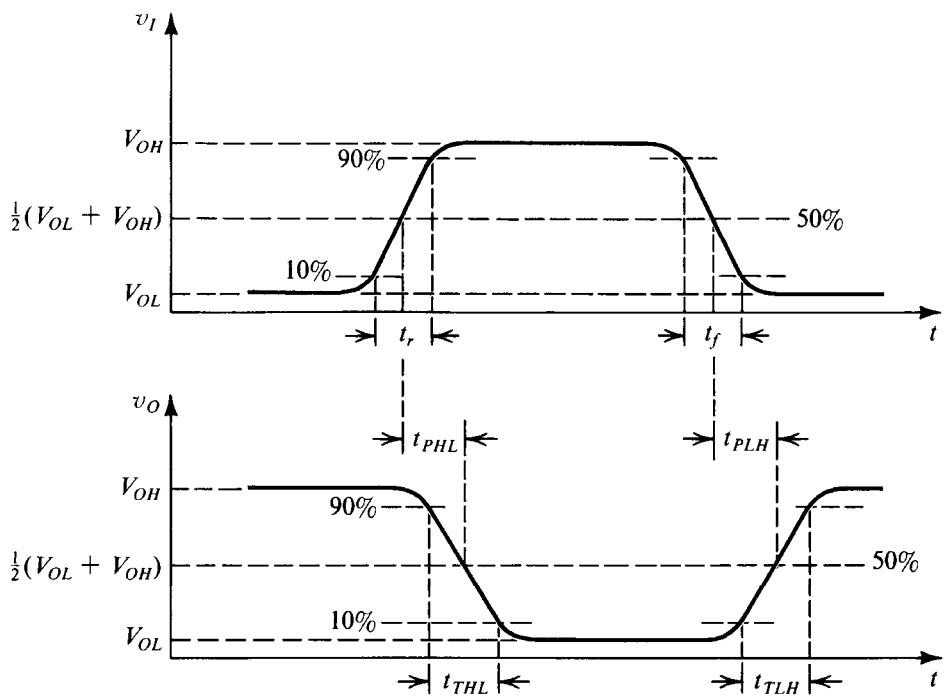
Zones coloriées interdites

Nécessité d ’un gain non linéaire ==>

Restauration des niveaux logiques

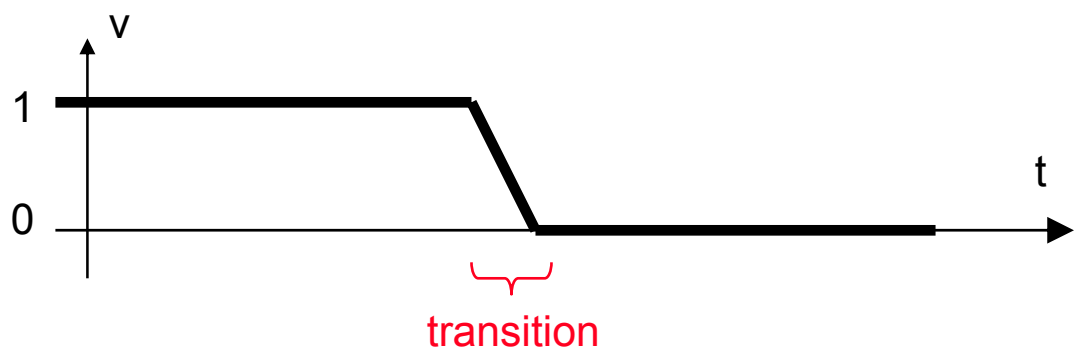
Le rôle du Temps

- **Temps idéal et Monde réel**
  - Temps discret : Systèmes Synchrones
  - Temps continu : Systèmes Asynchrones
- **Circuits Combinatoires**
- **Circuits Séquentiels**
  - Circuits Synchrone
  - Circuits Asynchrones
- **Caractérisation d ’un signal réel :**

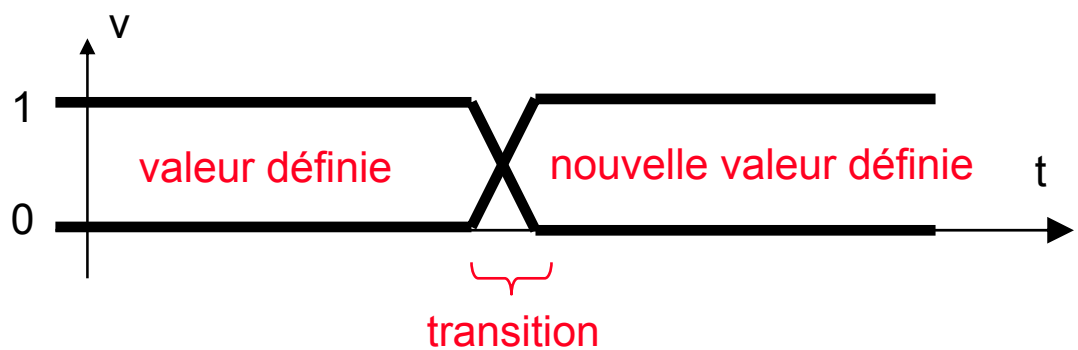


Le langage des chronogrammes (a)

- **Représentation simplifiée de l'évolution d'un signal électronique**

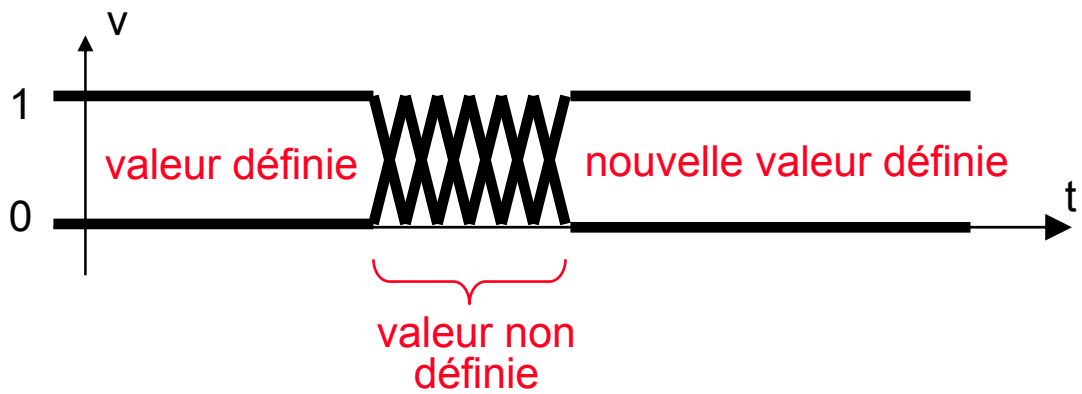


- **Valeurs non précisées**

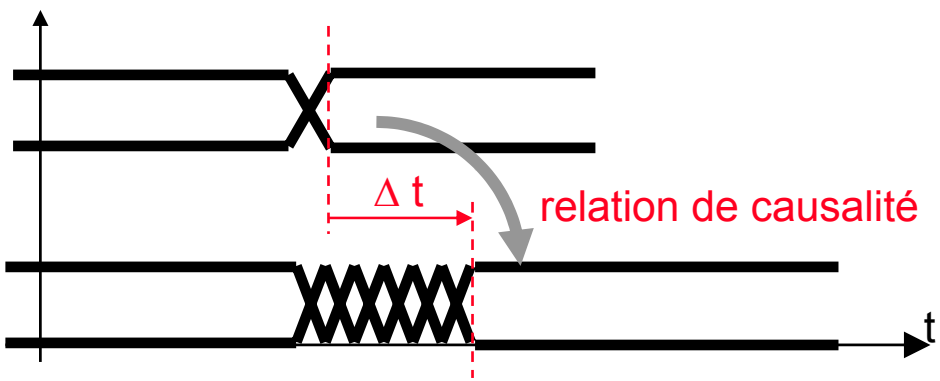


Le langage des chronogrammes (b)

❑ Valeurs non définies

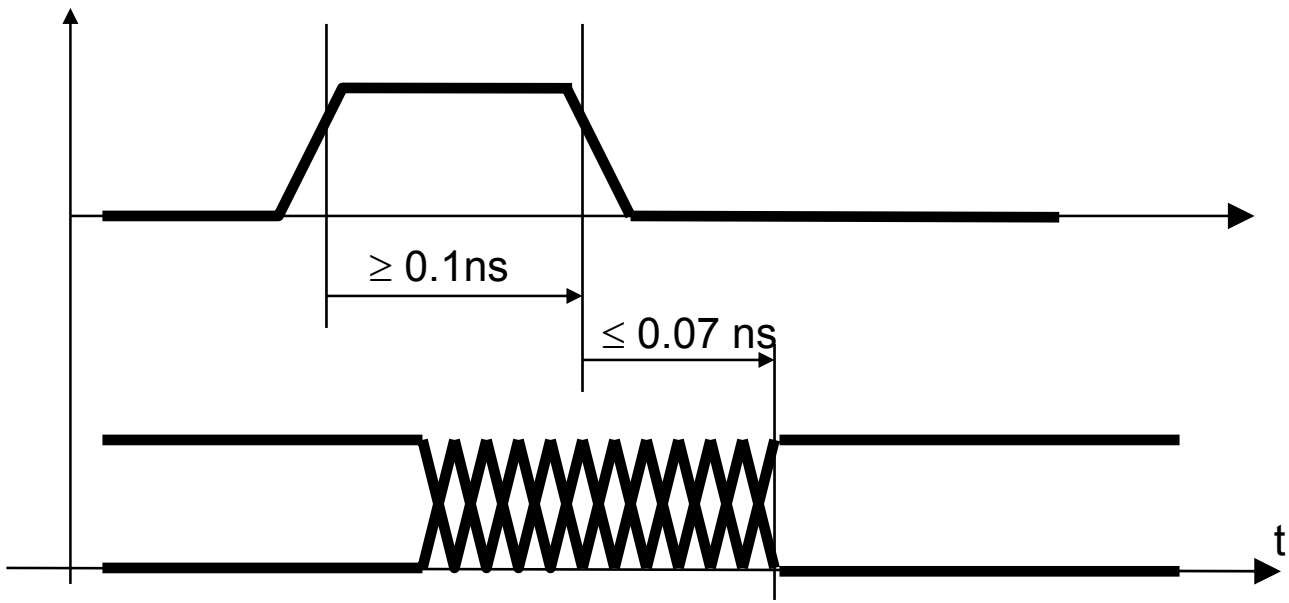


❑ Relations de causalité



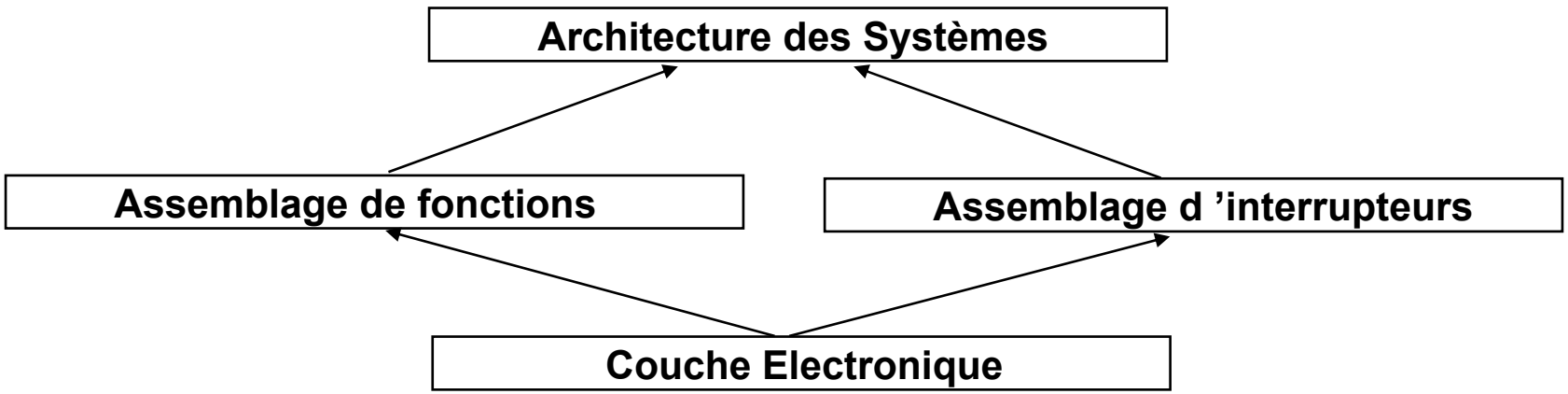
Le langage des chronogrammes (c)

❑ Contraintes temporelles



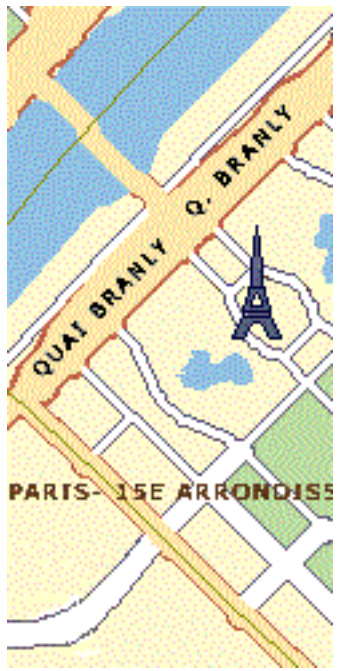
Couches conceptuelles

- Assemblage de fonctions standard
- Réseau optimisé à la demande



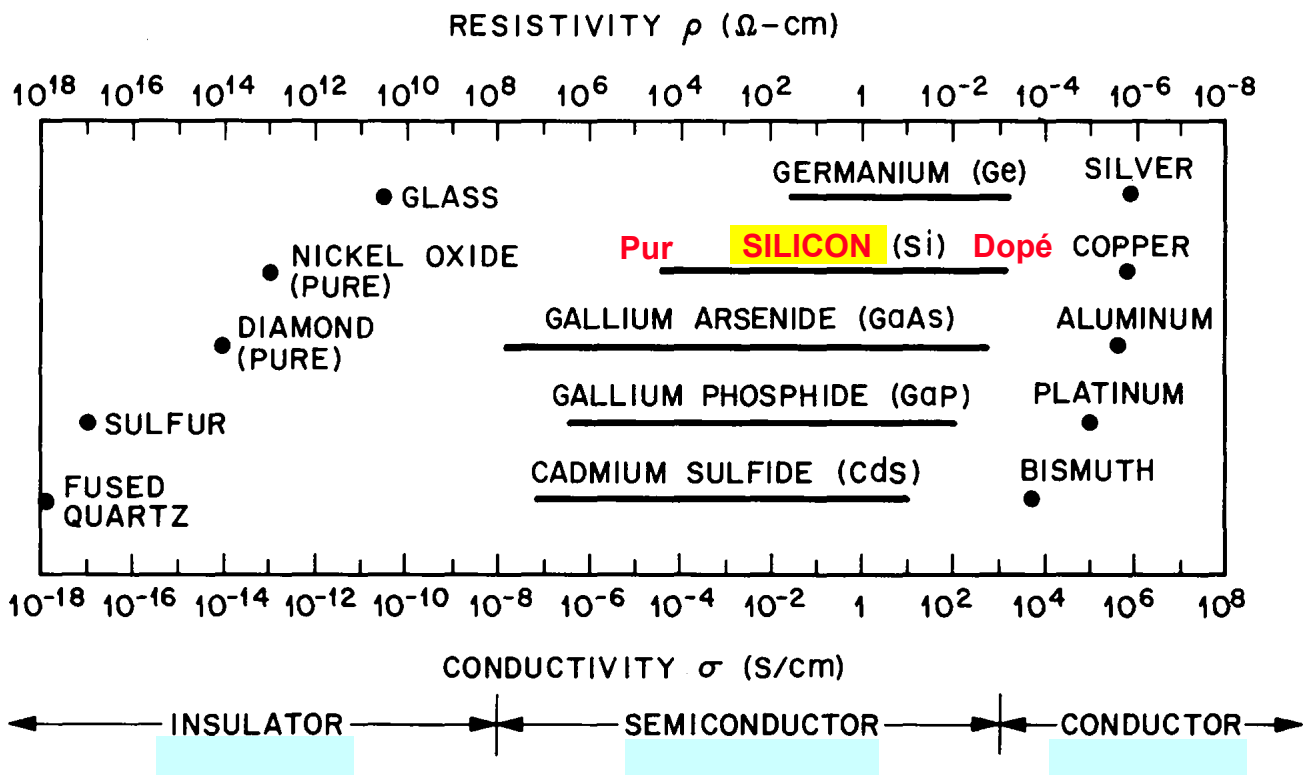
Du matériau au transistor MOS

- **Matériaux semiconducteurs**
  - Conductivité, dopage, mobilité des porteurs
- **Transistor N-MOS**
  - De la structure MOS au transistor
- **Caractéristiques du transistor N-MOS**
- **Transistor P-MOS**
- **Circuits C-MOS**



Semi-Conducteurs

❑ Conductivité / Résistivité



Semi-Conducteurs

❑ Monocristal de Silicium

densité d 'atomes : $N_A \approx 5\ 10^{22}\ cm^{-3}$

- Si intrinsèque : *la densité de porteurs* $N_D \approx 1{,}5\ 10^{10}\ cm^{-3}$

❑ Dopage

- Aux Pentavalents (P, As) —> Type n = conduction par électrons
  Aux Trivalents (B) —> Type p = conduction par trous
- Si dopé : $N_D \approx 10^{15}$ à $10^{16}\ cm^{-3}$

❑ Conductivité et Mobilité

$$\text{conductivité} = \sigma = 1/\rho = N_D\ e\ \mu$$

Mobilité

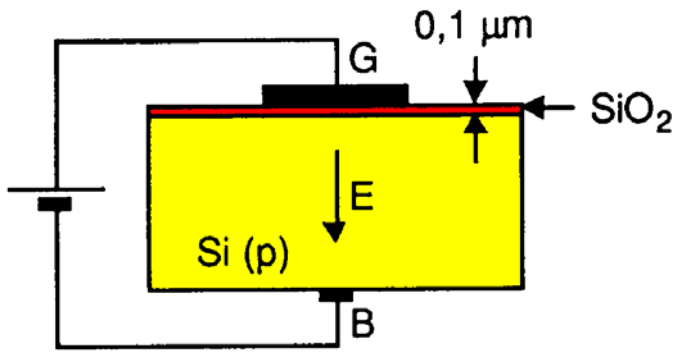
- La **mobilité μ** des trous est inférieure à celle des électrons

Mobilité :

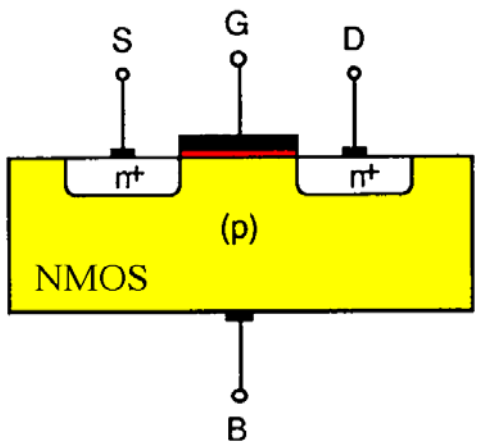
μ (cm^2.V^{-1}.s^{-1})	Si pur	Si fortement dopé
Electrons libres	1350	100
Trous	480	60

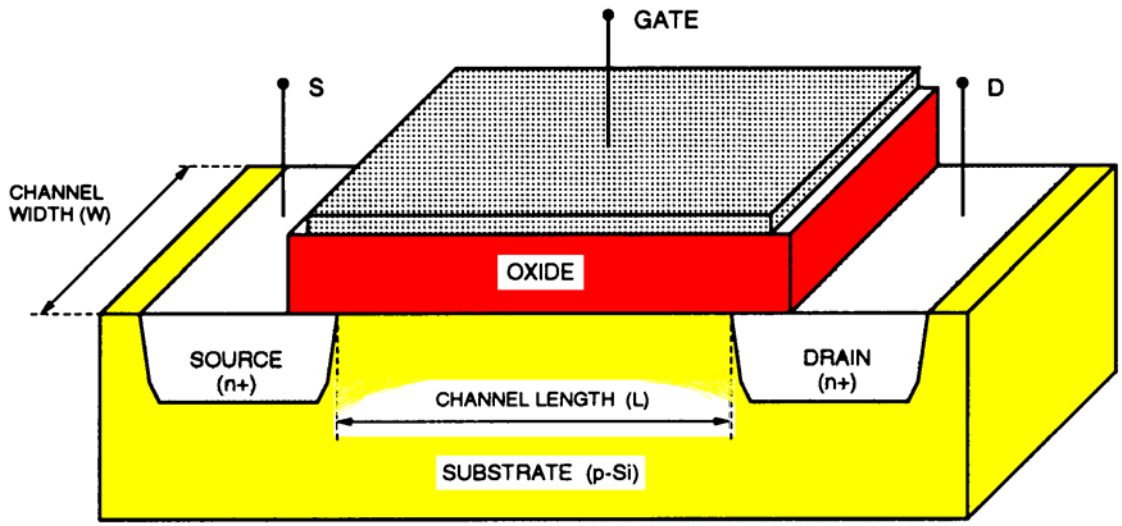
Du Matériau au Transistor

❑ Effet de Champ



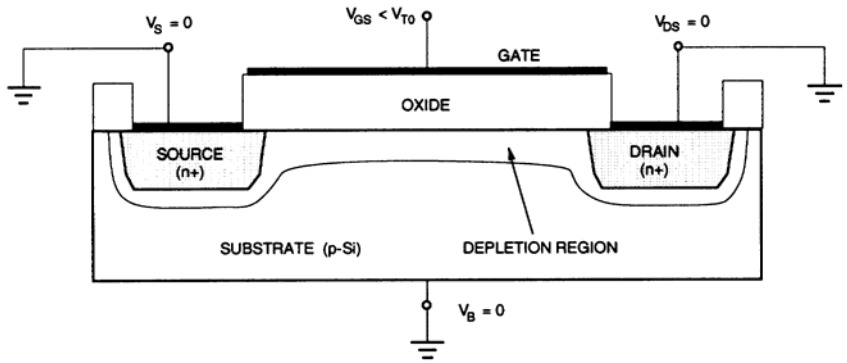
❑ Transistor NMOS



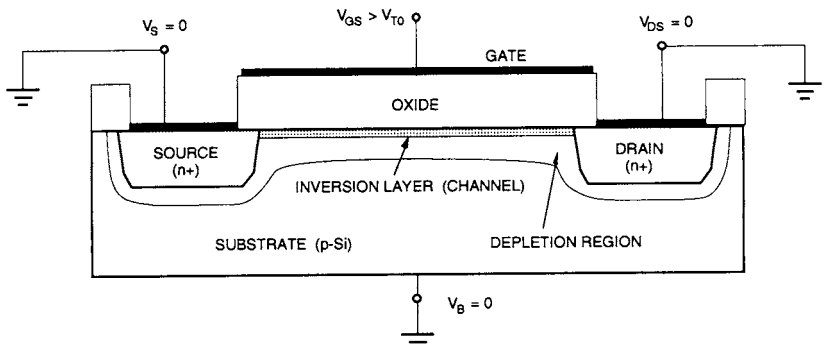


Fonctionnement du transistor NMOS

- Zone de déplétion pour V_{GS} positif faible ($V_{GS} < V_T$)



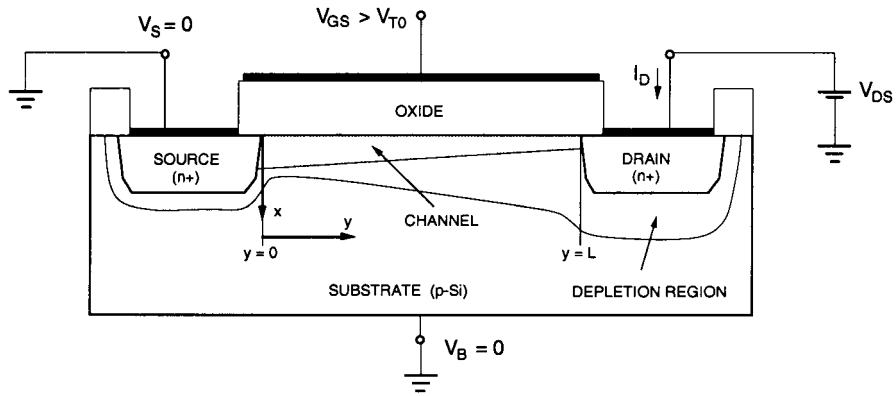
- Canal d ’inversion pour VGS positif fort ($V_{GS} > V_T$)



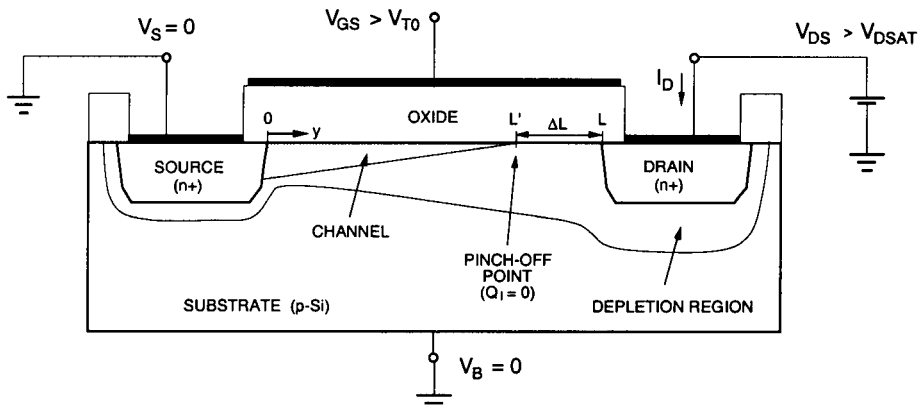
NMOS à V_{GS} positif fort et V_{DS} non nul

- $V_{DS} > 0$ le courant d'électrons va de la Source au Drain
  $V_{GS} > V_T$ le canal conducteur est formé

- **Mode « résistif »**
  ($V_{GD} > V_T$ <==> $V_{DS} < V_{GS} - V_T$)



- **Mode saturé**
  ($V_{GD} \leq V_T$ <==> $V_{DS} \geq V_{GS} - V_T$)
  - Pincement du canal
  - ΔL est très petit



Caractéristiques Courant-Tension du NMOS

- 1) $V_{GS} < V_T$ **Transistor Bloqué** : $I_D = 0$
- 2) $V_{GS} > V_T$ et $V_{GD} > V_T$ <==> $V_{DS} < V_{GS} - V_T$

  Mode « résistif »

$$I_D = \mu_n C_{ox} \frac{W}{L}\left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2\right]$$

- 3) $V_{GS} > V_T$ et $V_{GD} < V_T$ <==> $V_{DS} > V_{GS} - V_T$

  Mode saturé

$$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L}(V_{GS} - V_T)^2$$

- => Frontière Résistif - Saturé :

$V_{GD} = V_T$ <==> $$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} V_{DS}^2$$

Paramètres de Transconductance

$$k'_n = \mu_n C_{ox}$$

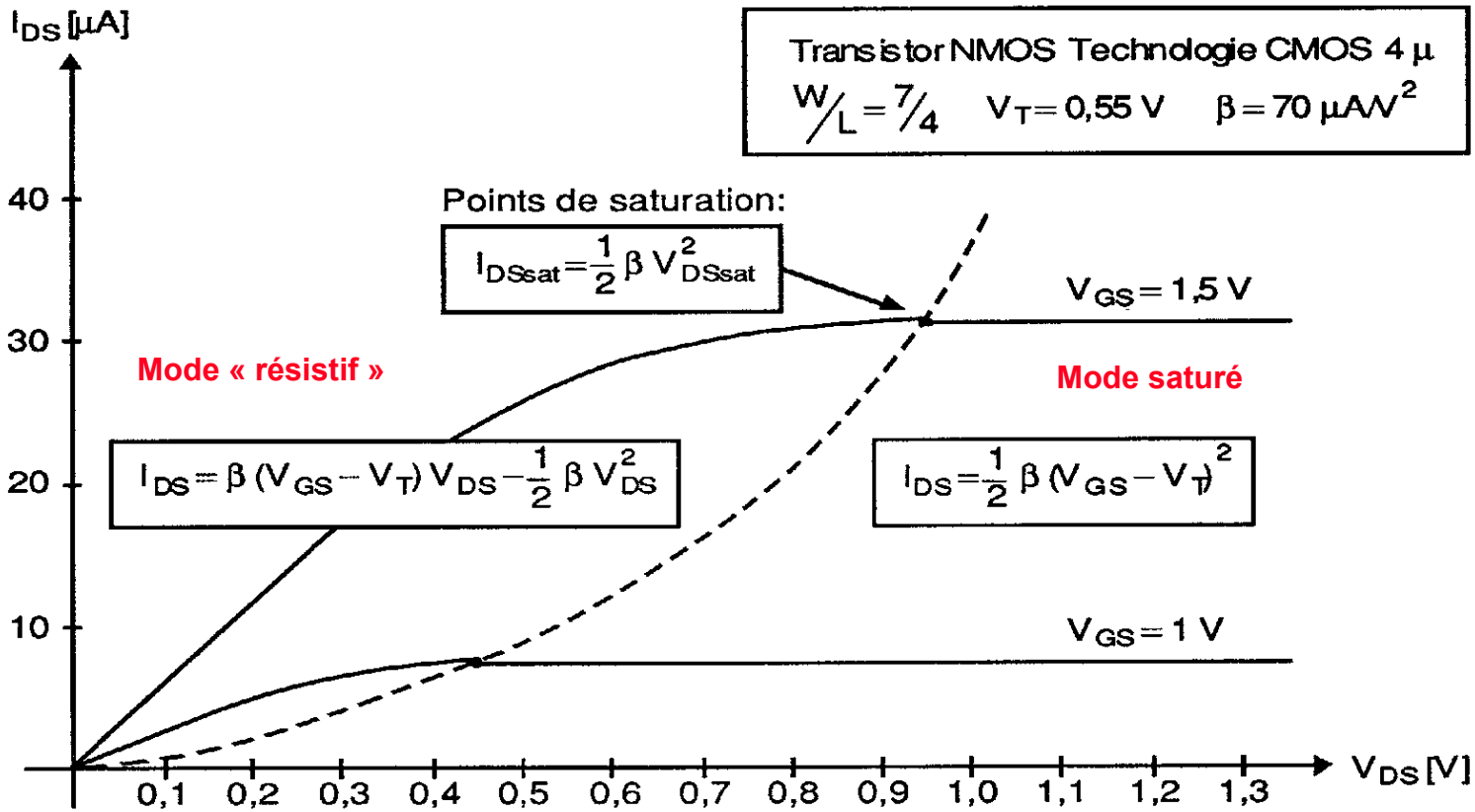
$$k_n = \mu_n C_{ox} \frac{W}{L}$$

Valeurs typiques des paramètres

- **Mobilité** $\mu_n \approx 580\ cm^2/Vs$ $\mu_p \approx 230\ cm^2/Vs$
- **Oxyde**
  - Épaisseur $t_{ox} = 0{,}02$ à $0{,}1\ \mu m$
  - Permittivité $\varepsilon_{ox} = 3{,}97\ \varepsilon_0 = 3{,}5\ \ 10^{-13}\ F/cm$
  - Capacité $C_{ox} = \varepsilon_{ox} / t_{ox} = 1{,}75\ fF/\mu m^2$ pour $t_{ox} = 0{,}02\ \mu m$
    $= 0{,}35\ fF/\mu m^2$ pour $t_{ox} = 0{,}1\ \mu m$
- **Transconductance**

$k'_n = \mu_n C_{ox} \approx 100\ \mu A/V^2$ pour $t_{ox} = 0{,}02\ \mu m$
$20\ \mu A/V^2$ pour $t_{ox} = 0{,}1\ \mu m$

Graphe Courant-Tension du NMOS



Fonctionnement du transistor PMOS

- Similaire au NMOS, mais avec :

  $V_{DS} < 0$ le courant de trous va de la Source au Drain

  $V_T < 0$ la tension de seuil V_T est négative, => V_{GS} est usuellement négatif

- 1) $V_{GS} > V_T$ **Transistor Bloqué** : $I_D = 0$

- 2) $V_{GS} < V_T$ et $V_{GD} < V_T$ <==> $V_{DS} > V_{GS} - V_T$ **Mode « résistif »**

$$I_D = \mu_p C_{ox} \frac{W}{L}\left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2\right]$$

- 3) $V_{GS} < V_T$ et $V_{GD} > V_T$ <==> $V_{DS} < V_{GS} - V_T$ **Mode saturé**

$$I_D = \frac{1}{2}\mu_p C_{ox} \frac{W}{L}(V_{GS} - V_T)^2$$

- => Frontière Résistif - Saturé : $V_{GD} = V_T$

$$I_D = \frac{1}{2}\mu_p C_{ox} \frac{W}{L} V_{DS}^2$$

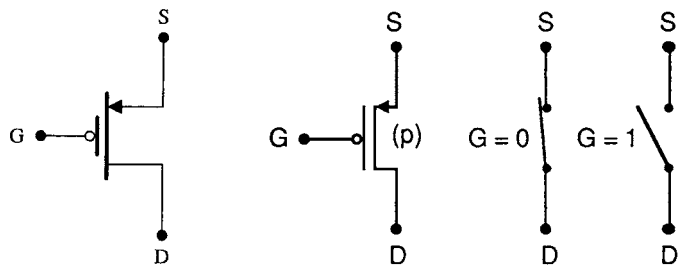
Paramètres de Transconductance

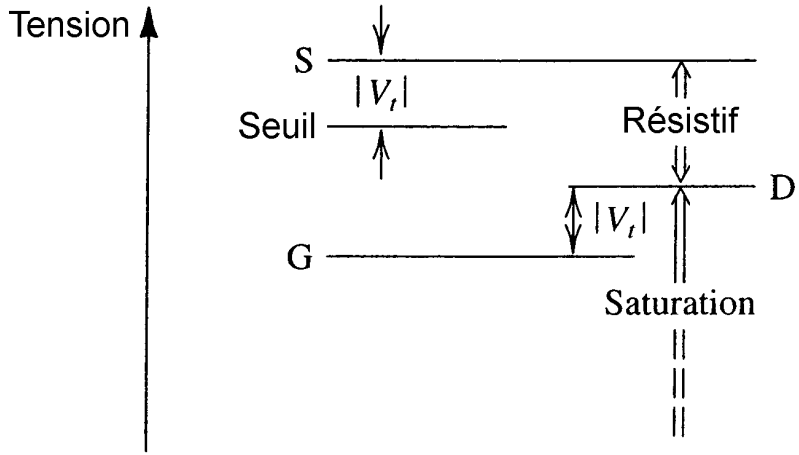
$$k'_p = \mu_p C_{ox}$$

$$k_p = \mu_p C_{ox} \frac{W}{L}$$

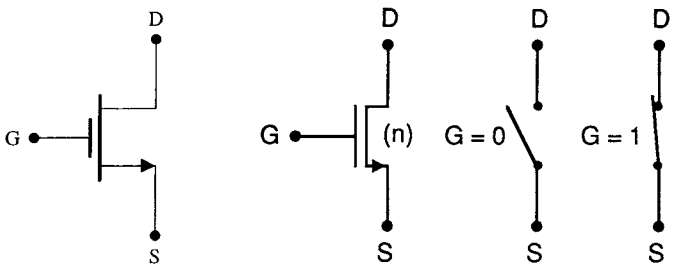
Récapitulation des NMOS et PMOS

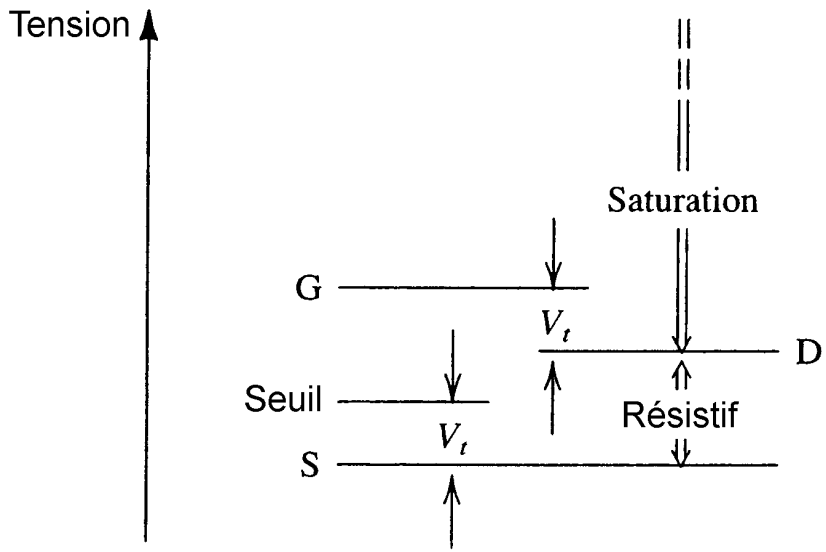
❑ PMOS



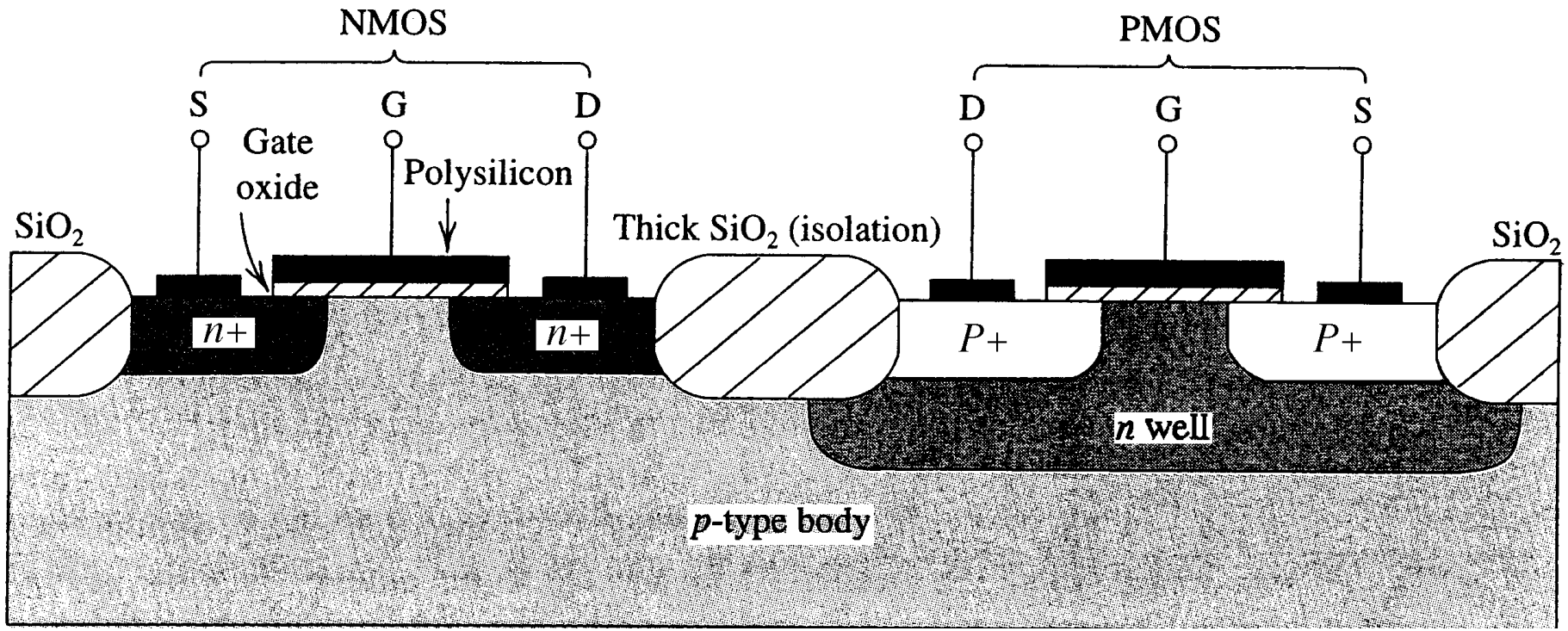


❑ NMOS





Circuits CMOS



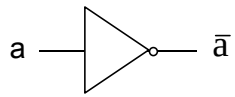
Eléments de base

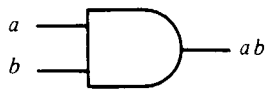
- Transistors MOS N et P
- Les transistors P sont dans des caissons
- Nous considérerons des transistors comme des contacts (résistifs)
- Les transistors P sont moins conducteurs que les N (nous les dessinerons deux fois plus large)
- Les transistors N sont dessinés à la taille minimum (sauf si la charge de la porte est importante)

De l ’Algèbre de Boole aux Portes de base

- **Rappels d ’algèbre de Boole**
  - Bases, Formes canoniques, Théorème de De Morgan
- **Circuits statiques de base**
  - réseaux de conduction « verticaux »
- **Inverseur, NAND, NOR, Circuits 3 états**
- **Phénomènes physiques**
  - Vitesse et Facteur d ’Echelle

Algèbre de Boole

- **Variables X $\in \{0\,,\,1\}$**
- **3 fonctions de base :**
  - NON $\overline{X}$ 

$\overline{\overline{X}} = X$
  - ET $X \cdot Y$ 

$X \cdot X = X \qquad X \cdot \overline{X} = 0$
  - OU $X + Y$

$X + 1 = 1 \qquad X + X = X \qquad X + \overline{X} = 1$
- **Associativité, Commutativité, Distributivité**
- **Formes Canoniques**
  - Somme de produits $\sum \prod X_i \overline{Y}_j$
  - Produits de sommes $\prod \sum X_i + Y_j$

Algèbre de Boole (suite)

❑ Théorème de De Morgan

$$\overline{X \cdot Y} = \overline{X} + \overline{Y}$$

$$\overline{X + Y} = \overline{X} \cdot \overline{Y}$$

$$X \Rightarrow \overline{X}$$
$$F \Rightarrow \overline{F}$$
$$ET \Leftarrow\Rightarrow OU$$

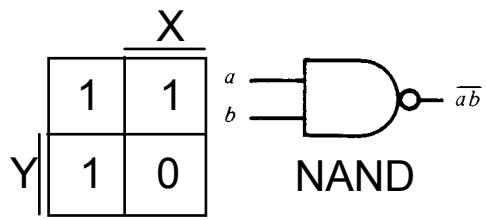
Dualité

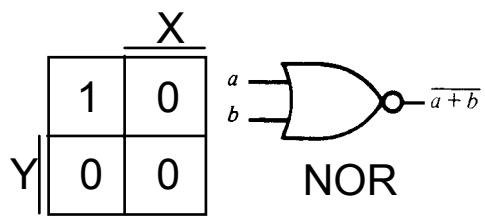
❑ Autres fonctions

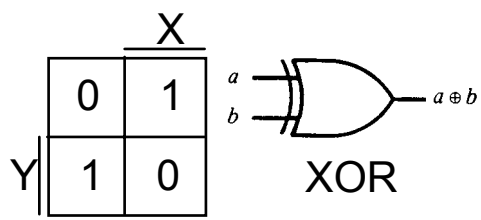
(16 fonctions de $B^2 \Rightarrow$ B)

- NAND $\overline{X \cdot Y}$
- NOR $\overline{X + Y}$
- XOR $X \oplus Y$

Attention à l'associativité !





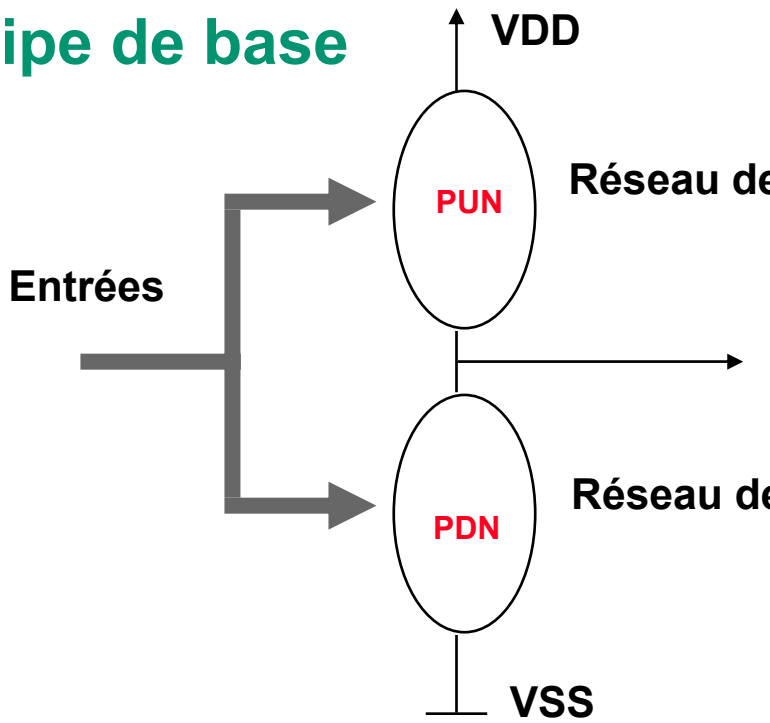


❑ Bases Combinatoires

- NON, ET, OU
- NAND
- NOR
- MUX $mux(c, b, a) = cb + \overline{c}\,a$

Circuits statiques

- Les sorties sont élaborées en permanence
- Principe de base



Réseau de PMOS => fonction de conduction C_P
fonction structurelle Z_P

Sortie => $S = C_P = -C_N$

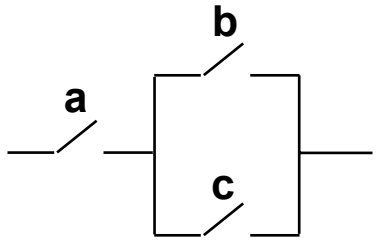
Réseau de NMOS => fonction de conduction C_N
fonction structurelle Z_N

S (entrées) = C_P (entrées) = - C_N (entrées)
S (entrées) = Z_P (-entrées) = - Z_N (entrées)

Dualité : $Z_P = Z_N^*$ <==> Z_P(entrées) = - Z_N(-entrées)
on passe de Z_P à Z_N en échangeant ET et OU

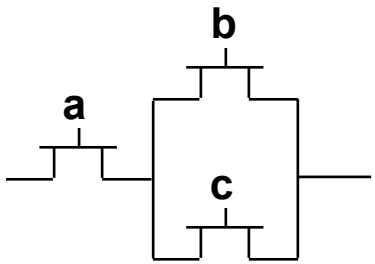
Fonction de conduction et fonction structurelle

- **Exemple :**
  - Interrupteurs



C(a,b,c) = a • (b + c)

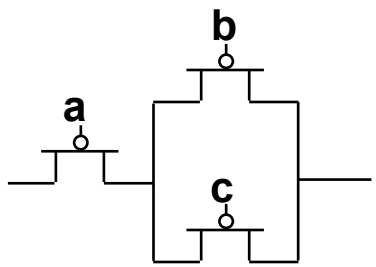
  - NMOS



C(a,b,c) = a • (b + c)

fait bien ressortir la fonctionnalité

  - PMOS



C(a,b,c) = -a • (-b + -c) = -(a + b•c)

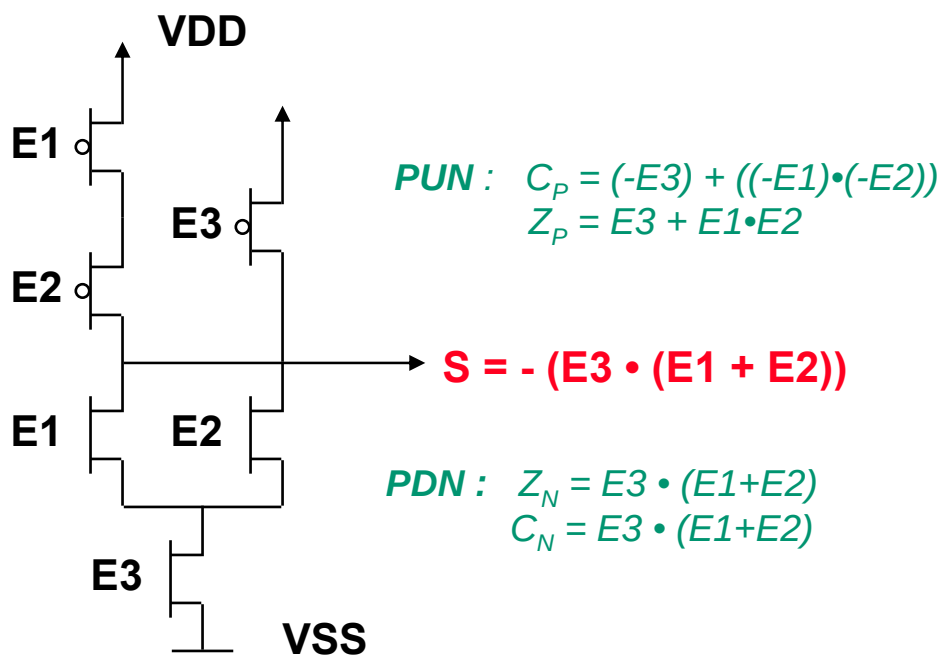
ne montre pas bien la fonctionnalité

- **Fonction structurelle Z :**
  - NMOS $Z_N(a,b,c) = C_N(a,b,c) = a \bullet (b + c)$ $C_N(a,b,c) = Z_N(a,b,c)$
  - PMOS $Z_P(a,b,c) = C_P(-a,-b,-c) = a \bullet (b + c)$ $C_P(a,b,c) = Z_P(-a,-b,-c)$

Réseaux de conduction

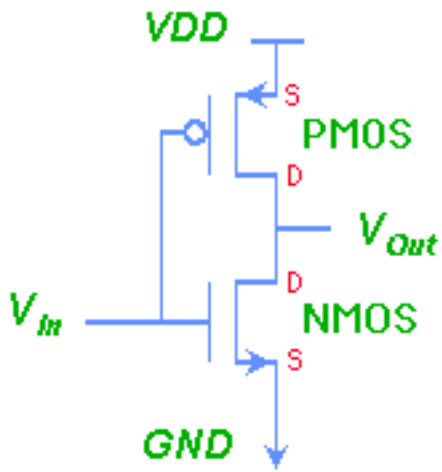
- **La dualité fonctionnelle entraîne une dualité série <=> parallèle des réseaux**

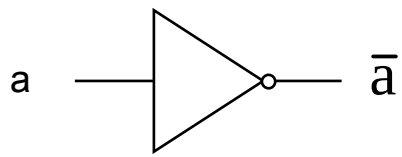
- ex: porte non et-ou



Inverseur

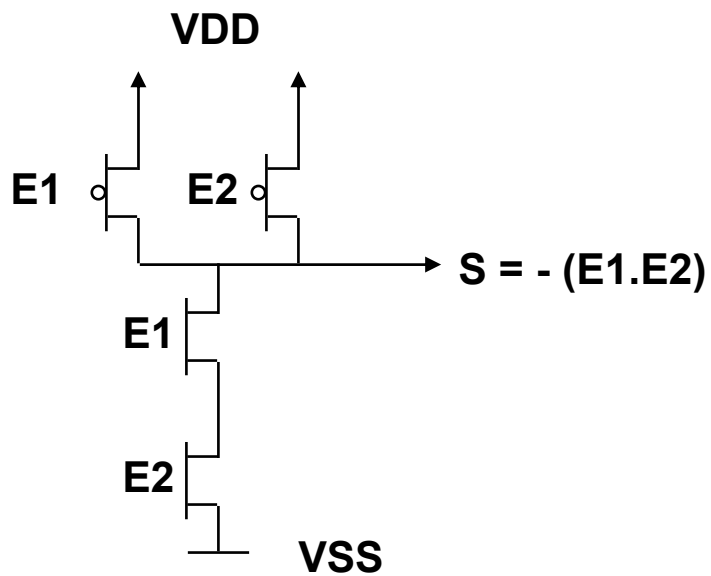
- **Le plus simple des circuits statiques**



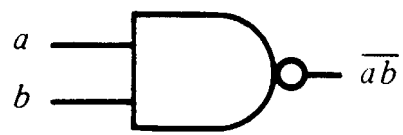


Porte NAND

- ***Porte statique de base***



	$\overline{E_1}$	
	1	1
E_2	1	0

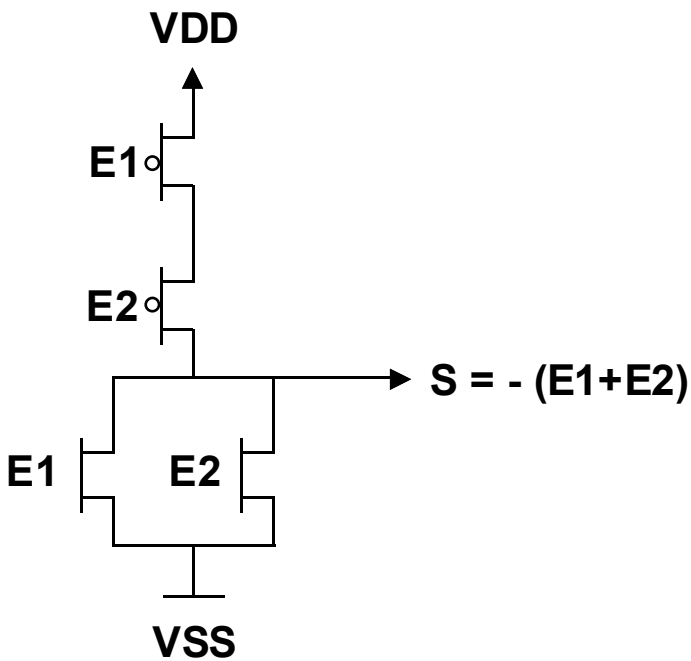


- ***Il est préférable de mettre des TrN en série plutôt que des TrP (moins conducteurs)***

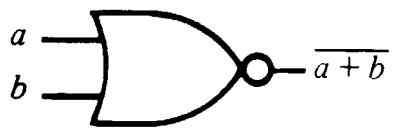
Dessin F.A.

Porte NOR

❑ *Structure duale du NAND*



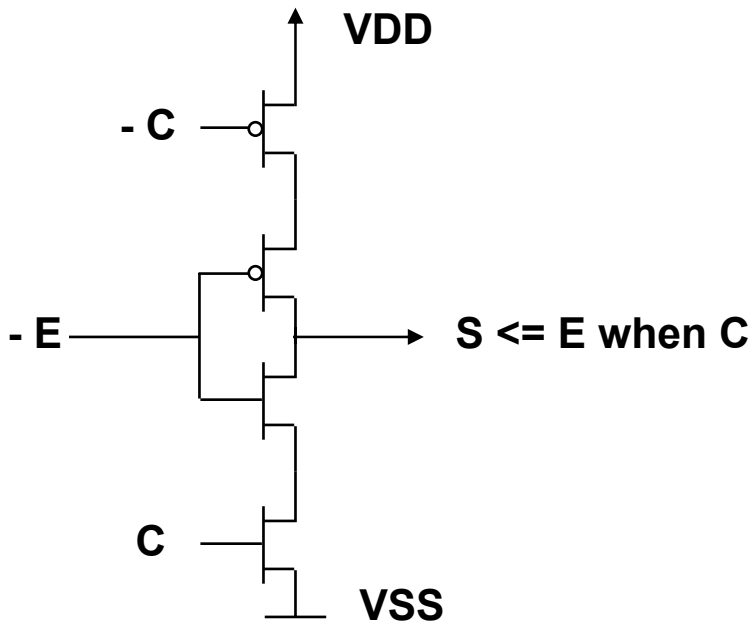
		E_1
	1	0
E_2	0	0

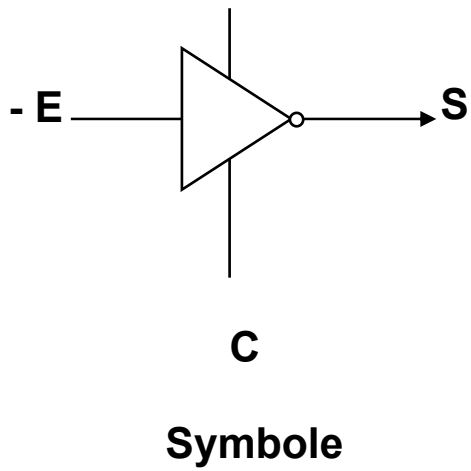


❑ *Inconvénient des PMOS en série*

Sorties 3 états

- 2 états logiques binaires + 1 état isolé
- Porte 3 états

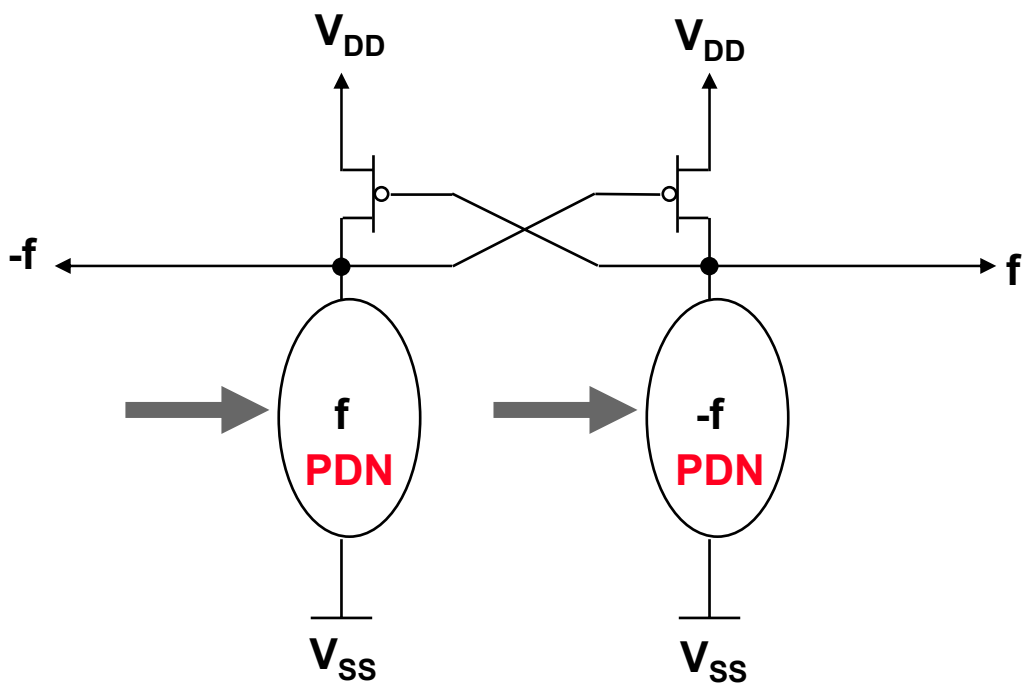




Dessin F.A.

Portes dissymétriques

- **Pour diminuer le nombre de Tr P**
  (exemple: génération simultanée de f et -f)

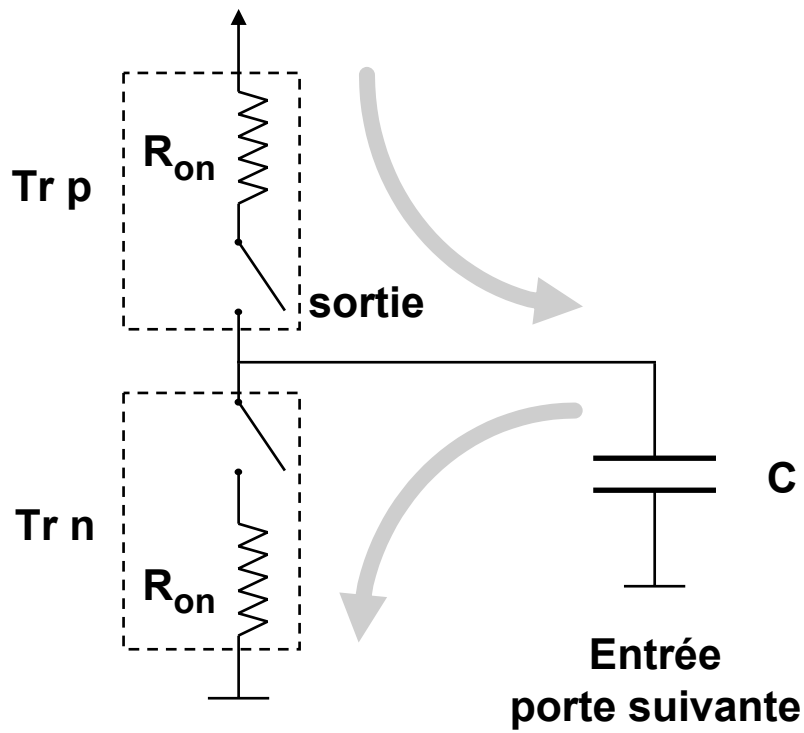


Dessin F.A.

Aspect électrique : phénomènes dynamiques

- Les entrées d'une porte sont des capacités
- Charge de la porte précédente
  - capa grille porte
  - capa sortie porte précédente
  - capa des liaisons
- Les sorties sont des liaisons résistives à l'alimentation ou à la masse.
- Vitesse de la porte

  $\tau = R_{on}\, C$
- La porte ne consomme que si elle commute
  (la consommation croît avec la fréquence)

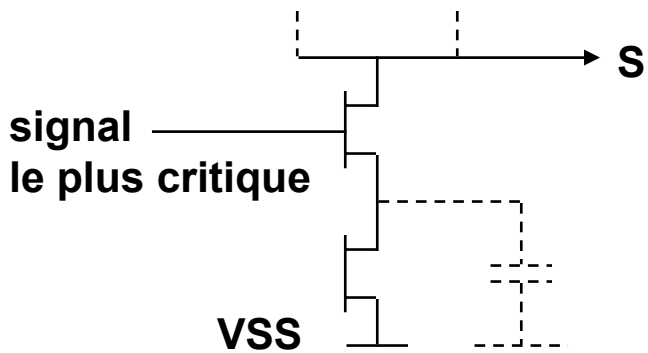


$$P = f \cdot C \cdot V_{DD}^2$$

Dessin F.A.

Aspect électrique (suite) : règles de conception

- **Les portes complexes sont lentes (nombreux Tr en série)**
- **Il est préférable de disposer des Tr N en série plutôt que des P**
- **La résistance d'une série de n Tr est égale à n fois celle d'un Tr**
  - ==> Dimensionner les transistors en série avec un W/L augmenté pour réduire R_{on} individuel et garder le R_{on} équivalent ≈ constant
- **Influence du « Fan-In » et du « Fan-Out » sur le retard**
- **Dans une série de Tr, le signal le plus critique est de préférence disposé près de la sortie.**



Facteur d'échelle (Scaling)

❑ Que se passe-t-il si on divise les dimensions par « s » ?

❑ Scaling complet (à Champ constant)

- Tensions : x 1/s
- Puissance : x $1/s^2$
- Densité de puissance / cm^2 : constante

Problèmes des faibles Tensions

❑ Scaling à Tension constante

- Puissance : x s
- Densité de puissance : x s^3

Problèmes Thermiques

Année	1985	1987	1989	1991	1993	1994	1995	1997	1999	2000	2002
Technologie : 2 λ = L (µm)	2,5	1,7	1,2	1,0	0,8	0,7	0,5	0,35	0,25	0,18	0,12
V_{DD} (Volts)						5,0	3,3	3,3	2,5	1,9	1,5
V_T (Volts)						0,7	0,6	0,5	0,5	0,4	0,3
Epaisseur oxyde (A)						200	120	75	65	50	40
Fréquence limite (MHz)							120			500	1200