



PHY 568

TP « simulateur électrique SPICE »

Introduction:

L'objectif de ce TP est de réaliser, à travers l'étude des comportements des transistors CMOS et des inverseurs, une initiation au langage de simulation analogique SPICE.

Une présentation succincte des principaux éléments du langage sont accessible sur le site web de la majeure MNO lien « éléments SPICE » de la rubrique « TP1:SPICE » du cours « PHY568 ».

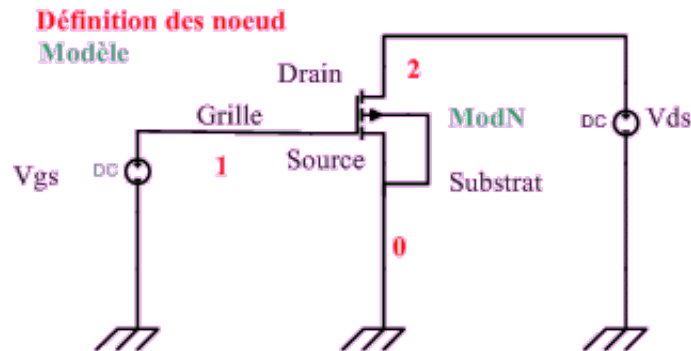
Dans le cadre du TP nous utiliserons la version Spice OPUS

Créer dans votre répertoire personnel un répertoire spécifique pour le TP

Copier dans ce répertoire les fichiers de définition de techno (0,6 μ m). Ces fichiers « cmostm.mod » et « cmoswm.mod » se trouvent sur le site web.

vous trouver un fichier exemple « essais1.cir » correspondant à la simulation à Vds constant d'un transistor NMOS.

copier le dans votre répertoire de travail et ouvrir le, grâce par exemple à « kedit ». Le schéma simulé correspond à la figure suivante :



Le fichier est le suivant

<pre>* transistor Nmos ***** * fichier techno .include cmosws.mod * dessin du circuit Vds 2 0 dc 3.3V Vgs 1 0 dc 1V M1 2 1 0 0 modn L=0.6U W=2.5U * simulation .dc Vgs 0 3.3v 50mV .end</pre>	<p>Information qui s'affiche lors du chargement pas forcément utile. le caractère « * » définit le début d'une ligne de commentaire</p> <p>Définit la technologie utilisée c'est à dire les paramètres des modèles des transistors NMOS et PMOS</p> <p>définition du schéma de simulation. Ici 2 sources de tensions « Vds » et « Vgs » et un transistor NMOS « M1 ». pour la syntaxe voir « éléments Spice ».</p> <p>Type et conditions de simulation. Ici simulation en continu « .dc » via une rampe de tension de 0 à 3,3V par pas de 50mV sur la source de tension « Vgs »</p> <p>symbole de fin de fichier</p>
---	--

* Lancer dans une console au préalable positionnée dans le répertoire de travail la commande « spice3 ».

* Chargement du fichier *SpiceOpus* (c) 1 -> *source nmos.cir*

* Exécution du fichier *SpiceOpus* (c) 2 -> *run*

Warning: version not specified for modn MOSFET level=53 model, version 3.2.4 used. (message pas important)

* Tracer de la réponse graphique *SpiceOpus* (c) 3 -> *plot abs(i(vds))*

- pour les tensions indiquer le noeud où l'on mesure la tension *SpiceOpus* (c) 4 -> *plot v(2) v(1)*
- pour les courants la mesure n'est possible que sur une source de tension *SpiceOpus* (c) 3 -> *plot abs(i(vds))*



* Attention les mesures de courant se font en convention récepteur sur la source de tension (U et I en sens inverse).

* La modification des axes (log) se fait par le bouton droit de la souris

Partie A : caractérisation des transistors NMOS et PMOS

On souhaite obtenir les caractéristiques courant/tension $I_{ds} = f(V_{ds}, V_{gs})$ des transistors NMOS et PMOS pour un procédé de fabrication 0.6 micron. Les paramètres définissant le comportement électrique des transistors sont définis dans le fichier « *cmosws.mod* ». (Fichier à récupérer sur le site web et à copier dans le répertoire de travail)

Les tensions d'alimentation nominales sont $V_{SS} = 0V$ et $V_{DD} = 3.3V$.

Q1) I_{ds} fonction de V_{gs}

Tracer, pour les deux types de transistors, la courbe $I_{ds}(V_{ds}, V_{gs})$ pour V_{ds} constant = V_{DD} , et pour V_{gs} variant entre V_{SS} et V_{DD} . Déterminer graphiquement les tensions de seuil V_{tn} et V_{tp} des deux types de transistors.

Q2) I_{ds} fonction de V_{ds}

Tracer, pour les deux types de transistors, la courbe $I_{ds}(V_{ds}, V_{gs})$, pour V_{GS} constant et pour V_{DS} variant entre V_{SS} et V_{DD} . On tracera ces courbes pour différentes valeurs de V_{gs} (on prendra par exemple, $V_{gs} = 1V$, $V_{gs} = 2V$, $V_{gs} = 3V$, et $V_{gs} = V_{DD}$) Identifier les régimes linéaire et saturé des deux types de transistor MOS.

Pour les simulations, on prendra :

- $L_n = 0.6$ micron / $W_n = 3.0$ micron

- $L_p = 0.6$ micron / $W_p = 6.0$ micron

Partie B : caractérisation statique de l'inverseur CMOS

On cherche maintenant à tracer la courbe de transfert statique $V_{out} = f(V_{in})$ pour l'inverseur CMOS. On cherche principalement à analyser la valeur du seuil logique V_L en fonction des dimensions des transistors W_n et W_p . On ne considérera que des transistors possédant une longueur de canal minimale, c'est à dire $L_n = L_p = 0.6$ micron.

On rappelle que le seuil logique V_L d'un inverseur est la tension du signal d'entrée telle que $V_{in} = V_{out}$. (Intersection de la courbe de transfert avec la bissectrice).

Une valeur approchée est fourni par :

$$V_L = \frac{V_{t_n} + \sqrt{\beta} (V_{DD} + V_{t_p})}{1 + \sqrt{\beta}}$$

$$\text{Avec } \beta = \frac{R_{N_{on}}}{R_{P_{on}}} = \frac{\mu_p}{\mu_n} \cdot \frac{W_p}{W_n} \cdot \frac{L_n}{L_p}$$

Q3) Inverseur équilibré

Tracez la courbe de transfert statique pour un inverseur « équilibré »,

- $L_n = 0.6$ micron / $W_n = 3.0$ micron

- $L_p = 0.6$ micron / $W_p = 6.0$ micron

En déduire la marge au bruit (i.e. le bruit maximal admissible) sur l'état bas, et sur l'état haut de l'entrée.



Q4) Inverseurs décentrés

Tracez la courbe de transfert statique pour un inverseur « décentré », tel que $W_n = W_p = 3.0$ micron (la résistance équivalente du transistor P passant est deux fois plus grande que celle du transistor N). Même question qu'en Q3.

Tracez la courbe de transfert statique pour un inverseur « décentré », tel que $W_p = 12.0$ micron, $W_n = 3.0$ micron (la résistance équivalente du transistor P passant est deux fois plus faible que celle du transistor N). Même question qu'en Q3.

Q5) courbes de transfert du NAND2

On considère une porte NAND à 2 entrées « équilibrée » ($W_p = W_n = 6.0$ micron).

Tracez les courbes de transfert statique cette porte NAND2 dans les deux cas suivants :

- Les deux entrées A et B de la porte NAND sont connectées au même signal d'entrée, qu'on fait varier entre VSS et VDD. Ceci qui correspond au scénario où les deux entrées commutent simultanément.
- L'entrée A est à l'état haut (tension VDD), et on fait varier la tension de l'entrée B entre VSS et VDD. Ceci correspond au scénario de commutations séparées dans le temps.

En déduire la marge au bruit sur l'état bas et sur l'état haut de l'entrée.

Partie C : caractérisation dynamique de l'inverseur CMOS

On souhaite étudier le comportement dynamique de l'inverseur CMOS. Il s'agit d'analyser le temps de propagation entre l'entrée et la sortie de l'inverseur CMOS en fonction de différents paramètres. On s'intéressera à trois types de paramètres :

- Paramètres liés à la technologie de fabrication : valeur des seuils V_{tn} et V_{tp}
- paramètres liés aux conditions physiques de fonctionnement : température
- paramètres liés à la conception : valeur de la capacité de sortie, géométrie des transistors (W_n , L_n , W_p , L_p)

On rappelle que le temps de propagation T_p est défini comme l'intervalle de temps entre l'instant où le signal d'entrée IN franchit le niveau $V_{DD}/2$, et l'instant où le signal d'entrée OUT franchit le niveau $V_{DD}/2$.

Il existe deux temps de propagation T_p (up->down) et T_p (down->up), correspondant respectivement à une transition montante pour l'entrée et donc descendante pour la sortie, ou l'inverse. Dans cette partie C, on mesurera systématiquement les deux valeurs.

Pour cette simulation dynamique, le signal d'entrée IN est défini par une forme d'onde décrite explicitement dans le fichier contenant le schéma à simuler, au moyen de la construction « pulse ». On décrira une transition montante suivie d'une transition descendante. Puisque les temps de propagation T_p (up->down) et T_p (down->up), dépendent de la forme du signal d'entrée IN, et particulièrement du temps de commutation du signal IN (durée de la transition du signal IN entre VDD et VSS), le choix de cette durée est importante.

On prendra une valeur « typique » de 1 ns. Le choix de cette valeur typique correspond au temps de commutation du signal de sortie d'un inverseur qui attaque trois inverseurs identiques.

Q6) Influence de la capacité de sortie

En première approximation, et si on modélise le comportement du transistor passant de l'inverseur par une résistance, les temps de propagation sont proportionnels à la capacité de sortie.

On considère un inverseur CMOS équilibré dont la sortie S est connectée à une capacité de charge C. Cette capacité C représente la somme des capacités de grille des différentes portes attaquées par le signal S, plus la capacité électrique du fil d'interconnexion. On prend pour dimensions de l'inverseur :

- $L_n = 0.6$ micron / $W_n = 3.0$ micron
- $L_p = 0.6$ micron / $W_p = 6.0$ micron



Mesurer les temps de propagation $T_p(\text{up} \rightarrow \text{down})$ et $T_p(\text{down} \rightarrow \text{up})$ pour différentes valeurs de la capacité C : 0.0 pF, 0.1 pF, 0.2 pF, 0.5 pF, 1.0 pF
Tracez les 2 courbes $T_p(C)$.

Q7) Influence des caractéristiques géométriques W et L

En première approximation, et si on modélise le comportement du transistor passant de l'inverseur par une résistance, le temps de propagation $T_p(\text{up} \rightarrow \text{down})$ est proportionnel à la résistance équivalente du transistor N, et le temps de propagation $T_p(\text{down} \rightarrow \text{up})$ est proportionnel à la résistance équivalente du transistor P. On choisit une capacité de charge de 0.5 pF.

Mesurer la variation des temps de propagation lorsqu'on diminue la résistance du transistor N en augmentant la valeur du paramètre W_n . (toutes choses restant égales par ailleurs) Tracer les 2 courbes $T_p(W_n)$.

Mesurer la variation des temps de propagation lorsqu'on diminue la résistance du transistor P en augmentant la valeur du paramètre W_p . (toutes choses restant égales par ailleurs) Tracer les 2 courbes $T_p(W_p)$.

Q8) Influence de la température et des paramètres technologiques V_{tn} et V_{tp}

On sait que la résistance équivalente des transistors MOS augmente avec la température. Les temps de propagation dépendent donc également de la température.

Les temps de propagation des portes CMOS dépendent aussi de la valeur des seuils de conduction V_{tn} et V_{tp} des transistors N et P. Ceux-ci dépendent du dopage et de l'épaisseur d'oxyde, et la valeur des seuils est donc affectée d'une dispersion.

Les fabricants de circuits intégrés garantissent seulement que les seuils V_{tn} et V_{tp} sont dans une fourchette : ($V_{tnmin} < V_{tn} < V_{tnmax}$, et $V_{tpmin} < V_{tp} < V_{tpmax}$)

Les fabricants fournissent généralement trois jeux de paramètres pour les modèles de simulation de chacun des transistors N et P :

- paramètres « typical »
- paramètres « worst case »
- paramètres « best case »

Les qualificatifs « best case » et « worst case » font référence aux temps de propagation.

Lors du développement d'un composant, le concepteur doit vérifier que le composant fonctionnera dans toute la gamme de température et toute la plage des seuils de conduction.

Par exemple, pour une application automobile, le composant doit fonctionner de -40°C (démarrage à froid en hiver) à $+125^\circ\text{C}$ (moteur chaud en été).

*Mesurer la variation du temps de propagation pour l'inverseur de référence ($W_n = 3.0$ micron et $W_p = 6.0$ micron) avec une capacité C de 0.5 pF dans les 4 cas suivants : $[-40^\circ\text{C}, ws]$; $[+125^\circ\text{C}, ws]$; $[-40^\circ\text{C}, tm]$ et $[+125^\circ\text{C}, tm]$, en utilisant les deux fichiers de paramètres « **cmosws.mod** » et « **mostm.mod** ». (Fichier à récupérer sur le site web et à copier dans le répertoire de travail)*