

## PHY 568

### PC « Dimensionnement d'une ROM CMOS »

On considère une ROM de 32 mots de 40 bits. La ROM possède 6 bits d'entrée : le signal d'horloge CK commandant la précharge, les 5 bits d'adresse A[4:0], et les 40 bits de sortie S[39:0]. Contrairement à la ROM présentée en cours, les mots sont rangés en colonnes. Il y a huit mots de 40 bits dans chaque colonne, et la ROM possède donc 4 colonnes. Les lignes de bit constituant le coeur de la ROM sont des bus préchargés possédant donc au plus 4 émetteurs. Le décodeur de colonne décode deux bits d'adresse A3 et A4 pour sélectionner une colonne parmi 4. Le multiplexeur de ligne utilise les trois bits d'adresse A0, A1, A2 pour sélectionner un mot parmi huit.

- Le décodeur de colonne est réalisé en logique CMOS duale : Fonctionnellement, il est constitué de 4 AND à 3 entrées (en comptant le signal d'horloge).
- Le multiplexeur de ligne (8 bits vers 1) est réalisé avec des transistors de passage NMOS.
- Les signaux BIT<sub>i</sub>\_j et Y<sub>i</sub> sont préchargés.

Dans le schéma ci-dessous, on a représenté le décodeur d'adresse, ainsi qu'une ligne de bit. Cette ligne de bit est répliquée 40 fois verticalement. D'autre part, pour alléger le schéma, on n'a représenté qu'une seule colonne du plan mémoire au lieu de 4. Il y a donc 4 transistors N entre un signal BIT<sub>i</sub>\_j et l'alimentation VSS, bien qu'un seul soit dessiné.

Du point de vue topologique, la hauteur d'une ligne de bit S<sub>i</sub> (c'est à dire contenant les 8 signaux BIT<sub>i</sub>\_j) est de 50 lambdas. La largeur totale du plan mémoire (contenant les 4 signaux SEL<sub>k</sub>) est également de 50 lambdas. Le plan mémoire est donc une colonne étroite de 50 lambdas de largeur sur 2000 lambdas de hauteur. Les fils horizontaux (correspondant aux signaux BIT<sub>i</sub>\_j) sont en metal 2 et les fils verticaux (correspondant aux signaux SEL<sub>k</sub> ou X<sub>j</sub>) sont en metal 3.

Les contraintes topologiques font que tous les transistors N du plan mémoire sont de taille minimale, c'est à dire  $W = 3$  lambdas et  $L = 1$  lambda. Pour les mêmes raisons, les transistors N utilisés pour le multiplexeur de sortie sont également de taille minimale ( $W = 3$  lambdas et  $L = 1$  lambda).

On veut caractériser cette ROM pour un procédé de fabrication 0.25 micron. On vise un temps de cycle de 5 ns, le signal d'horloge possède un rapport cyclique de 50%.

La technologie de fabrication visée a les caractéristiques suivantes:

- $\lambda = 0.2$  micron
- rapport  $\mu_n/\mu_p = 2$
- $V_{dd} = 2V$
- La capacité d'un fil métallique de largeur minimale est proportionnelle à sa longueur et vaut 0.15fF/micron.
- La capacité de grille d'un transistor de longueur de canal minimale (c'est à dire 1 lambda) est égale à sa capacité de drain. Elle est proportionnelle à la largeur du canal et vaut 1.4fF/micron.
- La résistance équivalente d'un transistor N est inversement proportionnelle à sa largeur. Elle vaut 12000 Ohm quand la largeur vaut 1 $\mu$ .

**Q1/** sur quelle phase de l'horloge s'effectuent respectivement la précharge et l'évaluation ?

**Q2/** La présence d'un transistor dans le plan mémoire entre le signal BIT<sub>i</sub>\_j et VSS correspond-elle au codage d'un 0 ou d'un 1 ?

**Q3/** Pourquoi les signaux BIT<sub>i</sub>\_j sont-ils préchargés avec des transistors N ?

**Q4/** A quoi servent les inverseurs qui pilotent les signaux A<sub>i</sub>+ et NA<sub>i</sub>+ ?

**Q5/** Evaluer grossièrement le temps de commutation et le temps de propagation "typiques" d'un inverseur dans cette technologie. On prendra un inverseur  $W_N = 5$  lambdas et  $W_P = 10$  lambdas, chargé par trois inverseurs identiques.



- Q6/** Evaluer la capacité du signal SELk, et proposer des dimensions pour l'inverseur qui pilote ce signal.
- Q7/** Proposez des dimensions pour tous les transistors du décodeur de colonne (c'est à dire les NAND3 et les inverseurs générant les signaux A3+, NA3+, A4+, NA4+), en justifiant vos choix.
- Q8/** Après avoir évalué la capacité des signaux CK+ et NCK+ qui commandent la précharge, proposez des dimensions pour tous les inverseurs entre CK et CK+ ou NCK+.
- Q9/** Préciser sur un chronogramme les contraintes de set-up time et de hold time des signaux A[4:0] par rapport aux fronts de CK.
- Q10/** Proposez des dimensions pour le bleeder du nœud Yi.
- Q11/** Proposez des dimensions pour l'inverseur de sortie qui pilote Si, en supposant une capacité externe de 0.5 pF.
- Q12/** Evaluer la capacité des signaux BITi\_j et du signal Yi, et en déduire la largeur des transistors de précharge N et P de ces signaux.
- Q13/** Calculez le temps de décharge du signal Yi.
- Q14/** Evaluer le temps d'accès total de cette ROM, entre le front descendant de CK et le front montant de Si.
- Q15/** Quelle la principale cause de consommation de la ROM? Donner une évaluation de cette consommation.
- Q16/** La ROM n'est pas utilisée à tous les cycles. On cherche à minimiser la consommation électrique en ajoutant sur l'interface de la ROM le signal REN (Read Enable) qui autorise la lecture quand il est à l'état haut, et interdit la décharge de la ROM lorsqu'il est à l'état bas. Proposer une modification du schéma interne de la ROM pour prendre en compte le signal REN. Préciser quelles sont les contraintes de set-up time et de hold time sur le signal REN par rapport aux fronts de CK.
- Q17/** Comment faut-il modifier le schéma de cette ROM pour augmenter sa capacité à 64 mots de 40 bits, sachant qu'on s'interdit de modifier la hauteur de la ligne de bits qui doit rester égale à 50 lambdas. Même question pour 128 et 256 mots?

