

PHY 568

PC « dimensionnement des transistors MOS »

Partie A : Portes CMOS DUAL

Q1) En vous inspirant de la méthode présentée en cours, calculez la valeur du rapport W_P/W_N qui équilibre les marges au bruit d'une porte CMOS DUAL NOR à 2 entrées. Tous les transistors ont une longueur de canal minimale $L_n = L_p = 1 \lambda$. Tous les transistors N ont la même largeur W_n . Tous les transistors P ont la même largeur W_p .

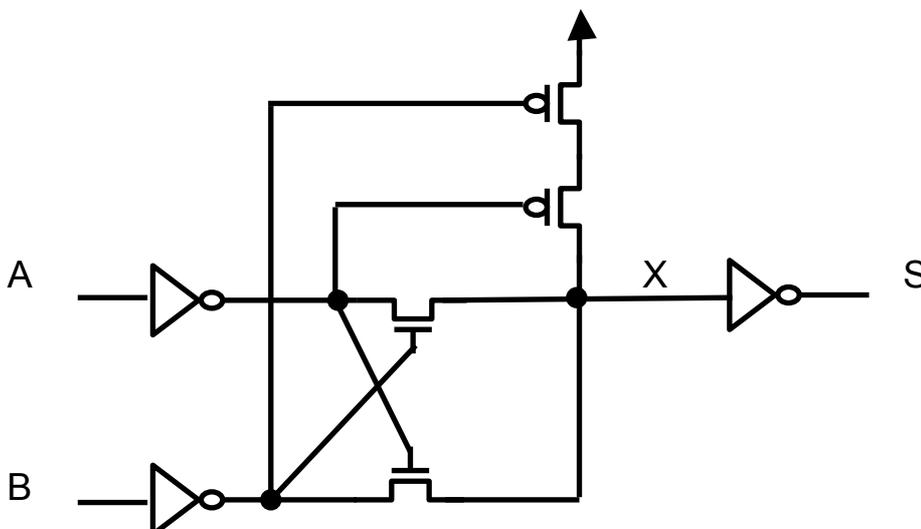
Q2) Même question pour une porte CMOS DUAL NAND à 4 entrées.

Q3) Même question pour une porte CMOS DUAL NOR à 4 entrées. Pourquoi trouve-t-on rarement des portes NOR à plus de 4 entrées dans les bibliothèques de cellules pré-caractérisées ?

Q4) Fournir le schéma de la porte CMOS DUAL réalisant la fonction $S = \text{not}(A.B + C.D)$. Proposez une valeur pour le rapport W_p/W_n , qui équilibre la marge au bruit (avec les mêmes hypothèses que pour la question Q1).

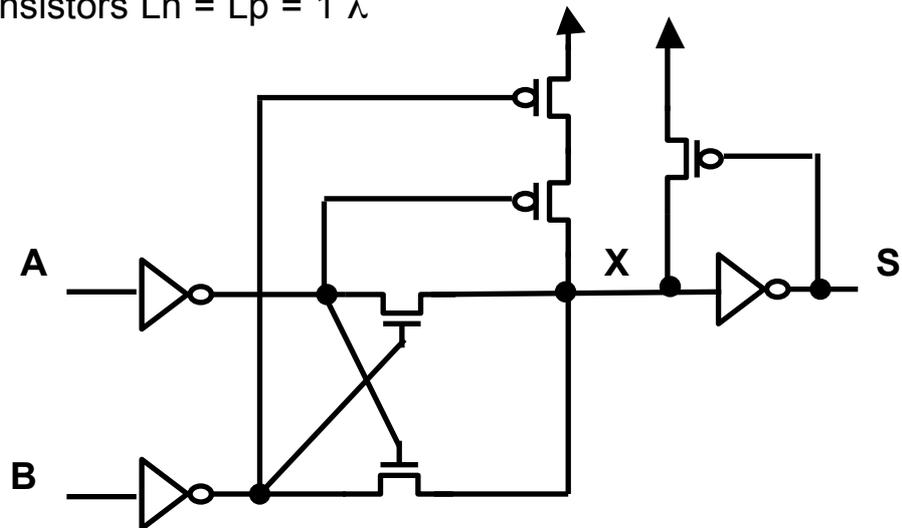
Partie B : Portes CMOS à interrupteurs

Q5) Quelle est la fonction booléenne réalisée par le schéma ci-dessous ? A quoi servent les inverseurs d'entrée ? Quels sont les problèmes électriques posés par ce schéma ?



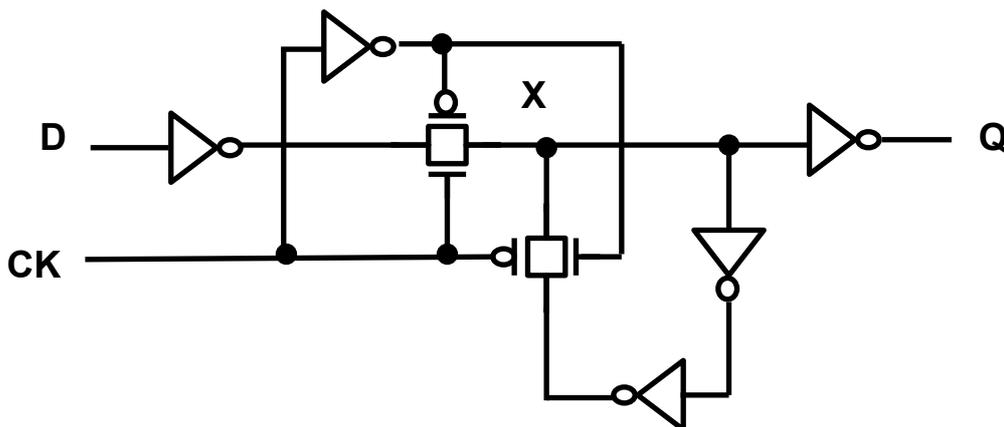
Q6) Le « bleeder » (transistor P de rebouclage) ajouté dans la variante ci-dessous, permet en principe de rétablir un bon niveau haut sur le nœud X, quand les deux entrées A et B ont la valeur 0. proposez un dimensionnement pour ce bleeder, en supposant les dimensions suivantes pour les autres transistors :

- inverseurs d'entrée et de sortie : $W_n = 5 \lambda / W_p = 10 \lambda$
- transistors N interrupteurs = $W_n = 5 \lambda$
- Transistors P pull-up : $W_p = 10 \lambda$
- Pour tous ces transistors $L_n = L_p = 1 \lambda$



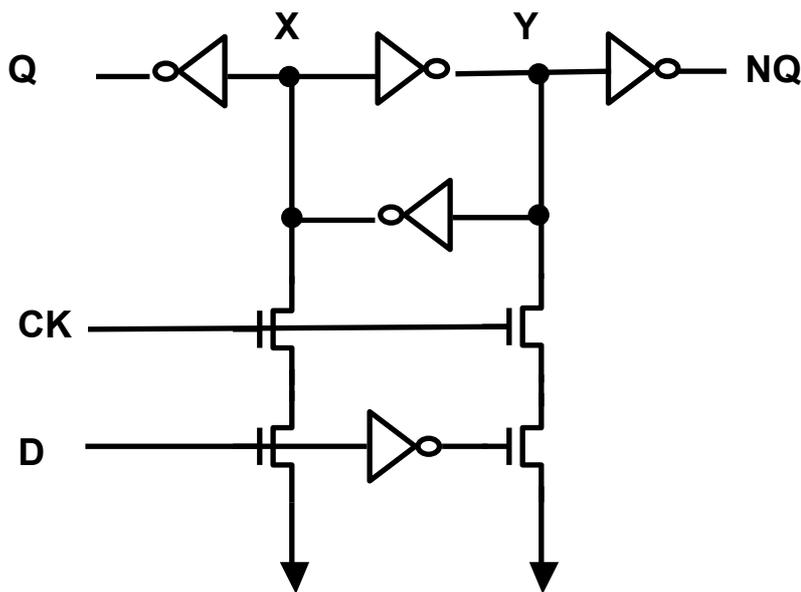
Partie C : dimensionnement de latches

Q7) On considère le schéma de latch ci-dessous, qui utilise un multiplexeur à interrupteurs CMOS :



A quoi servent les inverseurs d'entrée et de sortie ?
 Quelles dimensions proposez-vous pour les transistors des interrupteurs ?
 Quelles dimensions pour les transistors des 5 inverseurs de ce schéma ?
 Quels sont les avantages et les inconvénients de ce schéma par rapport au schéma de latch présenté en cours qui comportait 4 NAND2 et 1 inverseur ?

Q8) On considère le schéma de latch ci-dessous, appelé latch à écriture différentielle :

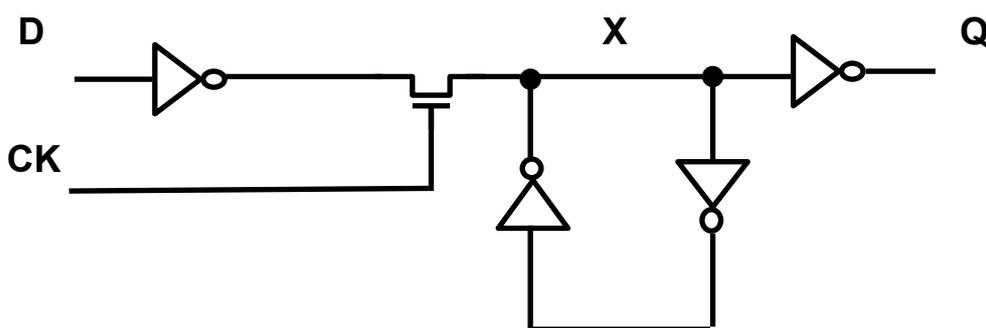


A quoi servent les inverseurs de sortie ?

Quel problème électrique pose ce schéma ?

Proposez un dimensionnement pour les deux inverseurs constituant la boucle de mémorisation, en supposant que les 4 transistors N attaqués par CK, D et D' sont identiques, avec $W_n = 10 \lambda$ et $L_n = 1 \lambda$

Q9) On considère enfin le schéma de latch ci-dessous, inspiré du schéma de la question Q6, et appelé « latch à conflit » :



Quels sont les avantages de ce schéma ?

Quels sont les problèmes électriques posés par ce schéma ?

Proposez un dimensionnement pour les deux inverseurs constituant la boucle de mémorisation.

On suppose que l'inverseur d'entrée a pour dimensions $W_n = 10 \lambda$, $W_p = 20 \lambda$, $L_n = L_p = 1 \lambda$. Les dimensions de l'interrupteur N sont $W_n = 10 \lambda$, $L_n = 1 \lambda$.