



Majeure Micro-Nano-Optoelectronique
 Cours : "Circuits électroniques"
 Petite Classe n°2

1^{ère} partie : Exemple de réalisation d'un NAND₂

Objectif :

On se propose de présenter succinctement la réalisation du design VLSI des circuits en technologie CMOS à travers l'exemple d'un NAND₂.

Introduction :

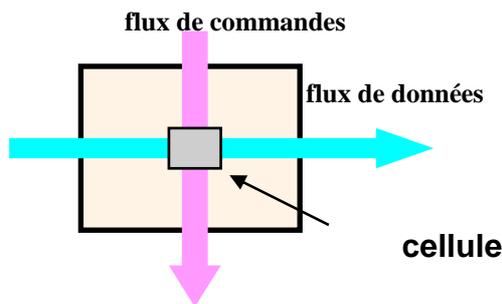
On rappelle ici quelques règles de conception d'un NMOS et d'un design VLSI

Règles permettant une bonne organisation du dessin

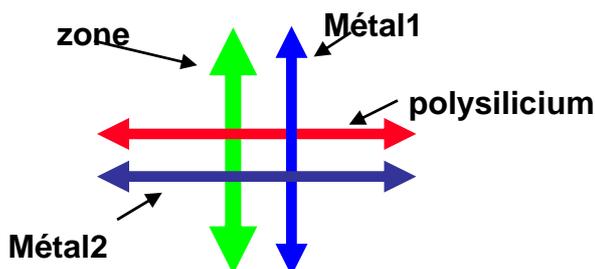
- Affecter un flux fonctionnel (et / ou d'alim) à une couche technologique

niveau matériaux	flux (exemple)
0	Substrat et caissonnage
1	zone active (dopage N ou P)
2	polysilicium (grille et flux de données)
3	métal 1 commandes + alim locales
4	métal 2 données + alim globales

- La conception des blocs est facilitée si ceux-ci sont organisés comme le croisement de deux (ou plus) flux fonctionnels.



- Utiliser ces matériaux de manière unidirectionnelle (éviter les motifs en "L")
- Croiser les couches



- La réalisation de PMOS nécessite la définition d'un caissonnage N⁻. (Respecter une distance minimale entre ce caissonnage et les NMOS).

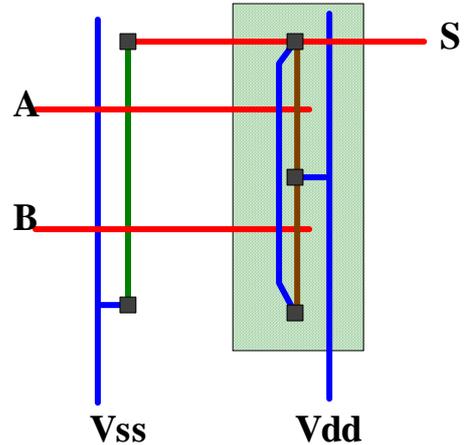
Design VLSI

Dessin squelettisé d'une porte NAND2.

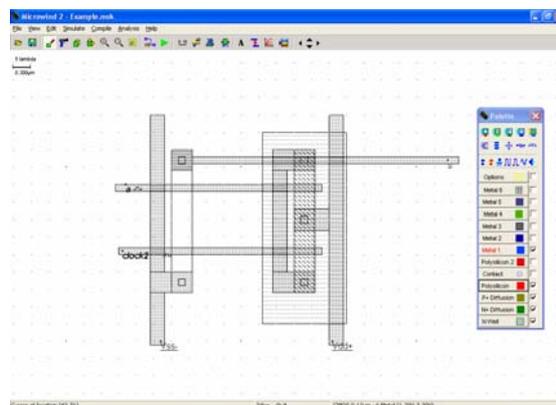
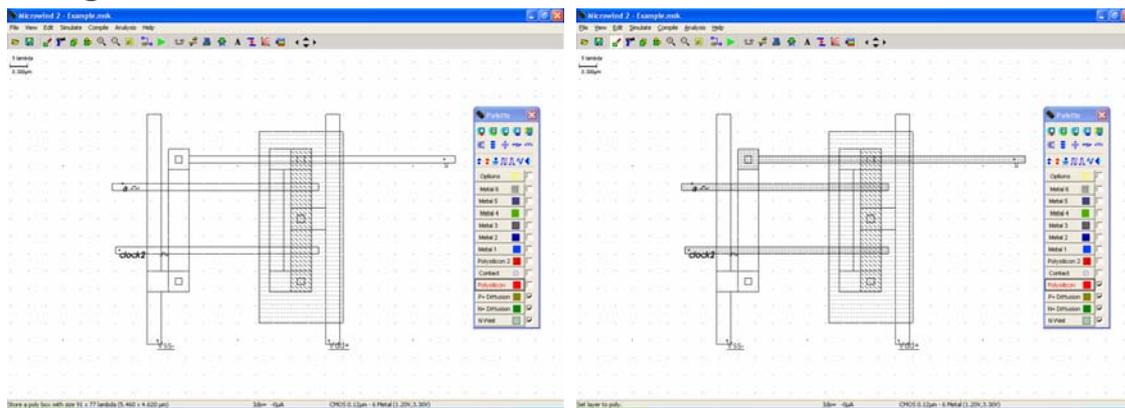
Zone Active N+ et P+ verticale

Grilles et données de sortie en Polysilicium horizontales

Alimentations Vss et Vdd verticales



Design VLSI

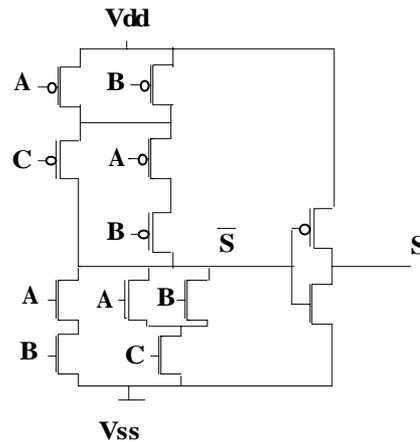




2^{ème} partie : Conception d'un circuit calculant la retenue d'un additionneur un bit.

Objectif :

On se propose de concevoir en technologie CMOS le dessin des masques d'un circuit intégré réalisant la retenue d'un additionneur un bit. La représentation suivante sous forme de réseaux de conduction servira de base à cette étude.



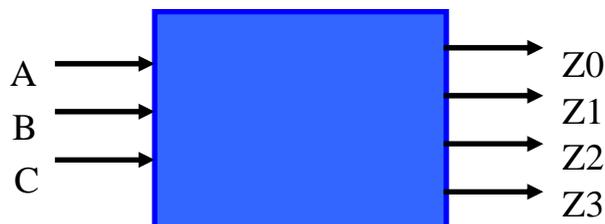
- Définir le dessin squelettisé de cette fonction.
- Réaliser le dessin des masques de cette fonction.

3^{ème} partie : Conception d'un circuit de comptage

Objectif :

On se propose de concevoir en technologie CMOS le dessin des masques d'un circuit intégré réalisant le comptage. La fonction a N entrées et N+1 sorties. La K^{ème} sortie sera à l'état logique haut si k entrées sont à l'état haut.

Nous nous placerons pour cette étude dans le cas simple de 3 entrées (a, b, c).



Questions

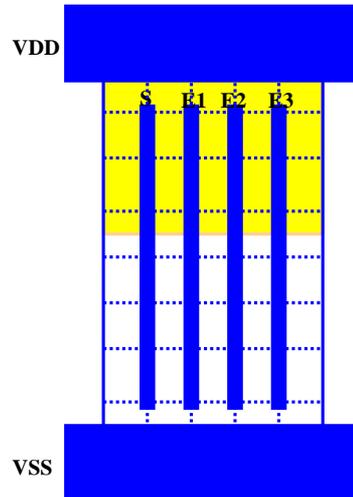
Donner sous forme de somme de min termes les fonctions booléennes des 4 sorties (Z0, Z1, Z2, Z3).

Représenter le schéma en porte logique du compteur de bits (on utilisera uniquement des NAND3 et INV).



✎ Traduire ce schéma en utilisant la notion de logique de passage.

✎ On veut réaliser ce montage en utilisant des cellules précaractérisées telles que celle représentée ci-dessous.



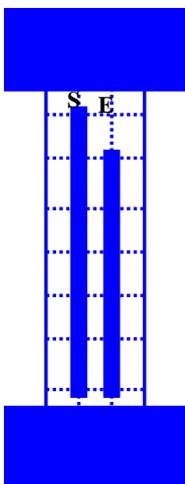
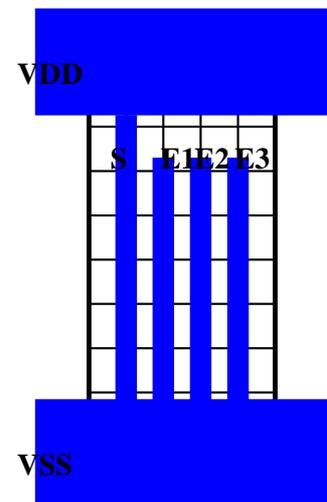
Les cellules précaractérisées sont conçues pour être aboutables dans les deux directions X et Y, et pour faciliter le travail du routeur automatique :

- hauteur fixe (par exemple 10 pitchs)
- largeur variable (nombre entier de pitchs)
- caisson N de hauteur fixe.
- alimentations Vdd et Vss de hauteur fixe, horizontales, en métal 1.
- connecteurs d'entrée/sortie en métal 1 sur la grille de routage.

La cellule NAND3 possède une largeur de 5 pitchs

Les 3 signaux d'entrée E1, E2, E3, sont accessibles sur 6 pistes.

Le signal est accessible sur 7 pistes.



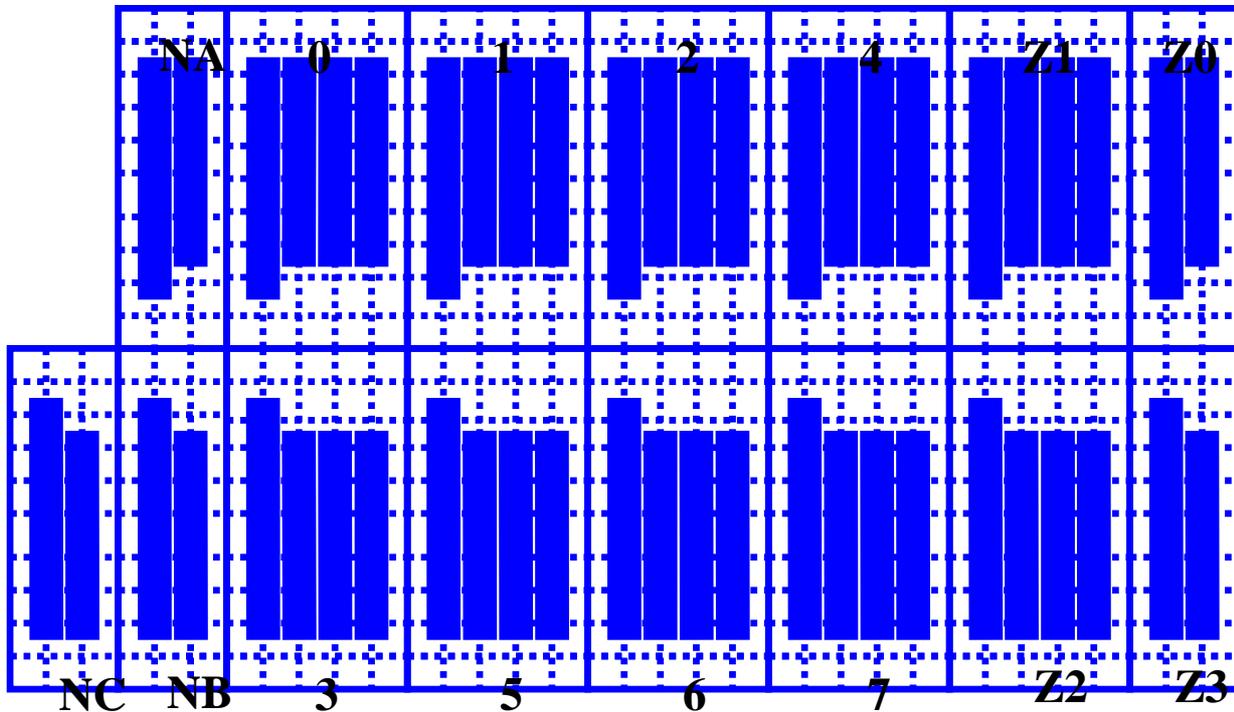
La cellule INVERSEUR possède une largeur de 3 pitchs

Le signal d'entrée E est accessible sur 6 pistes de routage.

Le signal de sortie S est accessible sur 7 pistes de routage.



✎ On supposera les cellules précaractérisées aboutées de la façon proposée ci-dessous. Faire les connectiques métal (2 couches) afin de réaliser le compteur de bits.



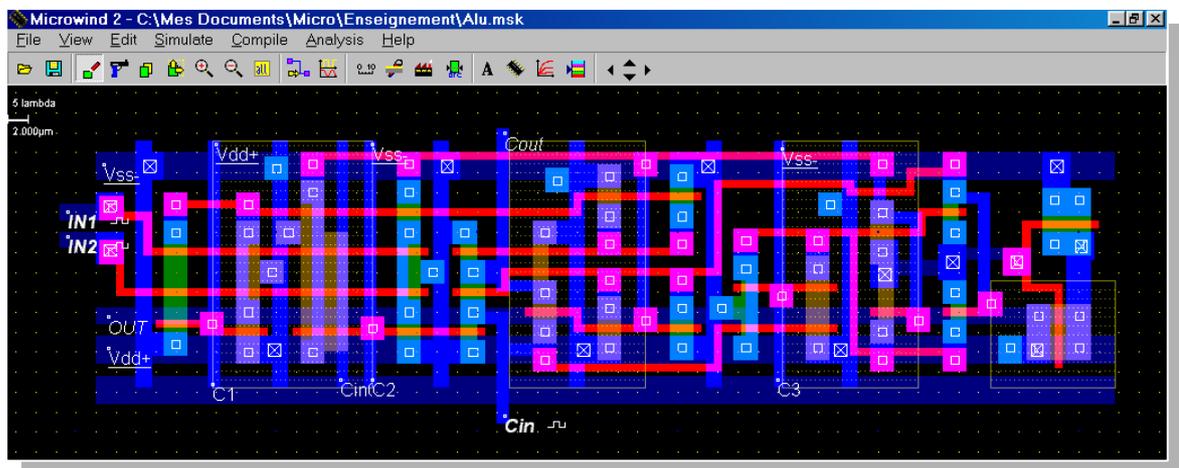
4^{ème} partie : Etude d'une UAL

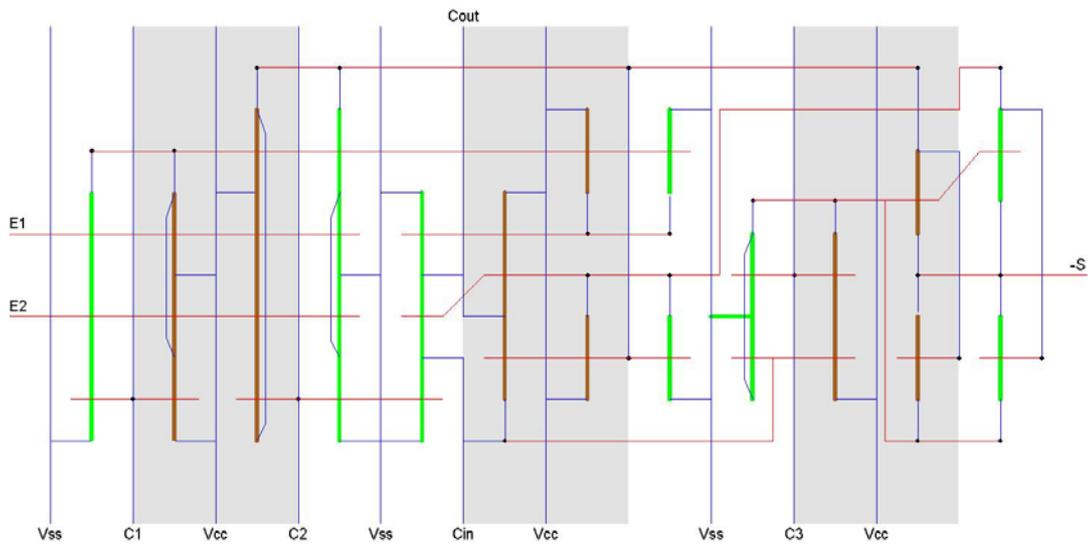
Objectif :

On se propose de faire du rétro-ingéniering sur le dessin des masques d'un circuit intégré déjà réalisé dans notre cas une UAL.

Questions

✎ Vérifier le schéma squelettisé de l'UAL en partant du dessin des masques suivant.





✎ Retrouver les différents éléments du circuit

