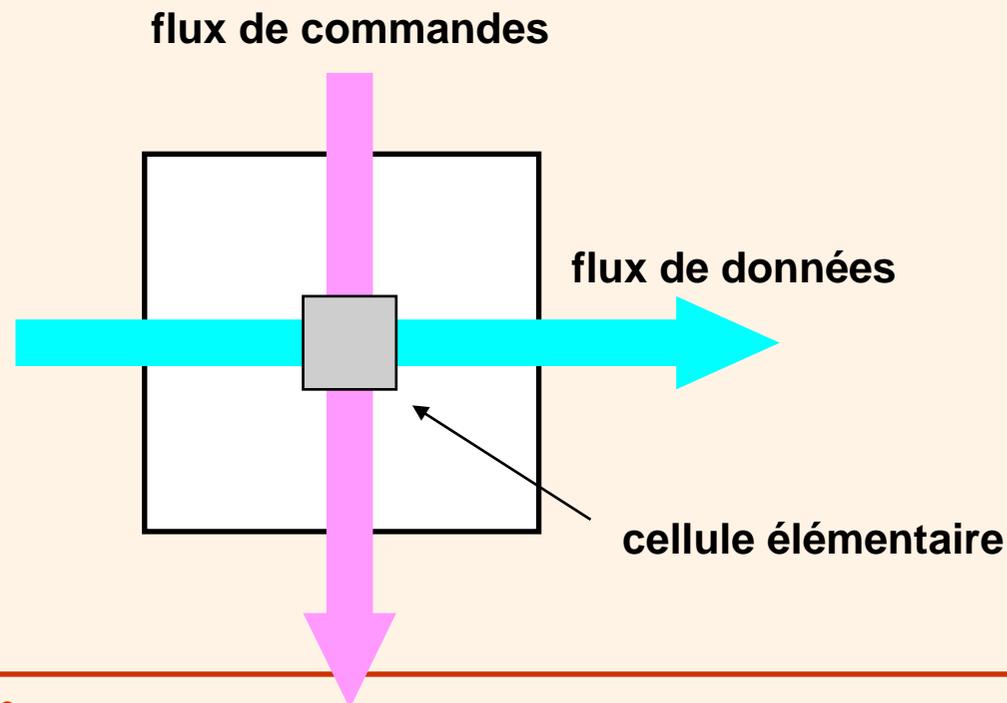


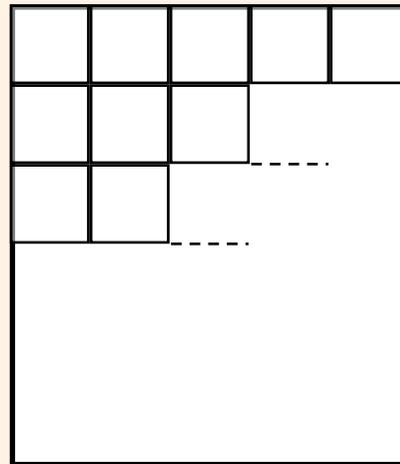
Flux directionnels

- ❑ La conception des blocs est facilitée si ceux-ci sont organisés comme le croisement de deux (ou plus) flux fonctionnels.



Conception matricielle des blocs

- ❑ Cette vision des choses permet de concevoir les blocs par la juxtaposition de cellules identiques (forte réutilisation des cellules)



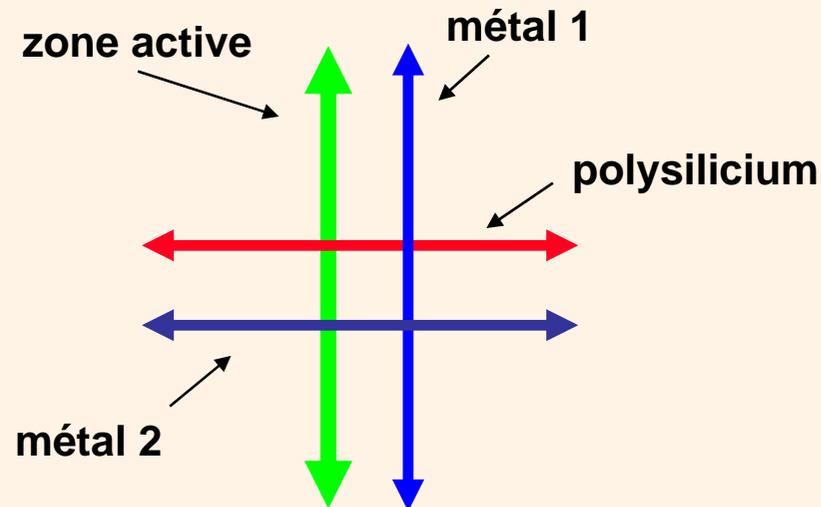
Couches technologiques

- ❑ **Affecter un flux fonctionnel (et / ou d'alim) à une couche technologique**

niveau	matériaux	flux (exemple)
1	zone active	
2	polysilicium	
3	métal 1	commandes + alim locales
4	métal 2	données + alim globales
....		

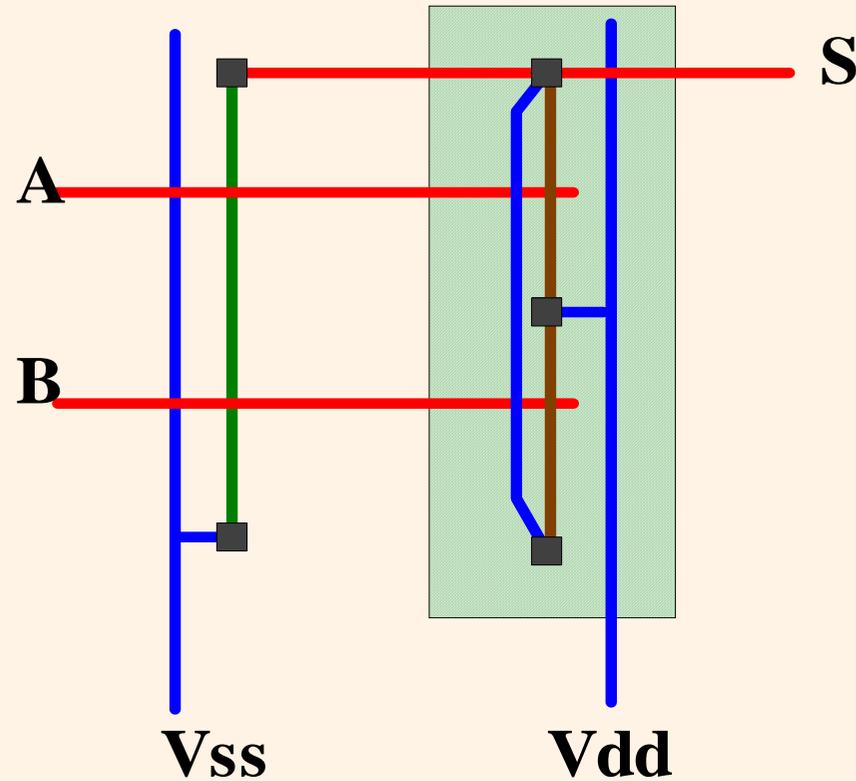
Couches technologiques

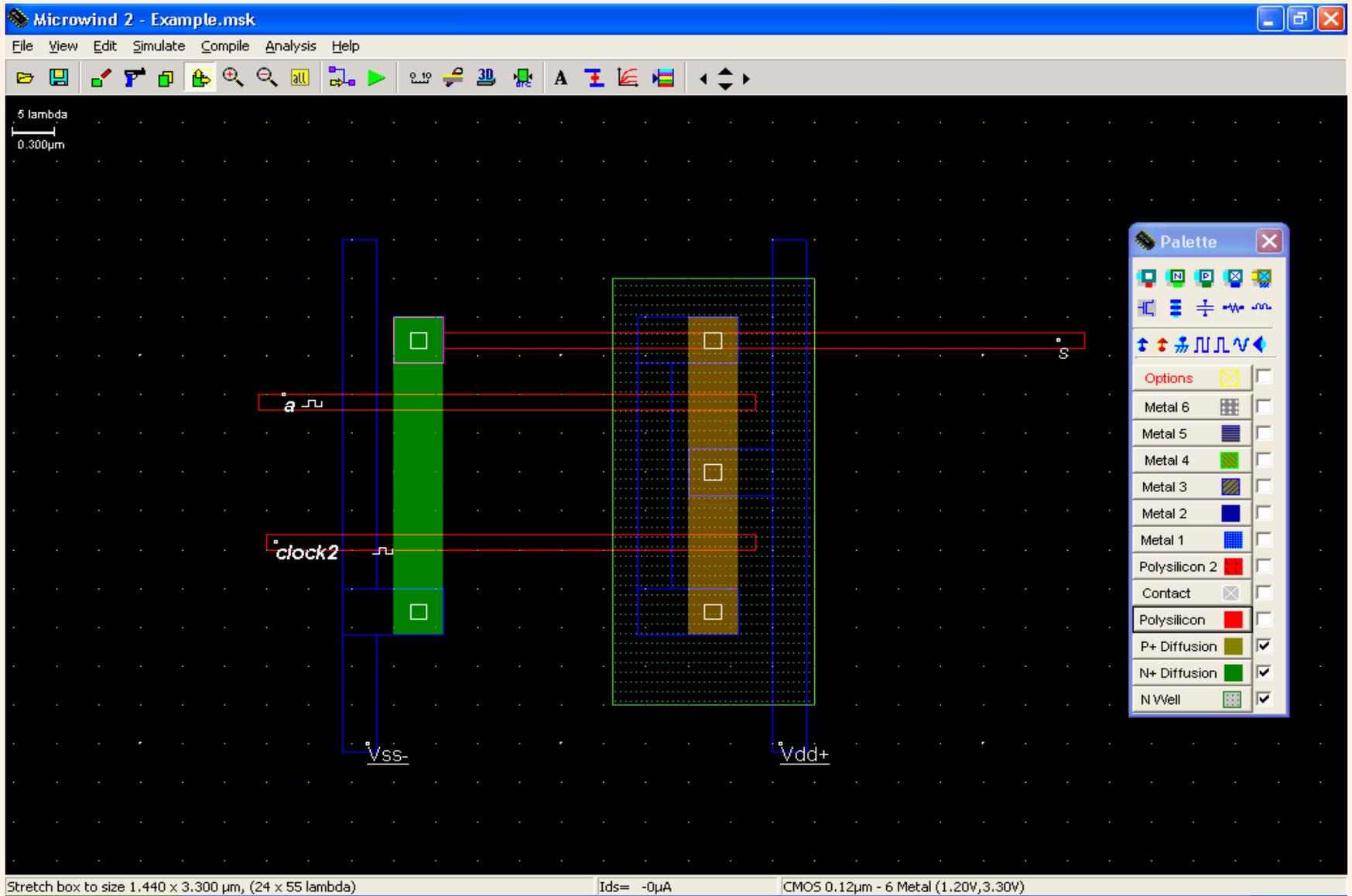
- ❑ Utiliser ces matériaux de manière unidirectionnelle (éviter les motifs en "L")
- ❑ Croiser les couches

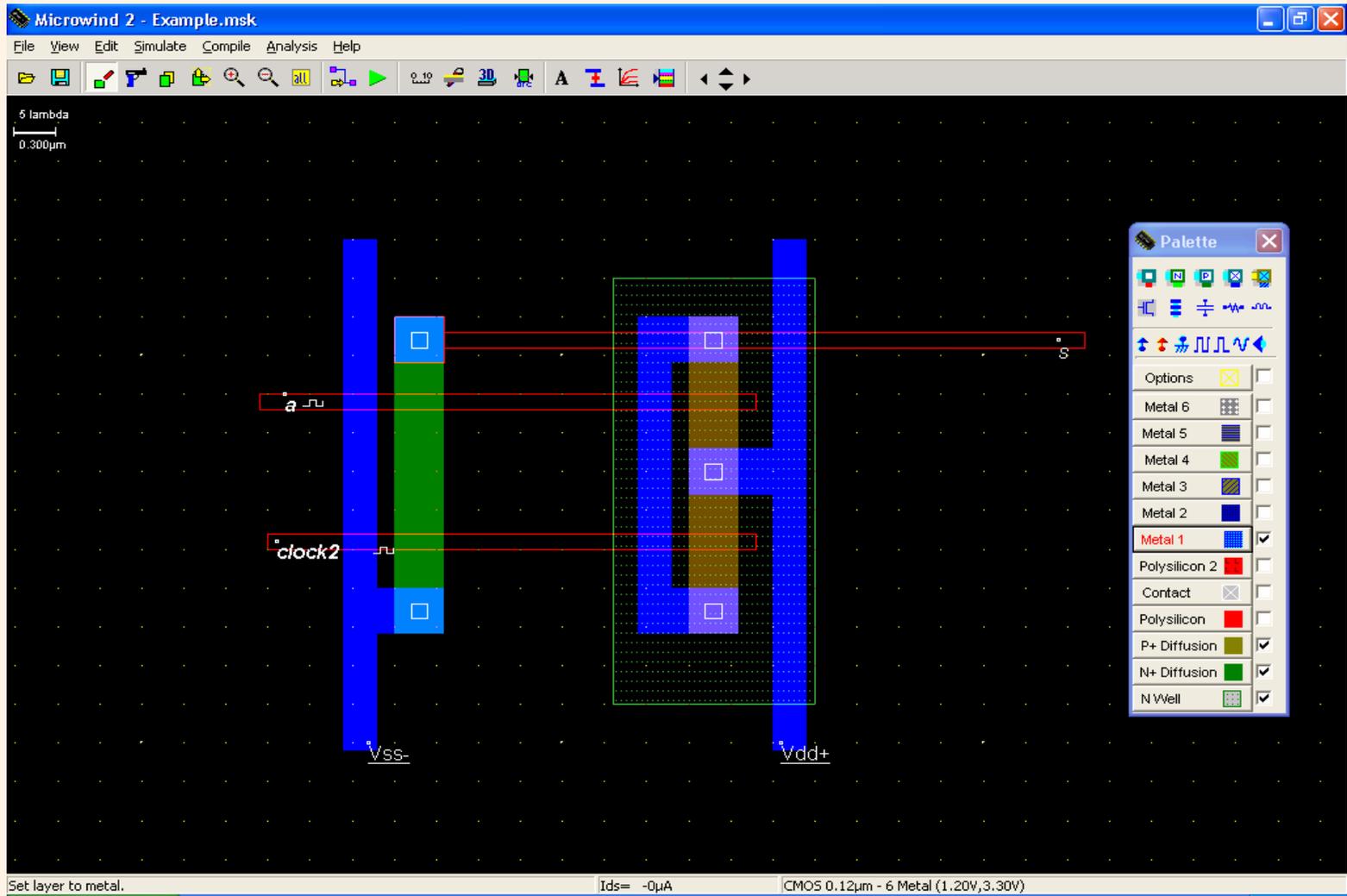


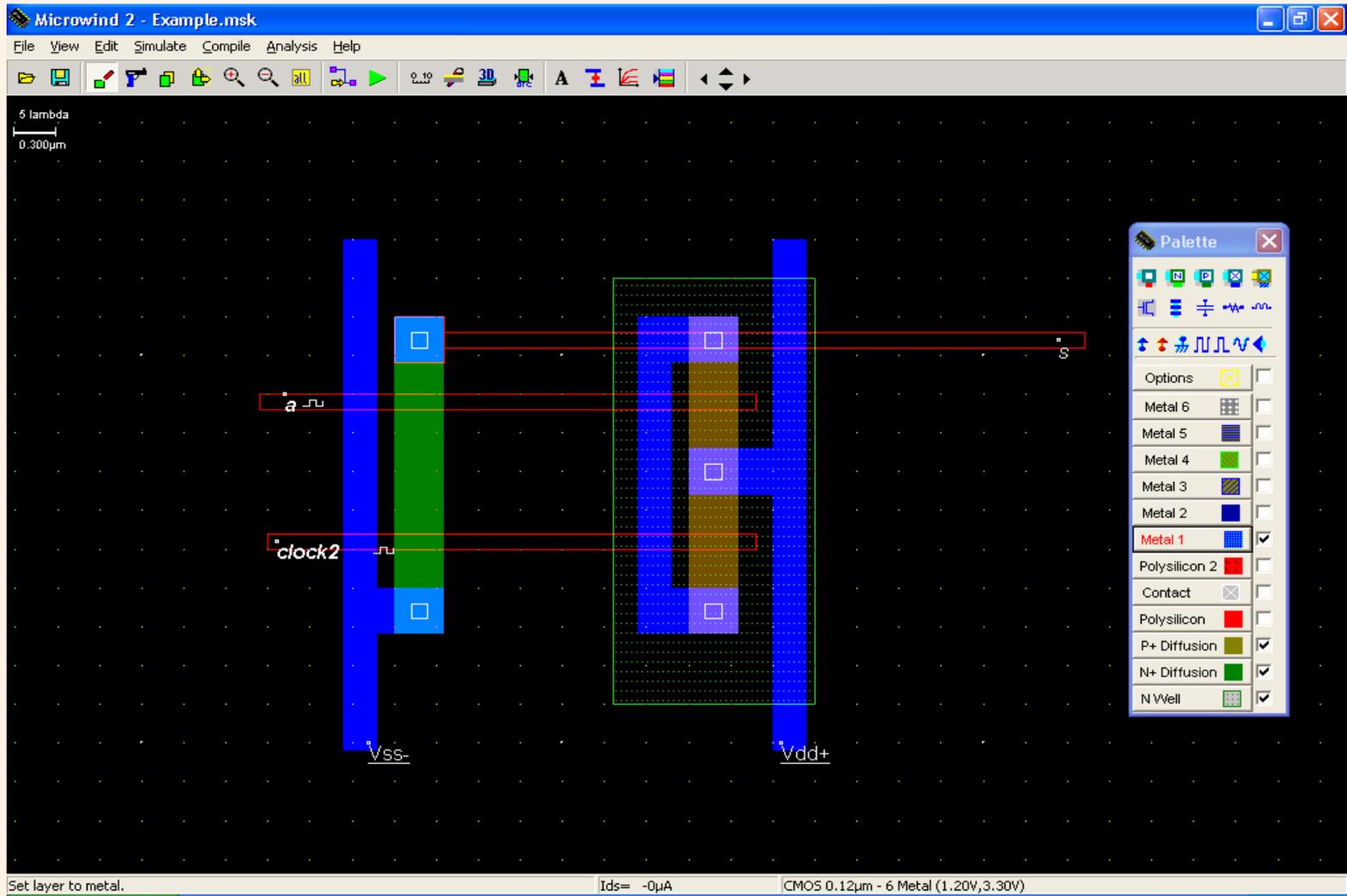
Réalisation d'une porte NAND

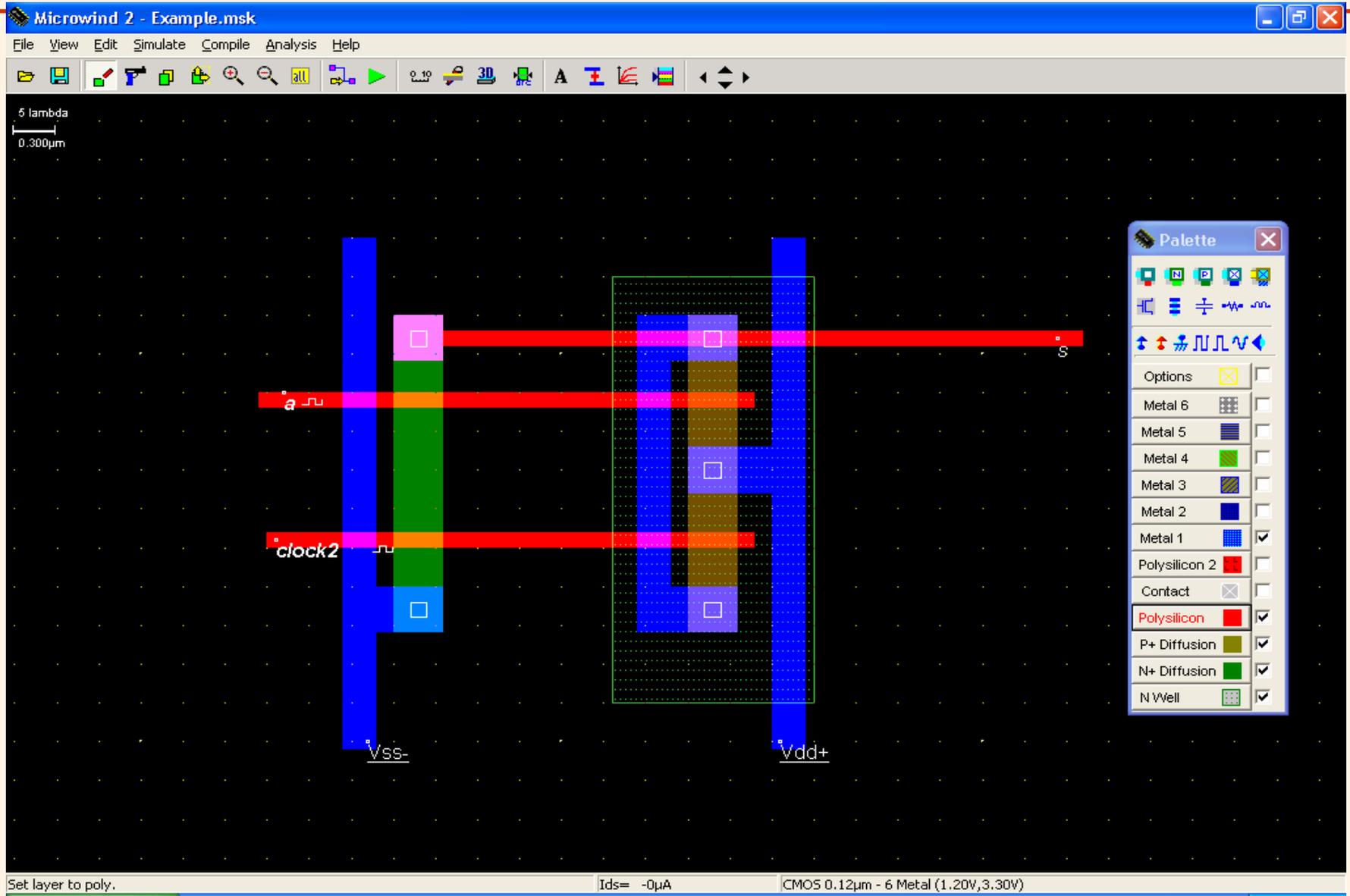
Schéma Squelettisé

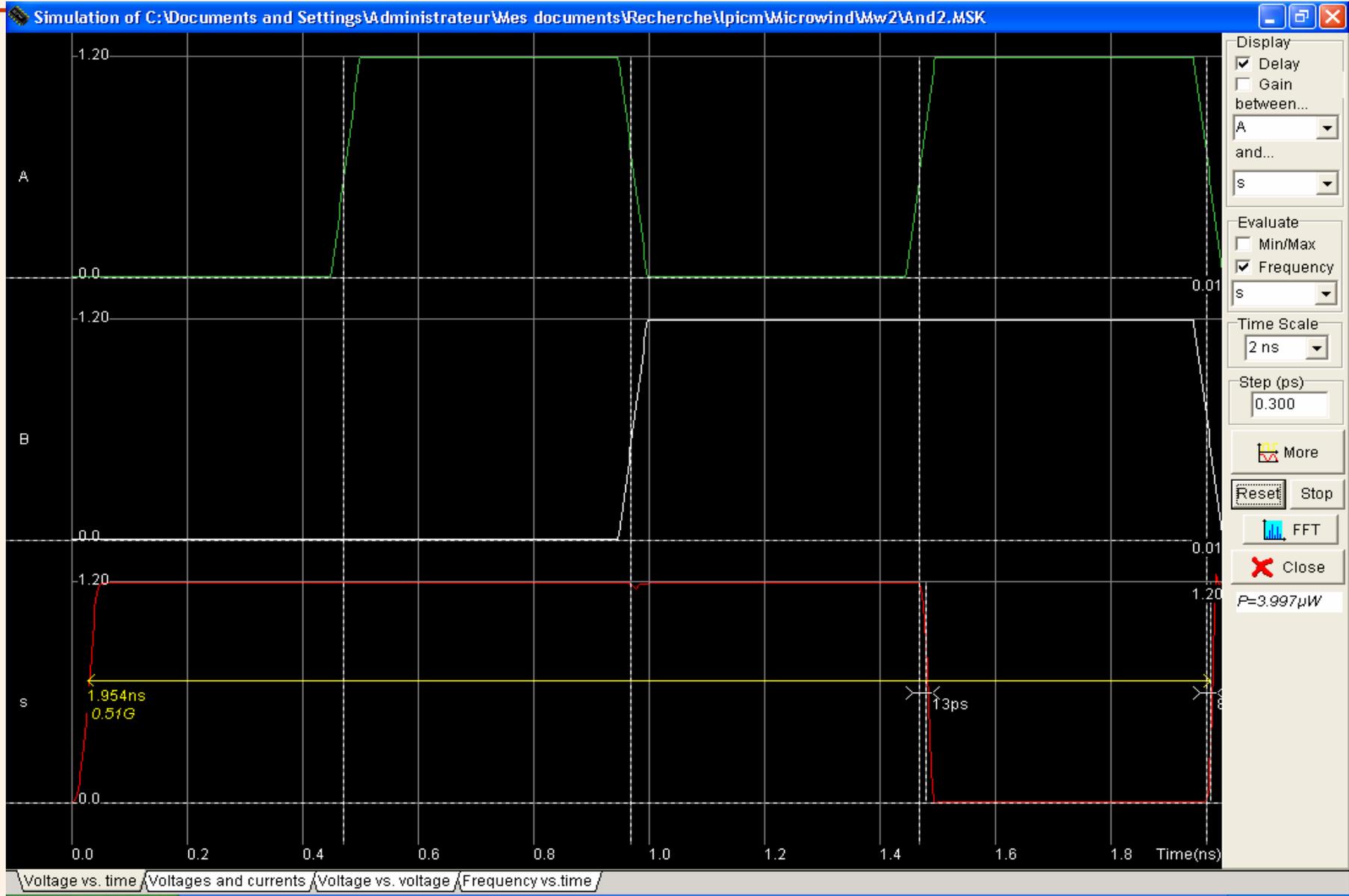


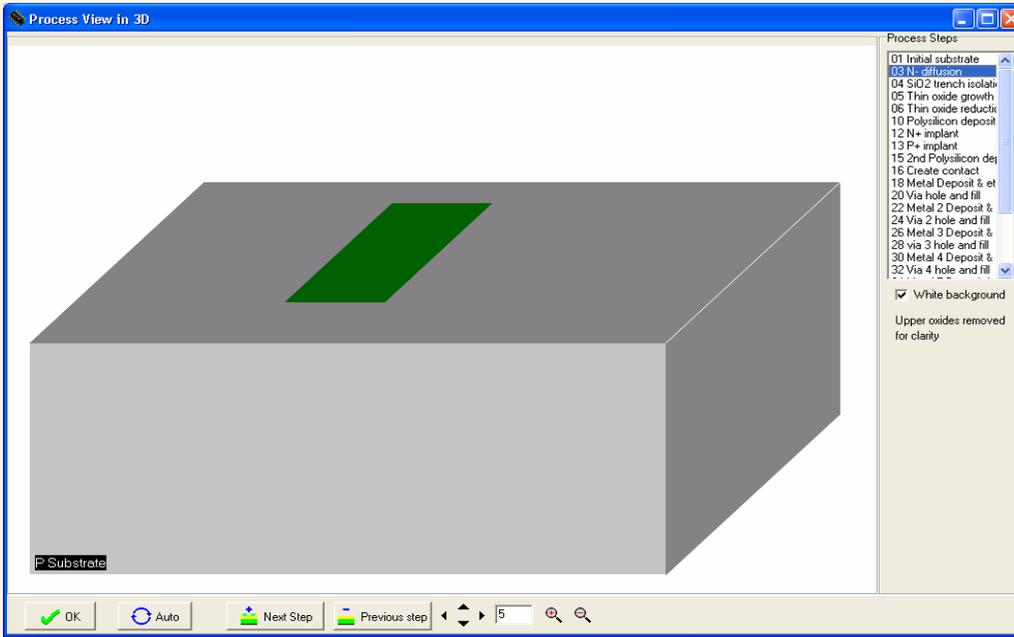






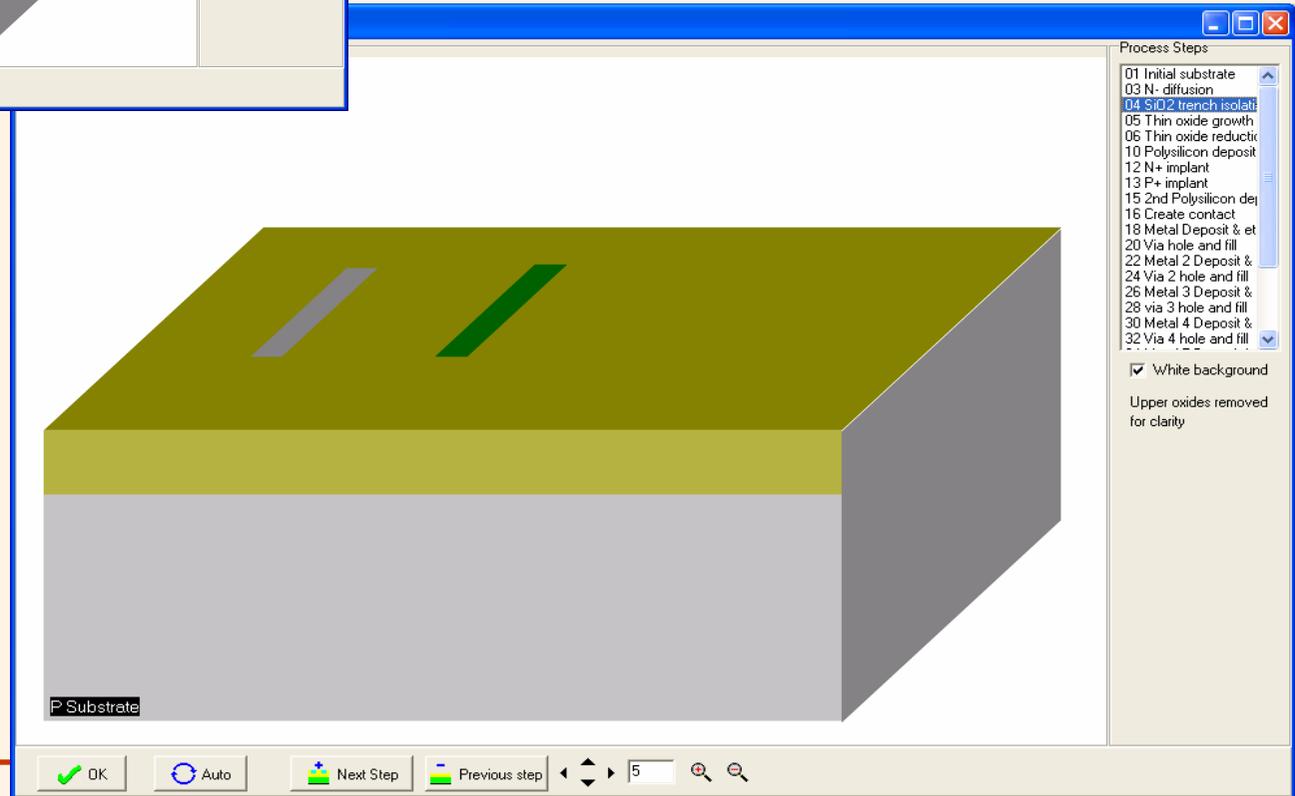


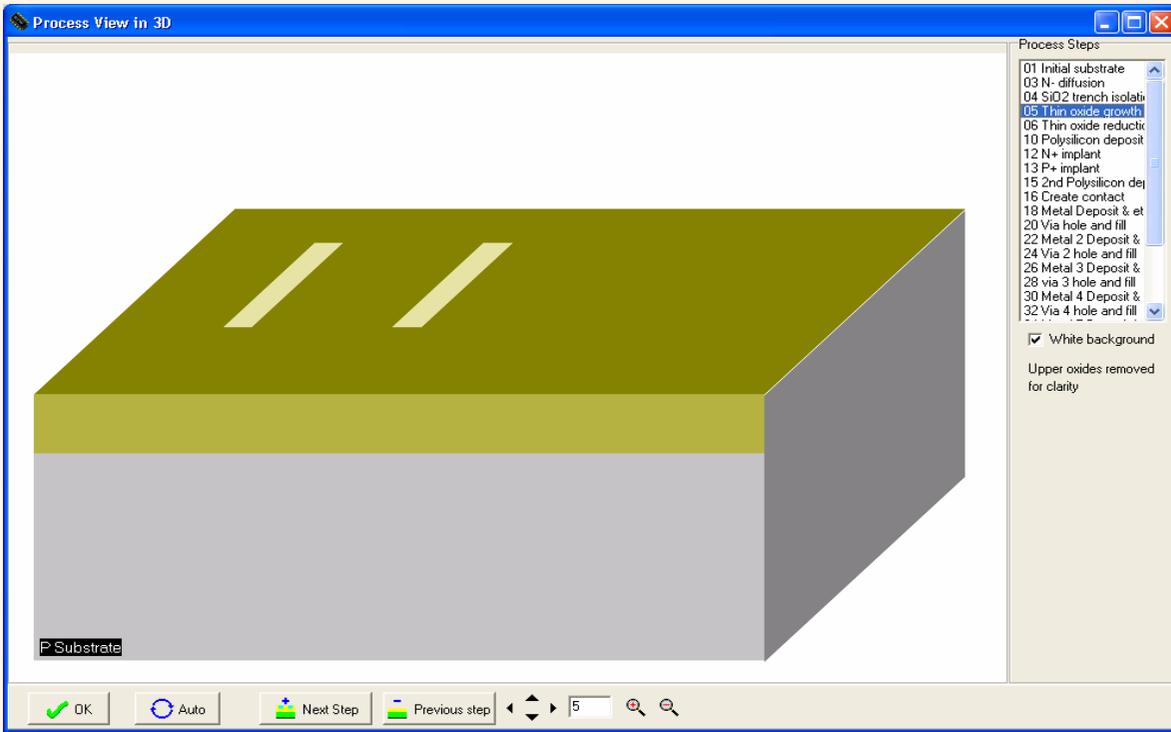




Diffusion du caisson pour les Transistors PMOS (dopage N)

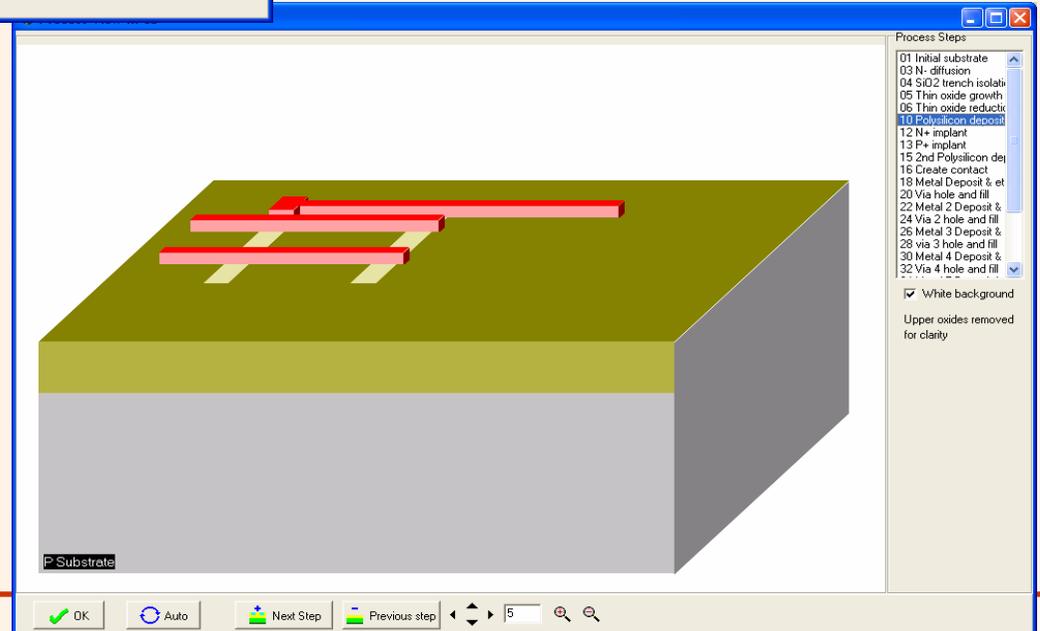
Isolation globale
dépôt SiO₂

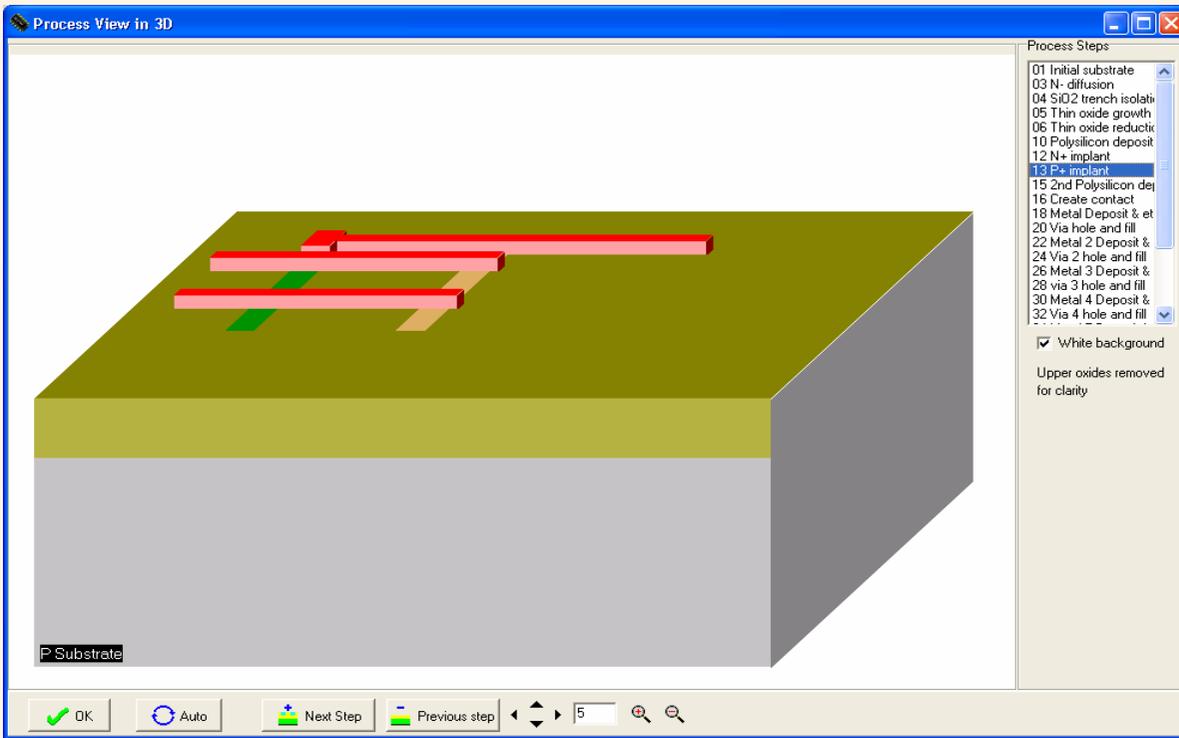




Oxyde sur les transistors

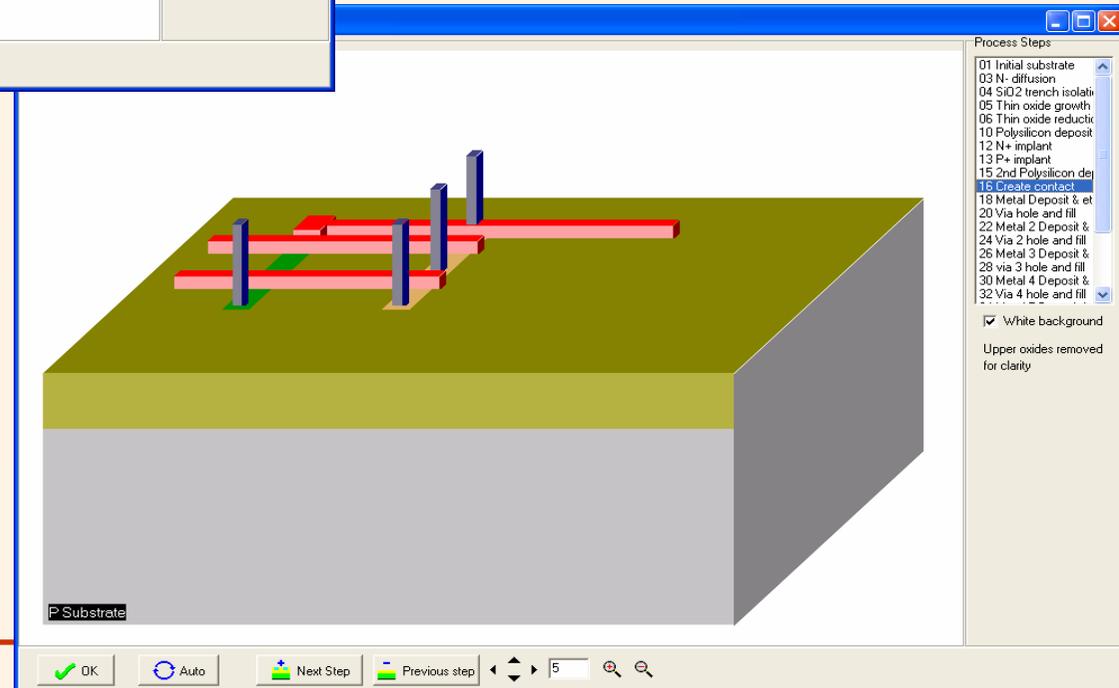
Dépôt du polysilicium Grilles et contact



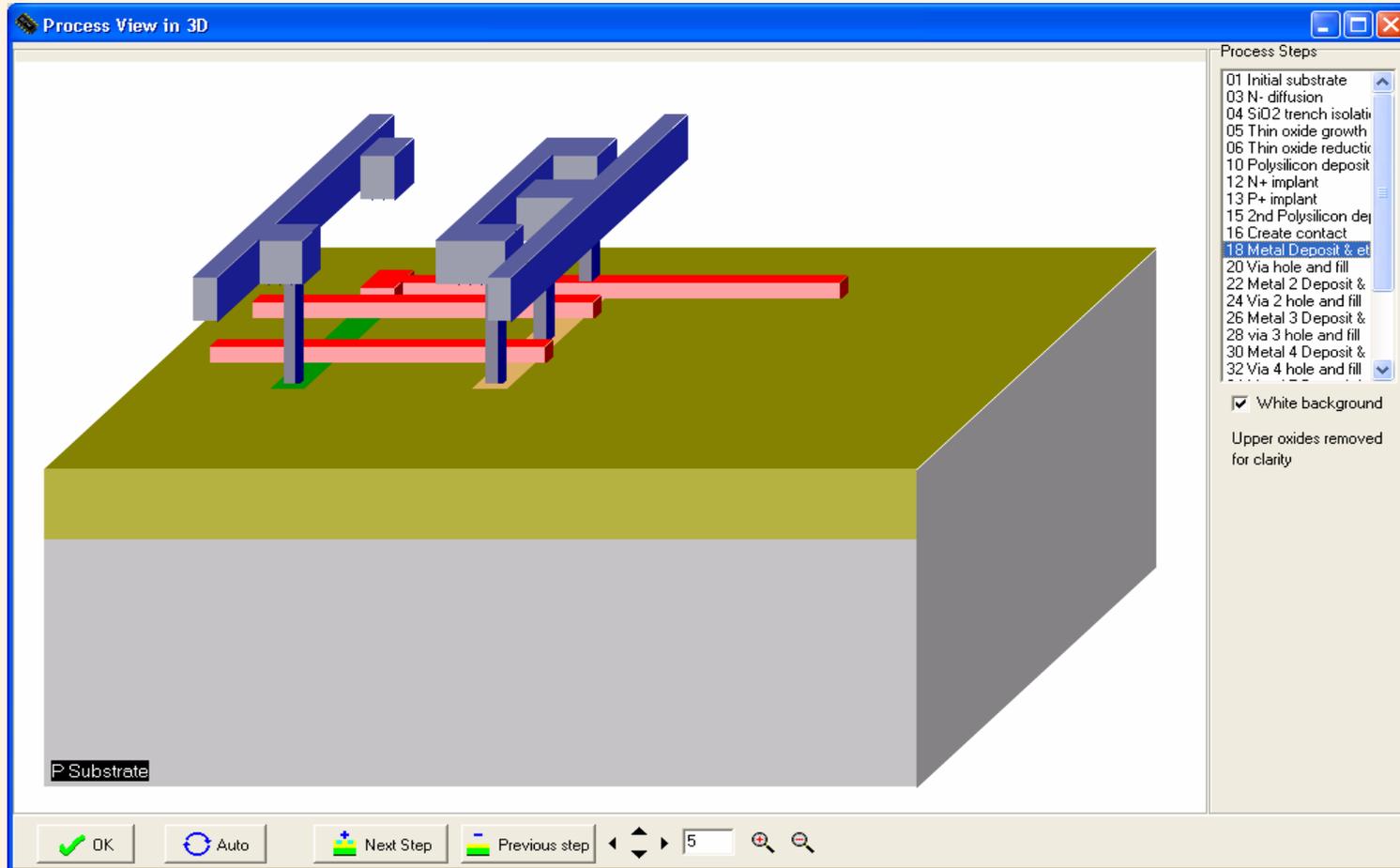


Implantation N+
Puis
Implantation P+

Création des contacts
Avec Métal 1



Création de la couche métal 1



Réalisation de la fonction Retenue

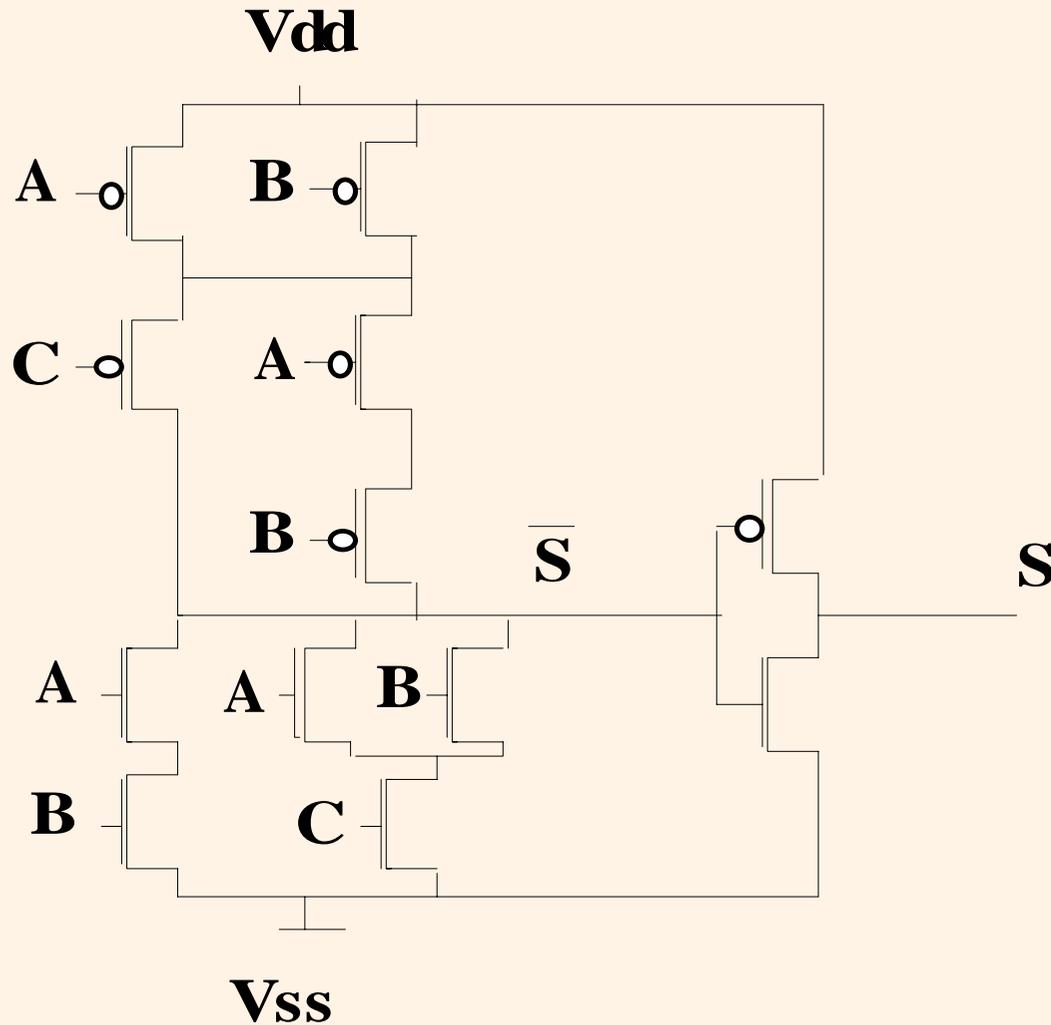
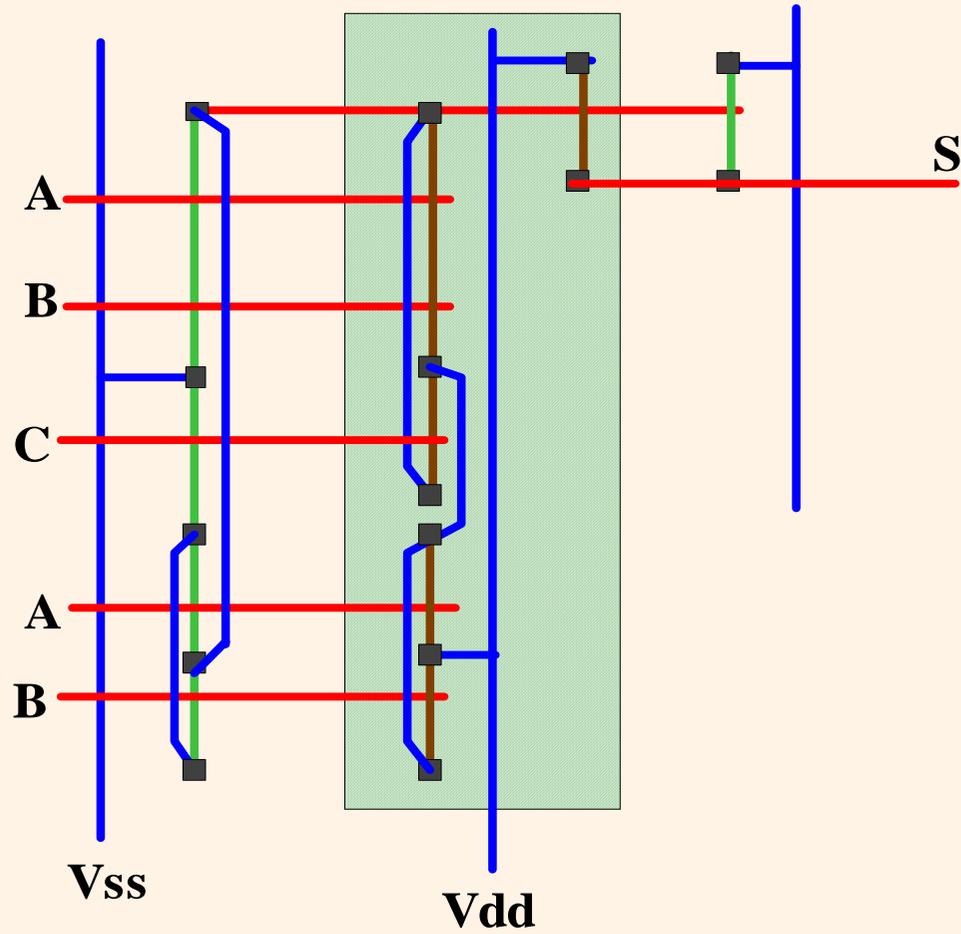
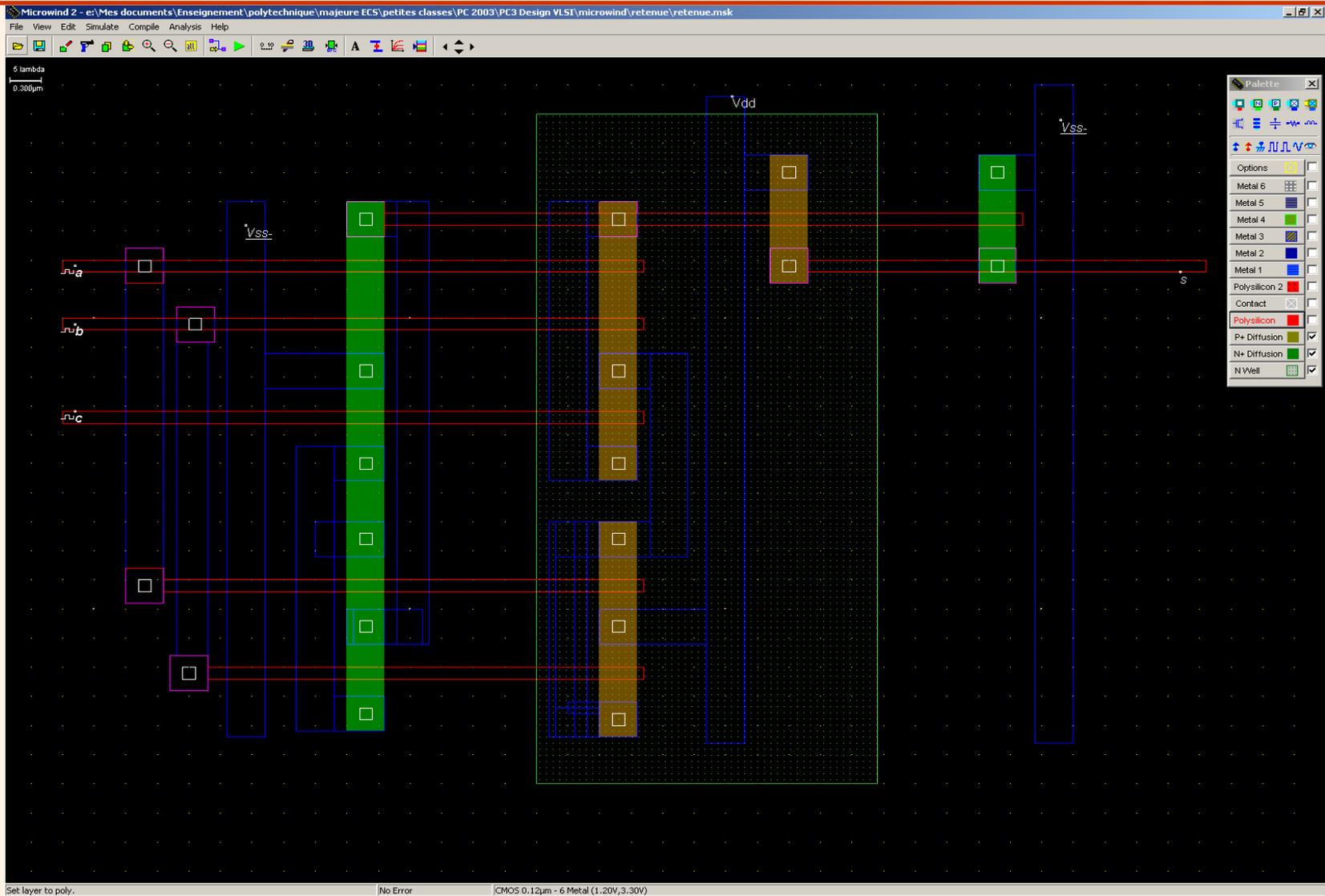
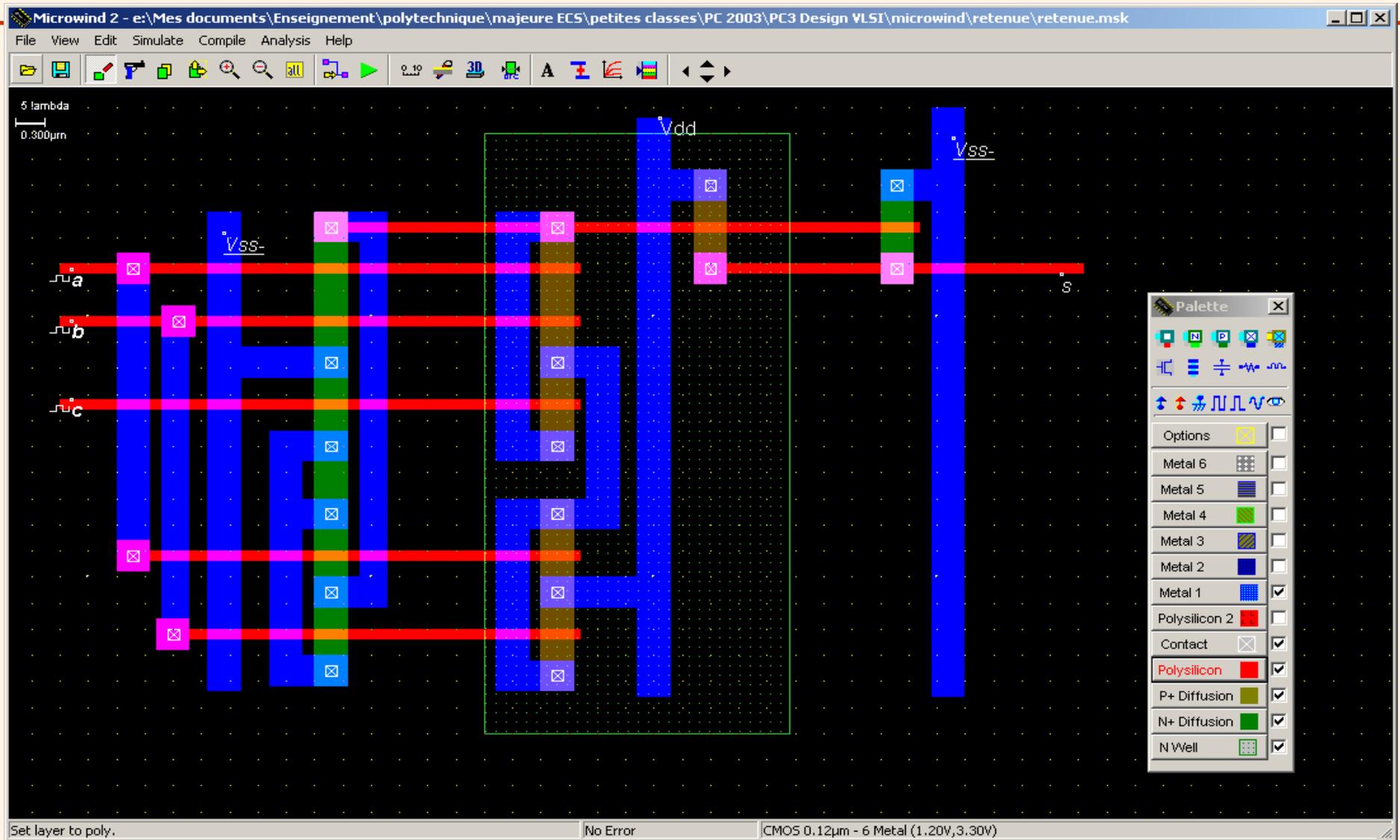
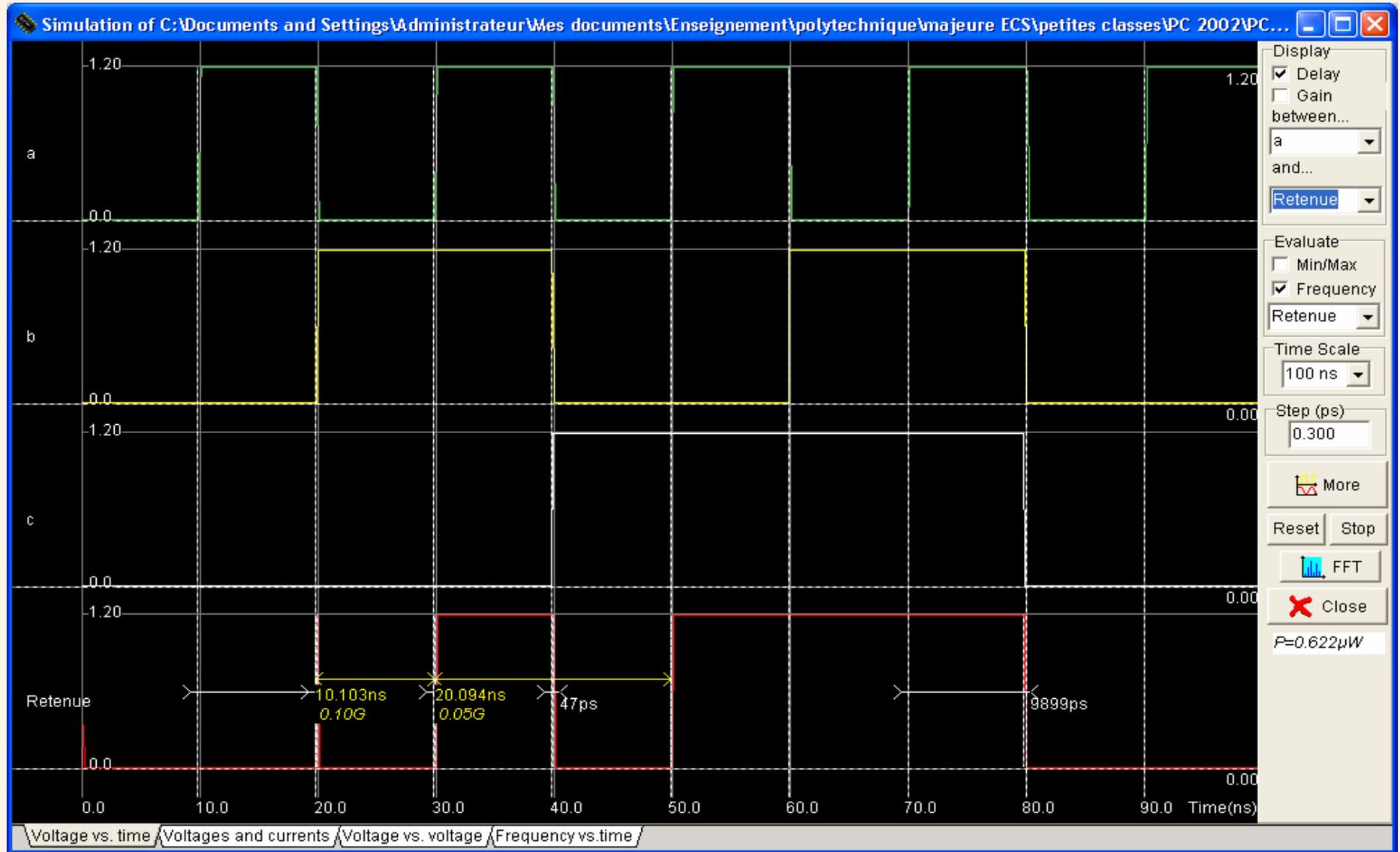


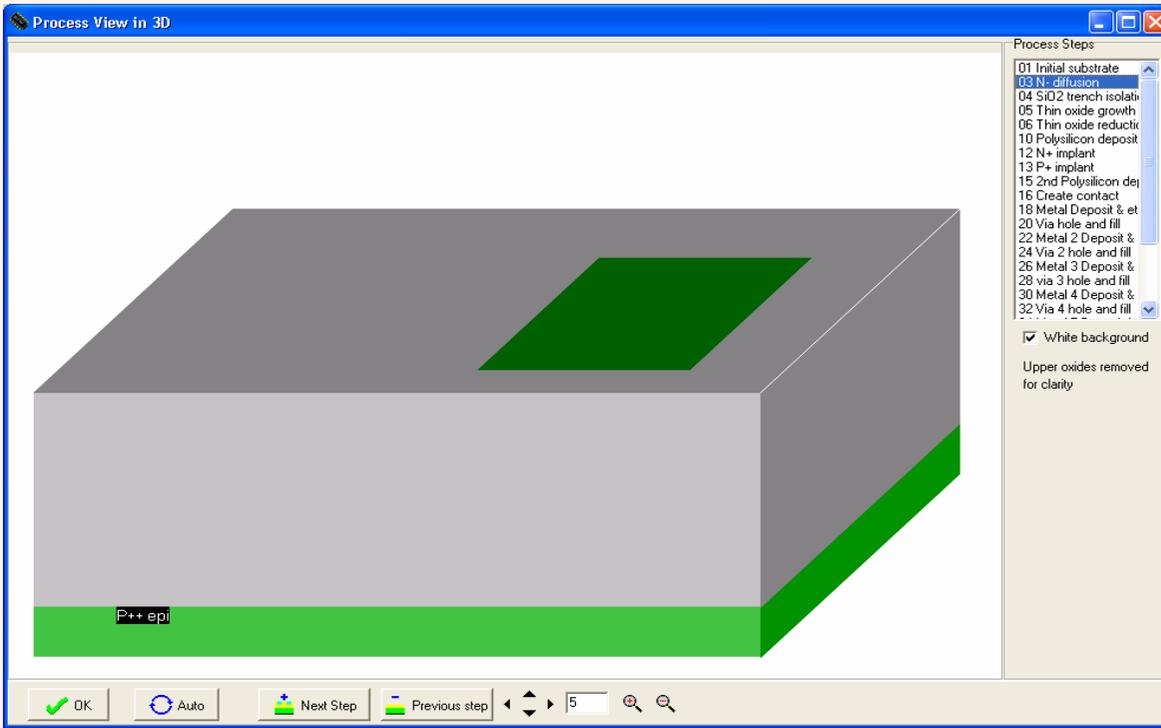
Schéma Squelettisé





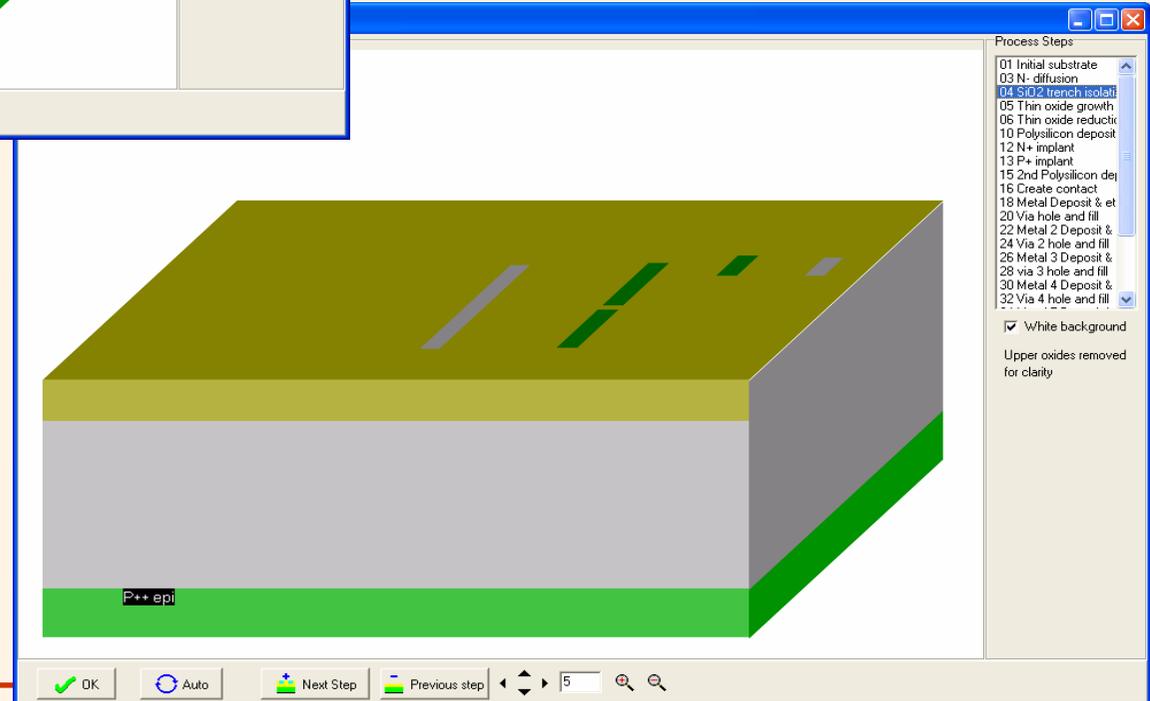


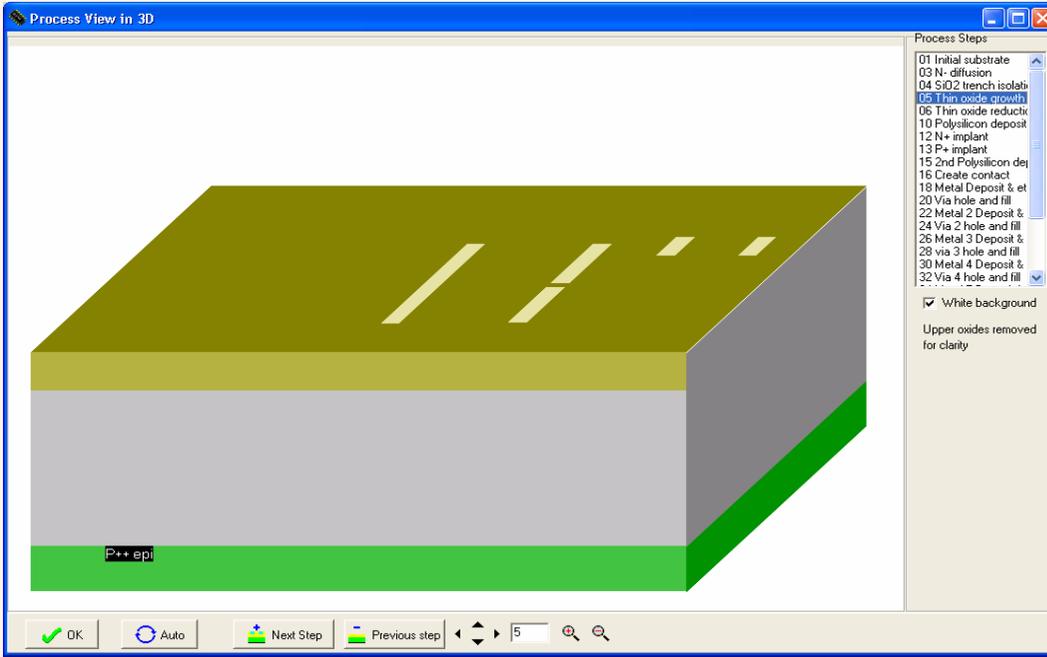




Diffusion du caisson pour les Transistors PMOS (dopage N)

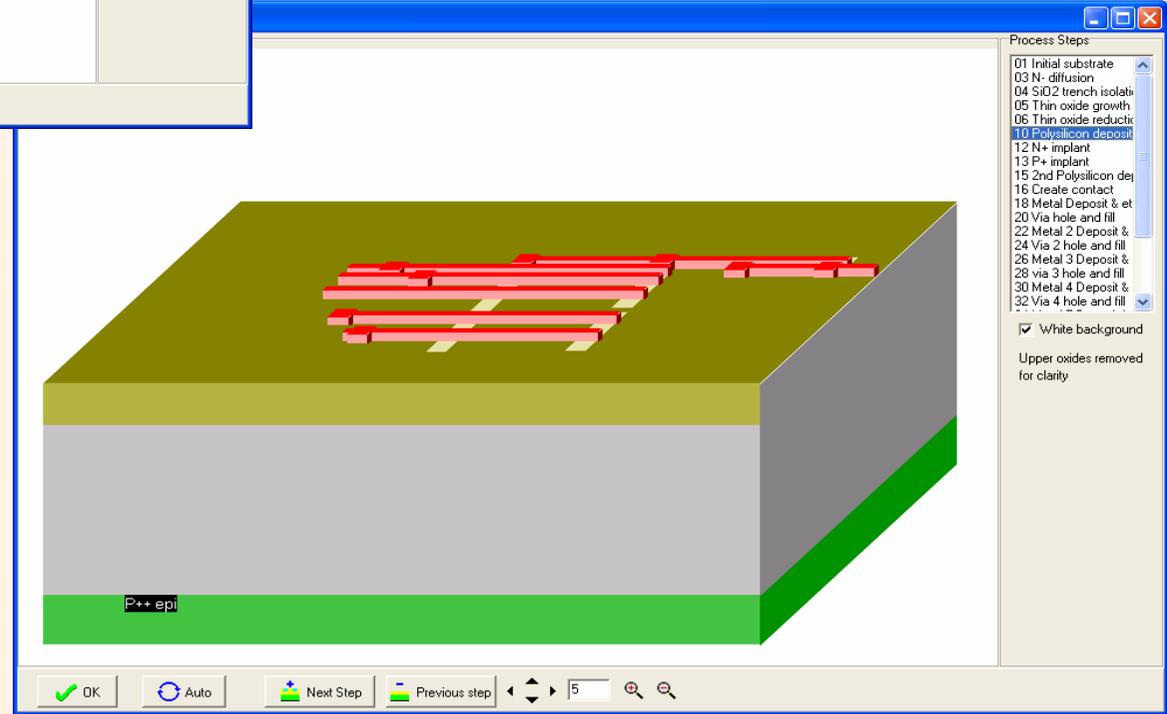
Isolation globale dépôt SiO₂

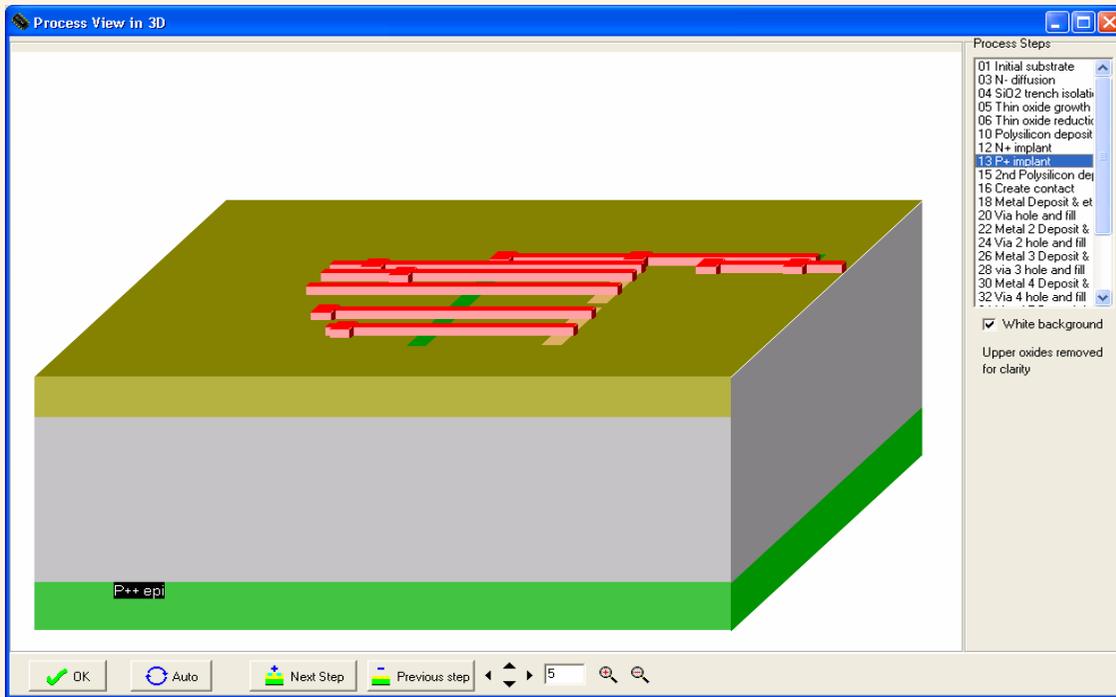




Oxyde sur les transistors

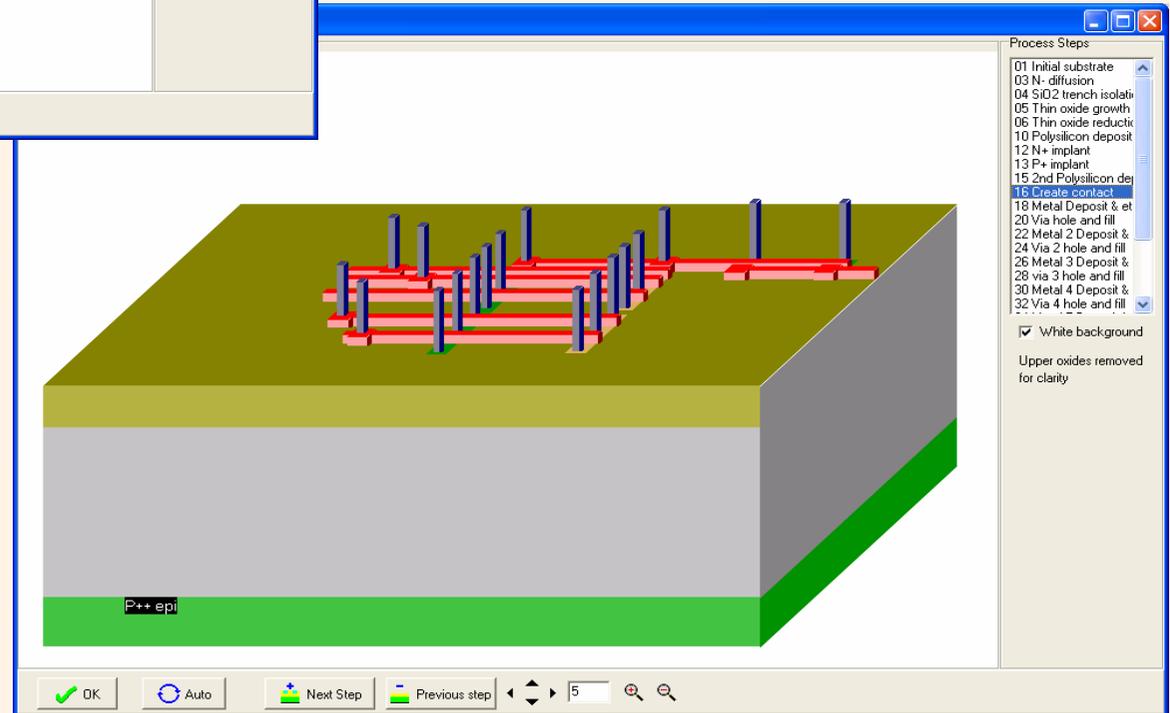
Dépôt du polysilicium Grilles et contact



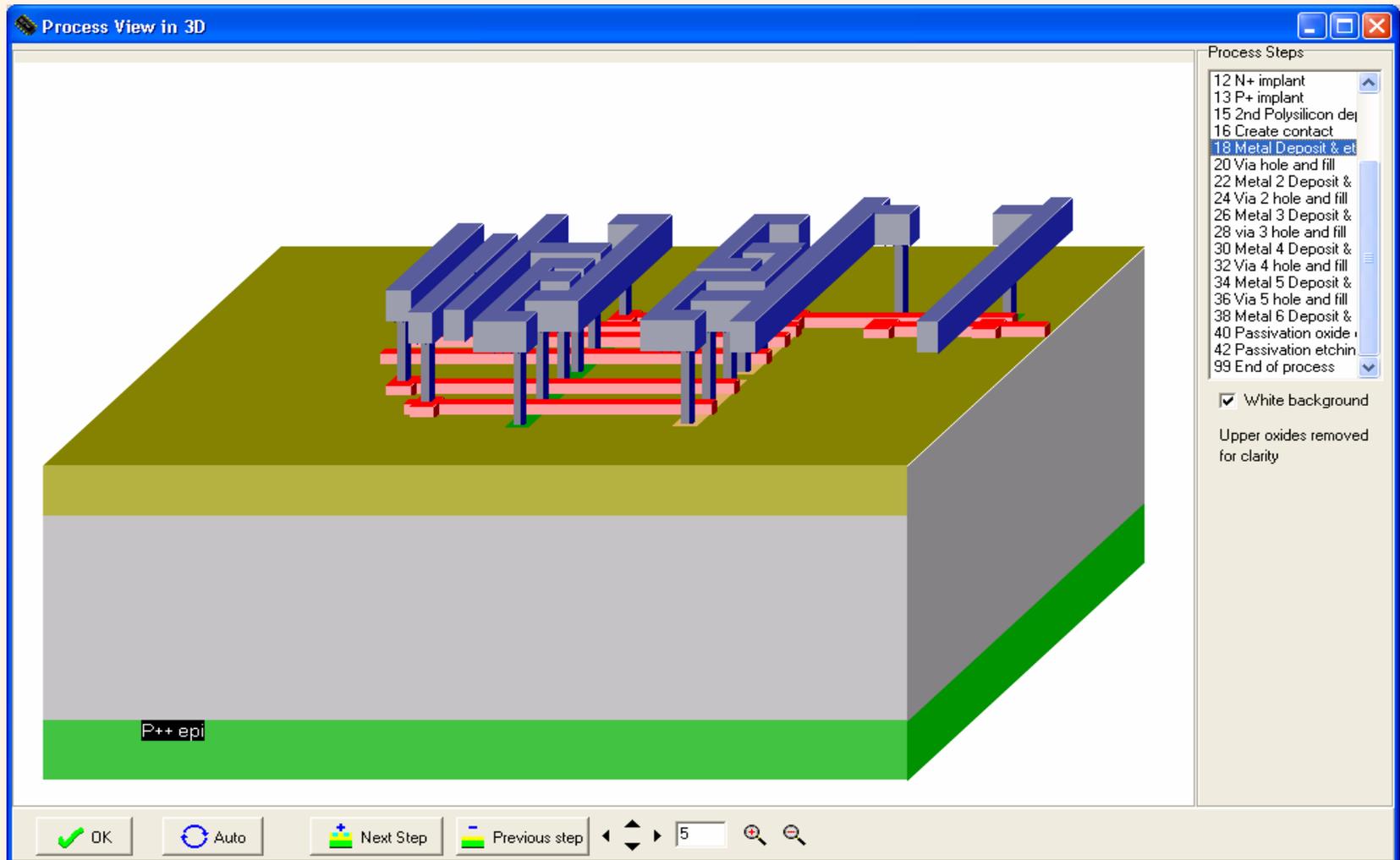


Implantation N+
Puis
Implantation P+

Création des contacts
Avec Métal 1



Création de la couche métal 1



Comptage du nombre de bits

Compteur de bits



La sortie Z_i prend la valeur 1 quand le nombre de bits d'entrée ayant la valeur 1 est égal à i . Les 3 autres sorties prennent la valeur 0.

Expressions Booléennes

$$Z_0 = A' \cdot B' \cdot C'$$

$$Z_1 = (A \cdot B' \cdot C') + (A' \cdot B \cdot C') + (A' \cdot B' \cdot C)$$

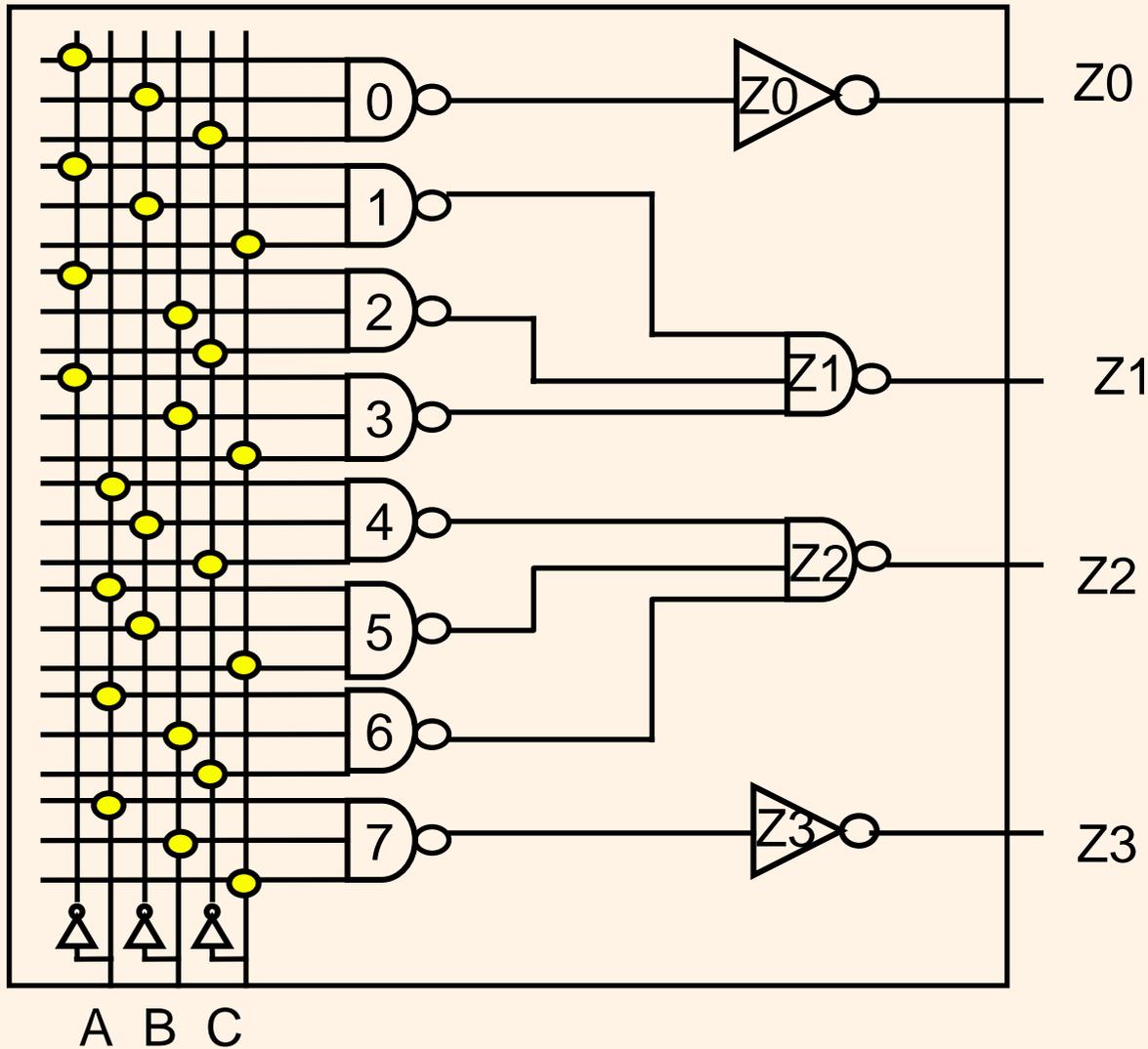
$$Z_2 = (A \cdot B \cdot C') + (A \cdot B' \cdot C) + (A' \cdot B \cdot C)$$

$$Z_3 = A \cdot B \cdot C$$

notation : $X' = \text{not}(X)$

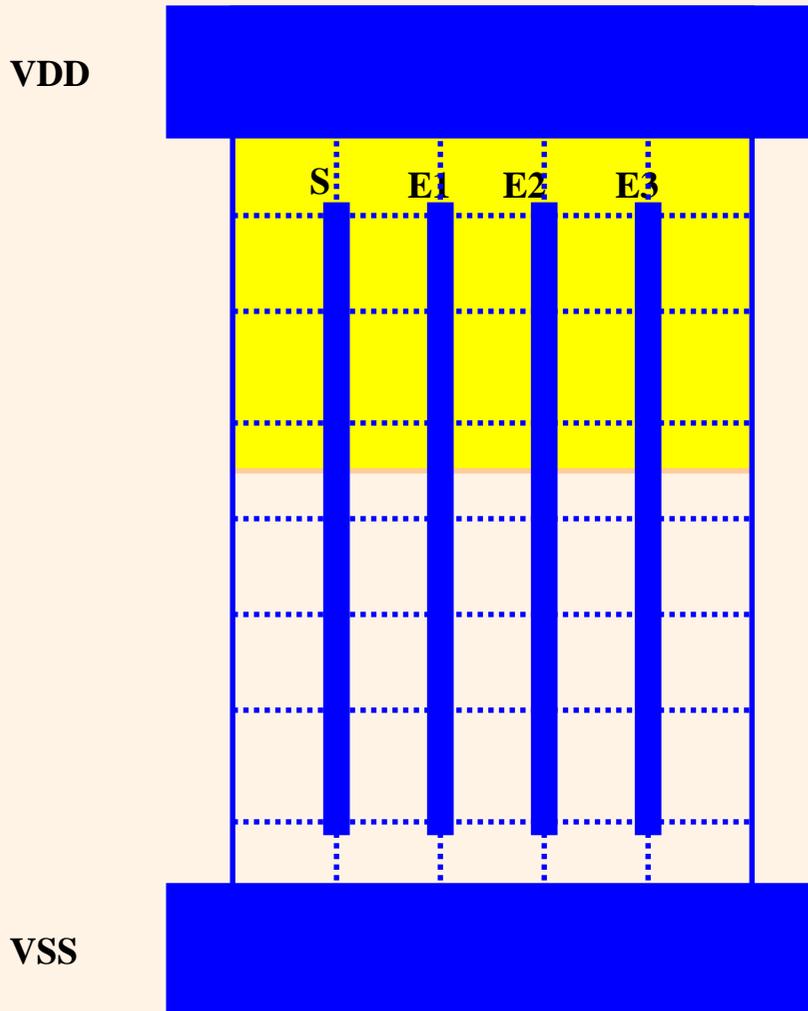
Les tableaux de Karnaugh montrent qu'il n'y a pas de simplification possible.

Schéma en portes logiques



10 NAND3 et
5 inverseurs.

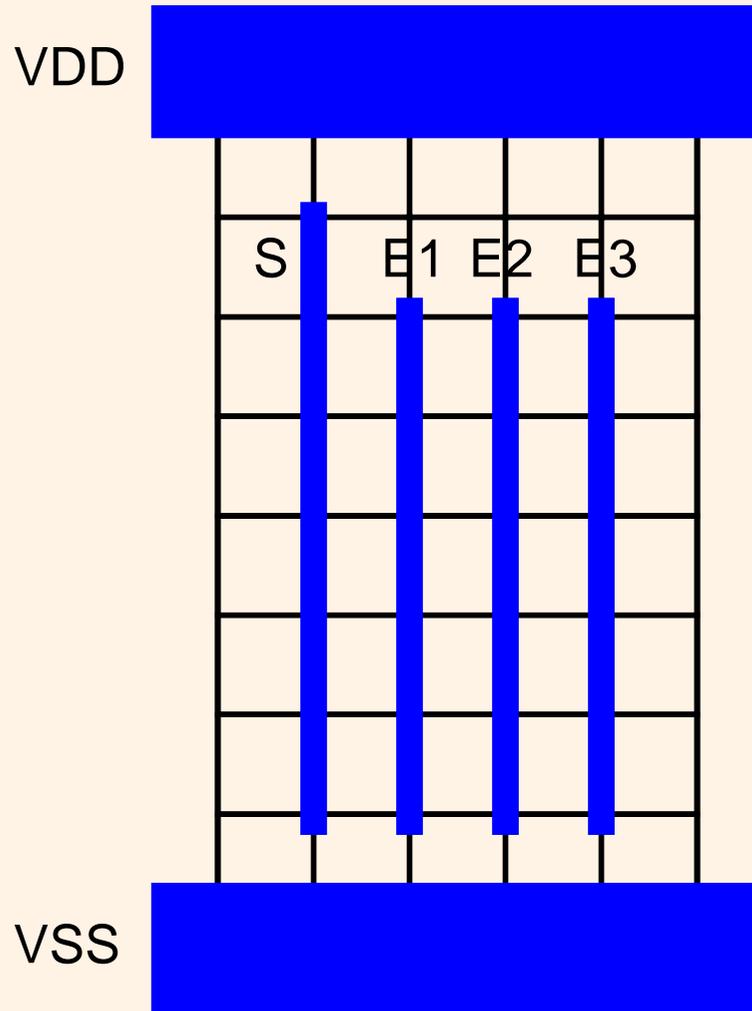
Gabarit de cellule précaractérisée



Les cellules précaractérisées sont conçues pour être aboutables dans les deux directions X et Y, et pour faciliter le travail du routeur automatique :

- hauteur fixe (par exemple 10 pitches)
- largeur variable (nombre entier de pitches)
- caisson N de hauteur fixe.
- alimentations Vdd et Vss de hauteur fixe, horizontales, en métal 1.
- connecteurs d'entrée/sortie en métal 1 sur la grille de routage.

Cellule NAND3

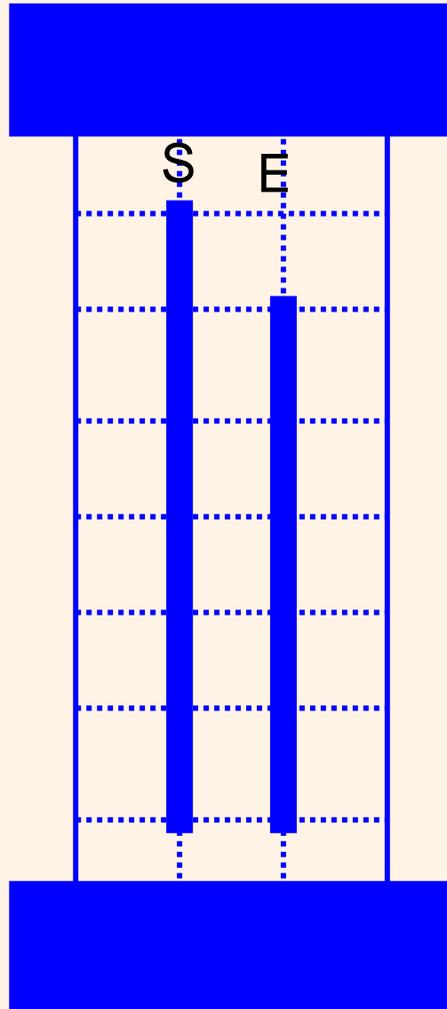


La cellule NAND3 possède une largeur de 5 pitches

Les 3 signaux d'entrée E1, E2, E3, sont accessibles sur 6 pistes.

Le signal est accessible sur 7 pistes.

Cellule Inverseur

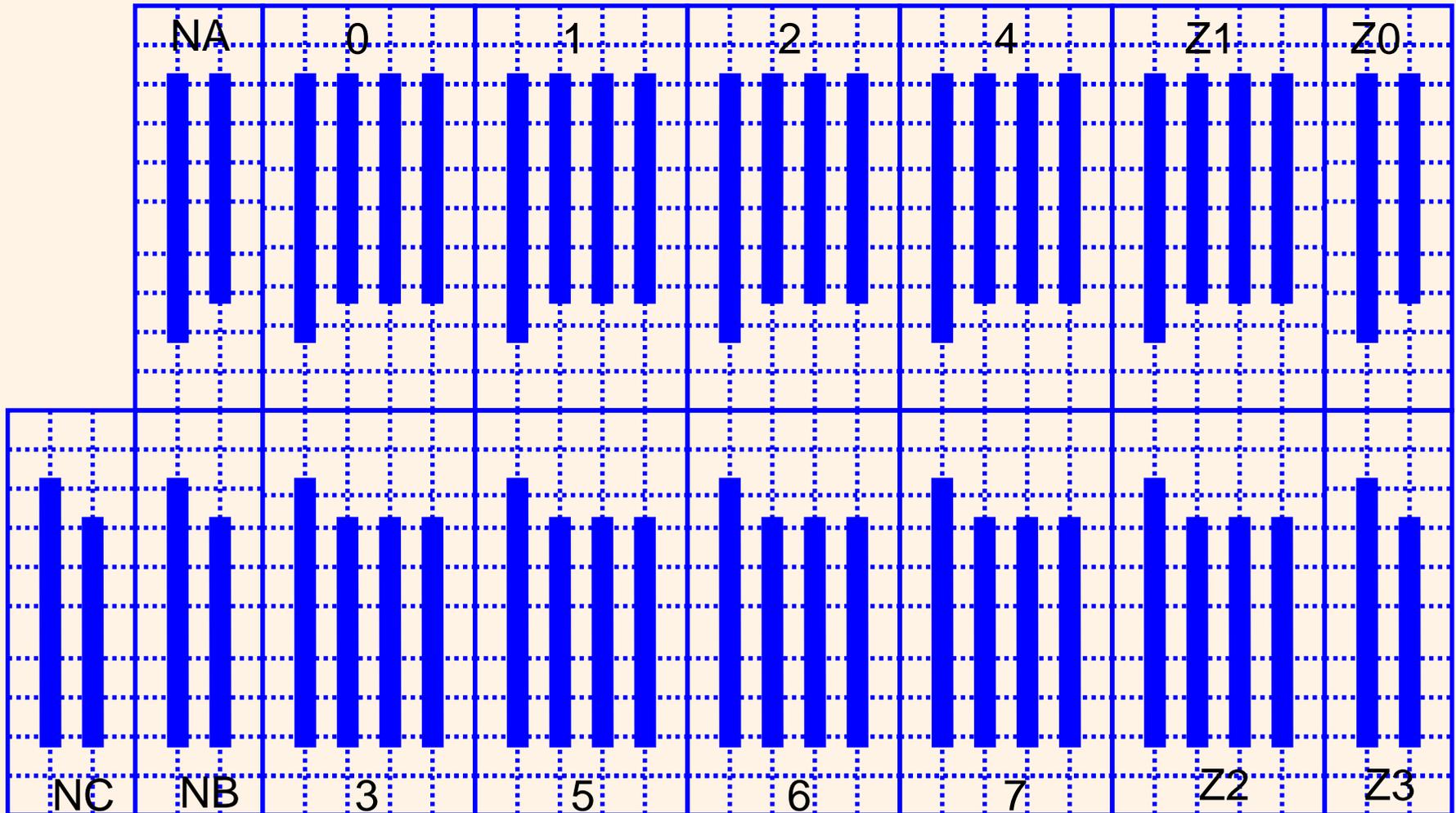


La cellule INVERSEUR possède une largeur de 3 pitches

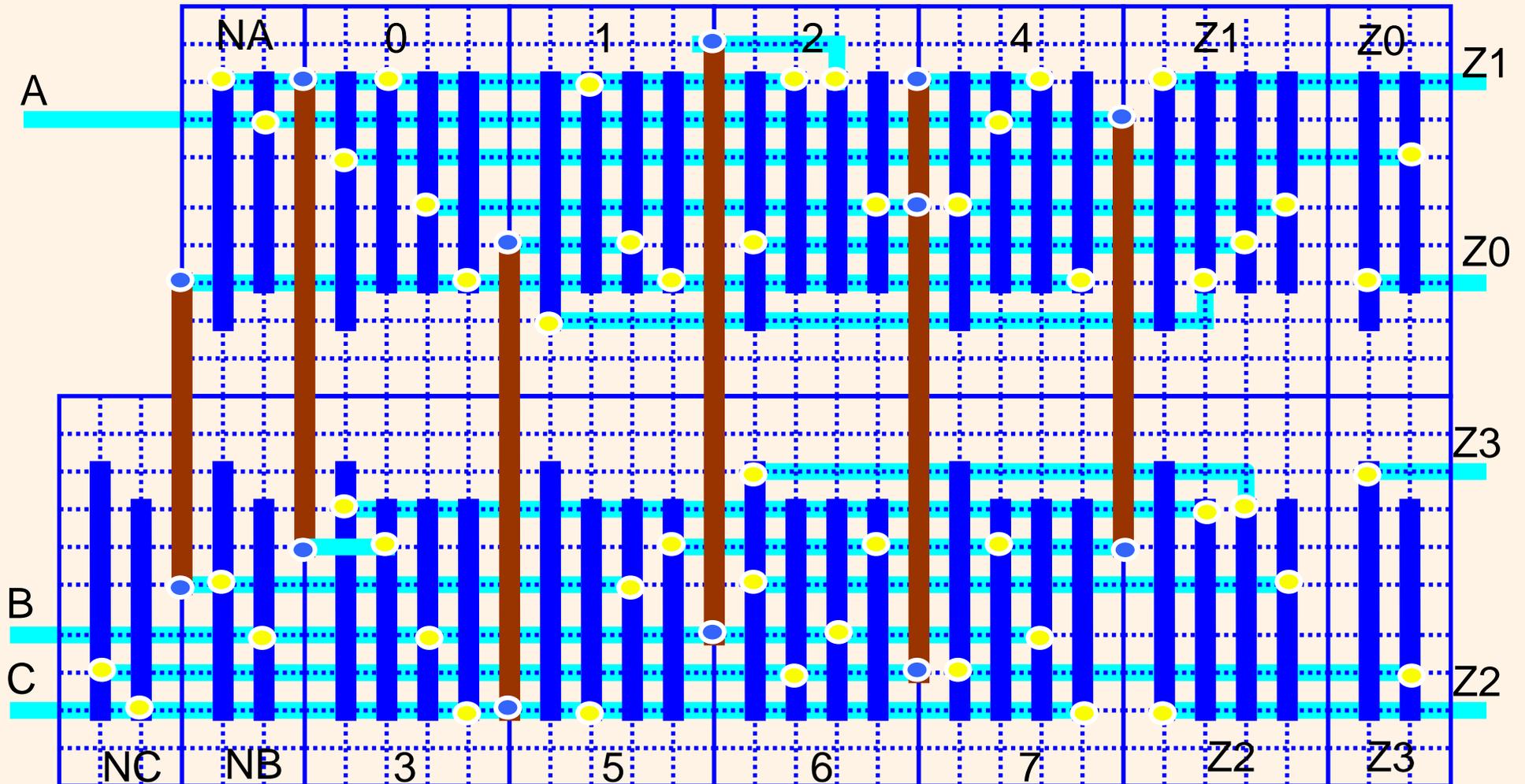
Le signal d'entrée E est accessible sur 6 pistes de routage.

Le signal de sortie S est accessible sur 7 pistes de routage.

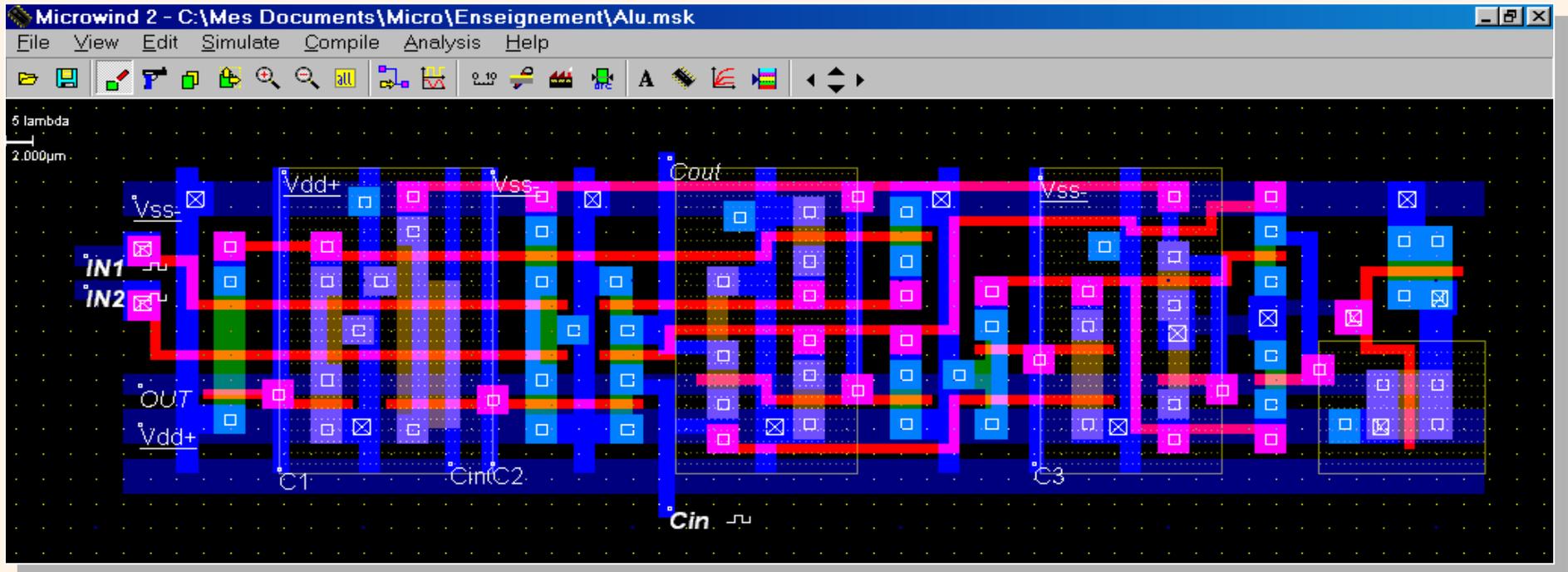
Placement des cellules par aboutement

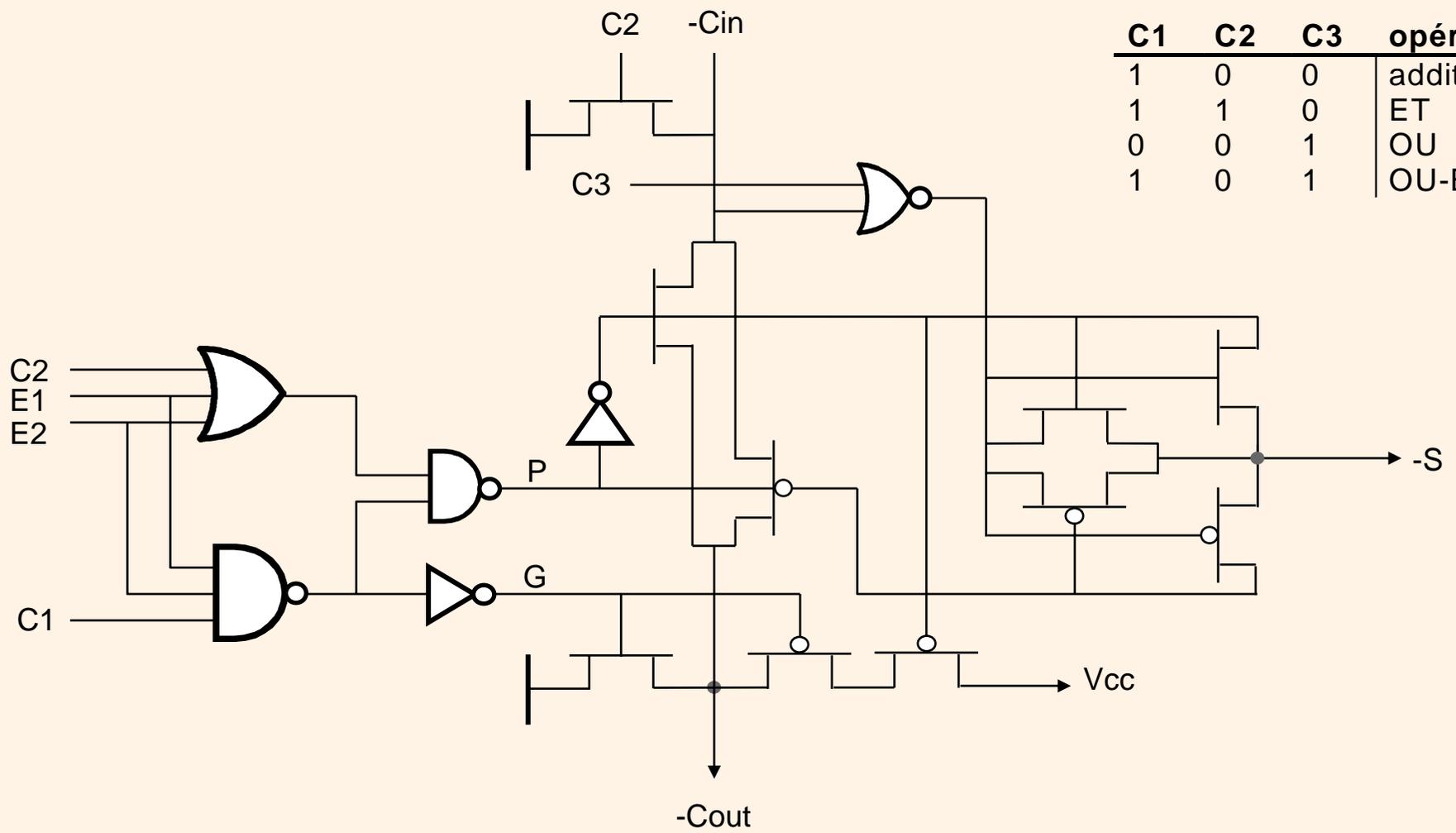


Routage par dessus les cellules



Réalisation d'une UAL





C1	C2	C3	opération
1	0	0	addition
1	1	0	ET
0	0	1	OU
1	0	1	OU-EX

