

# Majeure de "Micro-Nano-Optoélectronique"

## Cours : "Circuits électroniques"

### Petite Classe n°1

#### *Eléments de correction*

## 1<sup>ère</sup> partie : fonctionnement d'un inverseur CMOS

### Objectif :

On se propose d'étudier le fonctionnement électronique statique d'un inverseur CMOS (montage simple à deux transistors complémentaires vu en cours) et de déterminer sa caractéristique  $V_{out} = f(V_{in})$  ainsi que le courant consommé.

### Introduction :

Soit un inverseur CMOS du type vu dans le cours :

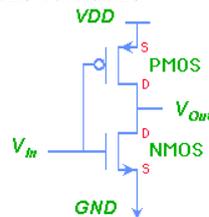


Fig. 1 : Inverseur CMOS

Il utilise des transistors appariés en technologie  $0,5 \mu\text{m}$  pour lesquels :

$$\mu_n C_{ox} = 100 \mu\text{A} / \text{V}^2 ; (W/L)_n = 2 \mu\text{m} / 1 \mu\text{m} ; |V_{Tn}| = 0,8 \text{ V} \quad V_{DD} = 3,3 \text{ V}$$

Dire que les deux transistors sont appariés signifie :

$$V_{Tn} = -V_{Tp} \quad \text{on notera } V_T \text{ la valeur positive de } V_{Tn} \text{ qui vaut : } V_T = 0,8 \text{ V}$$

$$k_n = \mu_n C_{ox} \frac{W}{L} = k_p = \mu_p C_{ox} \frac{W}{L} \quad \text{et ils valent : } k = 200 \mu\text{A} / \text{V}^2$$

Rappel de l'allure des caractéristiques d'un autre transistor NMOS vu en cours :

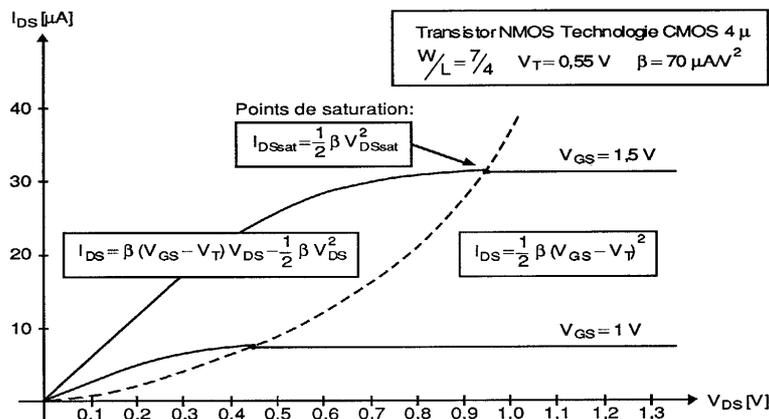


Fig. 2 : Allure des caractéristiques d'un transistor NMOS

On rappelle les équations statiques du transistor NMOS ( $V_{DS} > 0$  et  $V_T > 0$ ) :

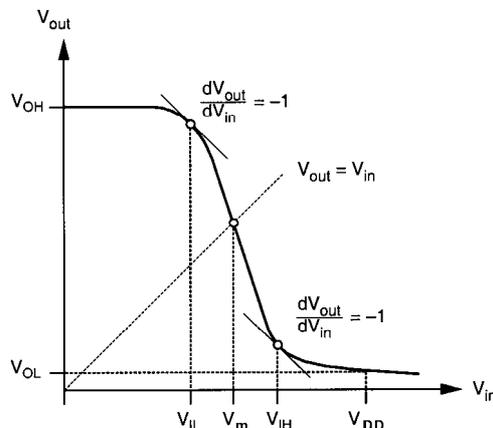
- régime bloqué pour  $V_{GS} \leq V_T$  :  $I_D = 0$
- régime "résistif" pour  $V_{DS} < V_{GS} - V_T$  :  $I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$
- régime saturé pour  $V_{DS} \geq V_{GS} - V_T$  :  $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$

Et les équations statiques du transistor PMOS ( $V_{DS} < 0$  et  $V_T < 0$ ) :

- régime bloqué pour  $V_{GS} > V_T$  :  $I_D = 0$
- régime "résistif" pour  $V_{DS} > V_{GS} - V_T$  :  $I_D = \mu_p C_{ox} \frac{W}{L} \left[ (V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$
- régime saturé pour  $V_{DS} \leq V_{GS} - V_T$  :  $I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$

### Caractéristique de transfert

Construire la représentation graphique de la courbe  $V_{out} = f(V_{in})$  de l'inverseur CMOS, en déterminant les points caractéristiques de la façon suivante :

Fig. 3 : Définition de  $V_{ob}$ ,  $V_{oh}$ ,  $V_{ib}$ ,  $V_{ih}$ 

- ✎ Calculer les valeurs des deux tensions de sortie  $V_{ol}$  et  $V_{oh}$ ,
- ✎ Calculer les valeurs des deux tensions d'entrée  $V_{il}$  et  $V_{ih}$ ,
- ✎ Calculer les marges de bruit  $NM_l$  et  $NM_h$  (on définira ces grandeurs au cours de la PC), ainsi que  $V_m$  pour lequel  $V_{out} = V_{in}$ .

*Il faut analyser le comportement de chacun des transistors en fonction de leur tension commune de Gate =  $V_{in}$*

*Le montage en série implique :*

$$\begin{aligned} V_{GSn} &= V_{in} & V_{GSp} &= -(V_{DD} - V_{in}) \\ V_{DSn} &= V_{out} & V_{DSp} &= -(V_{DD} - V_{out}) & I_{Dn} &= I_{Dp} \end{aligned}$$

Commençons par deux cas simples :

1)  $V_{in} < V_T = 0,8 V \rightarrow$  le NMOS est bloqué  
 $V_{GS_p} < -(V_{DD} - V_T) = -2,5 V < V_{Tp} = -0,8 V$   
 Le PMOS est donc conducteur  
 Leur courant commun  $I_D$  est  $\approx 0$   
 Donc  $V_{DS_p} = 0$  (mode résistif) et  $V_{out} = V_{DD}$

Donc  $V_{oh}$ , qui est la tension de sortie lorsque  $V_{in} = 0$ , vaut :  $V_{oh} = V_{DD}$

2)  $V_{in} > (V_{DD} - V_T) = 2,5 V \rightarrow$  le NMOS est conducteur  
 $V_{GS_p} > -V_T$  le PMOS est bloqué  
 Leur courant commun  $I_D$  est  $\approx 0$   
 Donc  $V_{DS_n} = 0$  (mode résistif) et  $V_{out} = 0$

Donc  $V_{ol}$ , qui est la tension de sortie lorsque  $V_{in} = V_{DD}$ , vaut :  $V_{ol} = 0$

Plus généralement, on peut analyser les modes de fonctionnement de chacun des transistors dans le plan  $(V_{in}, V_{out})$  :

Le NMOS est saturé si

$$V_{GS_n} = V_{in} > V_T$$

$$\text{et } V_{GD_n} \leq V_{Tn} \text{ soit encore } V_{GS_n} - V_{DS_n} \leq V_{Tn}$$

$$-V_{DS_n} \leq V_T - V_{GS_n}$$

$$V_{DS_n} \geq V_{GS_n} - V_{Tn}$$

$$V_{out} \geq V_{in} - V_{Tn}$$

De manière plus directe on peut aussi écrire  $V_{in} - V_{out} > V_{Tn}$  soit  $V_{out} > V_{in} - V_{Tn}$ .

Le PMOS est saturé si

$$V_{GS_p} < V_{Tp} \leftrightarrow V_{in} < V_{DD} + V_{Tp} = V_{DD} - V_T$$

$$\text{et } V_{GD_p} \geq V_{Tp} \text{ soit encore } V_{GS_p} - V_{DS_p} \geq V_{Tn}$$

$$-V_{DS_p} \geq V_{Tp} - V_{GS_p}$$

$$V_{DS_p} \leq V_{GS_p} - V_{Tp}$$

$$V_{out} \leq V_{in} + V_{Tp}$$

De manière plus directe on peut aussi écrire  $V_{in} - V_{out} > -V_{Tp}$  soit  $V_{out} < V_{in} + V_{Tp}$

Les régions correspondantes du plan  $(V_{in}, V_{out})$  sont hachurées dans la figure 4 :

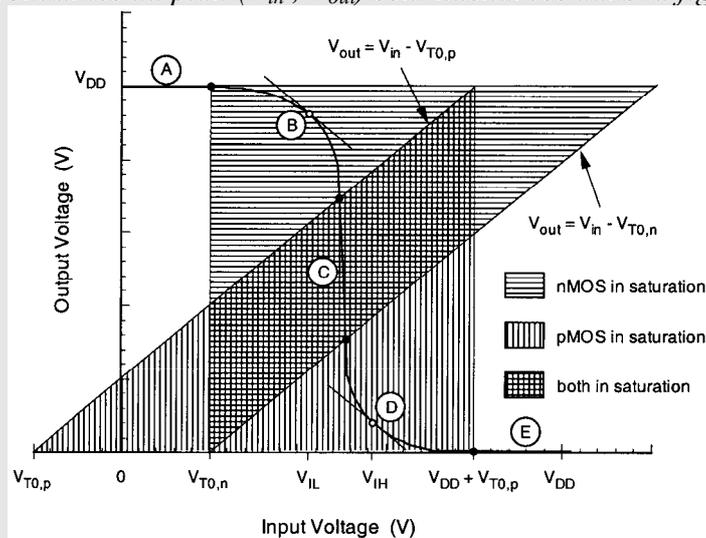


Fig. 4 : Régimes de fonctionnement de l'inverseur CMOS

On y distingue 5 régions étiquetées A, B, C, D, et E dont les régimes sont décrits dans la table 1 :

Region	$V_{in}$	$V_{out}$	nMOS	pMOS
A	$< V_{T0,n}$	$V_{OH}$	cut-off	linear
B	$V_{IL}$	high $\approx V_{OH}$	saturation	linear
C	$V_{ih}$	$V_{th}$	saturation	saturation
D	$V_{IH}$	low $\approx V_{OL}$	linear	saturation
E	$> (V_{DD} + V_{T0,p})$	$V_{OL}$	linear	cut-off

Table 1 : Régimes de fonctionnement de l'inverseur CMOS

Les points  $V_{il}$  et  $V_{ih}$  correspondent à la relation  $\frac{dV_{out}}{dV_{in}} = -1$

Pour  $V_{il}$  (région B) le NMOS est en saturation, et le PMOS est en régime résistif (noté linéaire dans le tableau).

La relation  $I_{Dn} = I_{Dp}$  se traduit par :

$$I_{Dn} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{Tn})^2 = I_{Dp} = \mu_p C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{Tp}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

qui peut se réécrire en :

$$(V_{in} - V_T)^2 = 2(V_{in} - V_{DD} + V_T)(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2 \quad (\text{Equ 1})$$

En dérivant par rapport à  $V_{in}$ , il vient :

$$V_{in} - V_T = (V_{in} - V_{DD} + V_T) \frac{dV_{out}}{dV_{in}} + (V_{out} - V_{DD}) - (V_{out} - V_{DD}) \frac{dV_{out}}{dV_{in}}$$

En imposant  $\frac{dV_{out}}{dV_{in}} = -1$  au point  $V_{in} = V_{il}$ , on obtient :

$$V_{il} - V_T = 2V_{out} - V_{il} - V_T - V_{DD}$$

$$d'où : V_{in} = V_{out} - \frac{V_{DD}}{2} \quad (\text{Equ 2})$$

En résolvant le système des équations (1) et (2), on obtient :

$$V_{il} = \frac{1}{8} (3V_{DD} + 2V_T) \quad \text{soit : } V_{il} = 1/8 * (9,9 + 1,6) = 1,44 \text{ V}$$

De même pour le point  $V_{ih}$  (région D) le NMOS est en régime résistif (noté linéaire dans le tableau), et le PMOS est en saturation.

La relation  $I_{Dn} = I_{Dp}$  se traduit par :

$$I_{Dn} = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GSn} - V_{Tn}) V_{DSn} - \frac{1}{2} V_{DSn}^2 \right] = I_{Dp} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GSp} - V_{Tp})^2$$

qui peut se réécrire en :

$$(V_{in} + V_T - V_{DD})^2 = 2V_{out} (V_{in} - V_T) - V_{out}^2 \quad (\text{Equ 3})$$

En dérivant par rapport à  $V_{in}$ , il vient :

$$(V_{in} + V_T - V_{DD}) = \frac{dV_{out}}{dV_{in}} (V_{in} - V_T) + V_{out} - V_{out} \frac{dV_{out}}{dV_{in}}$$

En imposant  $\frac{dV_{out}}{dV_{in}} = -1$  au point  $V_{in} = V_{ih}$ , on obtient :

$$V_{out} = V_{in} - \frac{V_{DD}}{2} \quad (\text{Equ 4})$$

En résolvant le système des équations (3) et (4), on obtient :

$$V_{ih} = \frac{1}{8}(5V_{DD} - 2V_T) \quad \text{soit : } V_{ih} = 1/8 * (16,5 - 1,6) = 1,86 \text{ V}$$

Les marges de bruit  $NM_l$  et  $NM_h$  sont les suivantes :

$$NM_l = V_{il} - V_{ol} = 1,44 - 0 = 1,44 \text{ V}$$

$$NM_h = V_{oh} - V_{ih} = 3,3 - 1,86 = 1,44 \text{ V}$$

Le point  $V_m$  pour lequel  $V_{out} = V_{in}$  peut en général se calculer de façon similaire à  $V_{il}$  et  $V_{ih}$  en combinant les caractéristiques des deux transistors en saturation dans la région C.

Dans ce modèle idéal lorsque les 2 transistors sont saturés les courants sont incompatibles → On traverse instantanément la zone C dont le segment est vertical. En réalité le courant de saturation dépend légèrement de  $V_D$  et le système d'équation peut être résolu dans la zone C dont la représentation n'est plus exactement verticale

Mais comme l'énoncé précise que les transistors sont appairés, le problème est complètement symétrique et  $V_m = V_{DD}/2 = 1,65 \text{ V}$

## Courant consommé

-  Déterminer le courant  $I_{max}$  consommé sur l'alimentation lorsque  $V_{in} = V_{out} = V_m$  et la puissance dissipée correspondante.
-  Pour quelles tensions d'entrée, ce courant vaut-il 1/2 de  $I_{max}$ , ou bien 1/10 de  $I_{max}$  ?
-  A partir de quelles tensions d'entrée le courant consommé est-il nul ?

Le courant consommé dans les régions A et E est nul (avantage du CMOS qui ne consomme rien en position normale, mais seulement au cours des commutations).

Le courant est maximum au point  $V_m$  pour lequel les deux MOS sont saturés (région C)

$$\text{Comme pour un NMOS saturé : } I_{Dn} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GSn} - V_{Tn})^2$$

$$\text{On en déduit : } I_{max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_m - V_T)^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left( \frac{V_{DD}}{2} - V_T \right)^2$$

avec comme valeur numérique :

$$I_{max} = 100 \mu A (3,3/2 - 0,8)^2 = 72,25 \mu A$$

La puissance totale dissipée est alors  $V_{DD} I_{max} = 3,3 \cdot 72,5 = 239 \mu W$

*N.B. : cette faible puissance n'est normalement dissipée que pendant un très bref instant (de quelque 100 ps) lors d'une commutation. L'énergie correspondant à cette commutation est donc très faible.*

*Pour le courant  $I_{max}/2$ , on est dans la région B ou la région D : un MOS est en mode résistif et l'autre est saturé.*

*Pour la région B, NMOS saturé le courant vaut :*

$$I_{Dn} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GSn} - V_{Tn})^2 = I_{max}/2 = \frac{1}{4} \mu_n C_{ox} \frac{W}{L} \left( \frac{V_{DD}}{2} - V_T \right)^2$$

*Comme  $V_{GS} = V_{in}$ , le point  $V_{1/2}$  correspondant à  $I_{max}/2$  vérifie :*

$$V_{1/2} (B) = \frac{V_{DD}}{2\sqrt{2}} + V_T \frac{(\sqrt{2}-1)}{\sqrt{2}} = 1,40 V$$

*Par symétrie, le point de la région D vérifie :*

$$V_{1/2} (D) = V_{DD} - V_{1/2} (B) = \frac{V_{DD}(2\sqrt{2}-1)}{2\sqrt{2}} - V_T \frac{(\sqrt{2}-1)}{\sqrt{2}} = 1,90 V$$

*Pour le courant  $I_{max}/10$ , les mêmes équations s'appliquent en remplaçant le facteur 2 par le facteur 10, et on trouve :*

$$V_{1/10} (B) = 1,07 V$$

$$V_{1/10} (D) = 2,23 V$$

*Comme indiqué au début, le courant sera nul dans les régions A et E dont les tensions limites valent :*

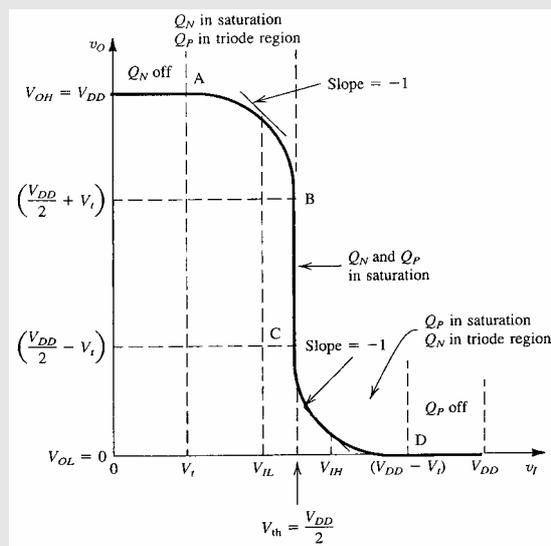
$$V_{A-B} = V_T = 0,8V$$

$$V_{D-E} = V_{DD} - V_T = 2,5V$$

## Addendum

*Autre représentation de la caractéristique de transfert d'un inverseur CMOS symétrique :*

*Les lettres A, B, C, et D représentent ici les points limites et non plus les régions*



### 3<sup>ème</sup> Partie : Réalisation CMOS d'une fonction booléenne

#### Objectif :

Réaliser en utilisant les principes des réseaux de conduction un circuit statique réalisant une fonction booléenne  $S$  à trois entrées (A, B, C) dont la table de vérité est donnée par :

A	0	1	0	1	0	1	0	1
B	0	0	1	1	0	0	1	1
C	0	0	0	0	1	1	1	1
S	0	0	0	1	0	1	1	1

#### Méthodologie de synthèse

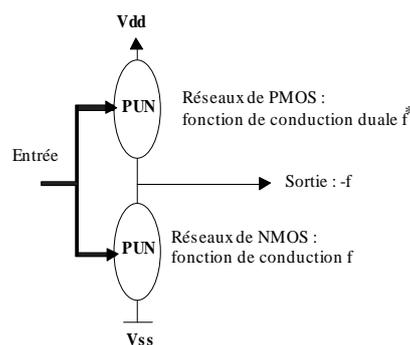
✎ Exprimer  $S$  sous forme d'une fonction booléenne  $S = f(A, B, C)$ .

La fonction  $S$  est vraie pour 4 états différents des entrées

$S = ABC\bar{C} + \bar{A}BC + \bar{A}BC + ABC$  ce qui est équivalent à  $S = ABC\bar{C} + ABC + \bar{A}BC + \bar{A}BC + ABC$   
 que l'on factorise  $S = AB.(C + C) + C(\bar{A}B + \bar{A}B + AB)$  ce qui se simplifie par

$$S = AB + C(A + B)$$

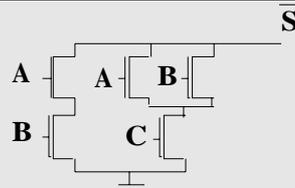
✎ Réaliser sous forme de réseaux de conduction la fonction duale  $\bar{S}$ .  
 On rappelle le schéma de principe donné en cours :



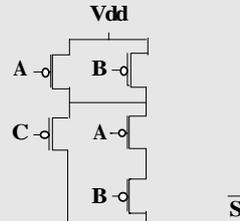
On part donc de la fonction duale de la précédente  $\bar{S} = \overline{AB + C(A + B)}$

On réalise le réseau de NMOS qui doit imposer la sortie à  $V_{ss}$  quand les entrées sont vraies (« 1 » ou  $V_{dd}$ )

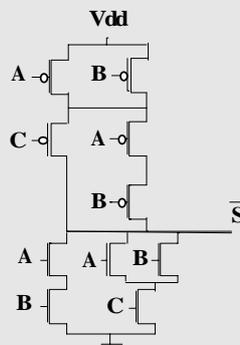
On rappelle qu'un NMOS utilisé dans un circuit logique est, en première approximation, un interrupteur fermé quand la grille est à  $V_{dd}$ .



Le réseau de PMOS est obtenu directement par dualité



Globalement on obtient la porte suivante



✎ Réaliser la fonction S sous forme de réseaux de conduction.

$\bar{S} = \overline{AB + C(A + B)}$  que l'on réécrit grâce au théorème de De Morgan

$$\bar{S} = \overline{AB + C(A + B)} = \overline{AB} \cdot \overline{C(A + B)} = (\bar{A} + \bar{B}) \cdot (\bar{C} + \overline{AB})$$

En utilisant l'approche précédente il faudra au préalable disposer de  $\bar{A}$ ,  $\bar{B}$  et de  $\bar{C}$  soit trois inverseurs donc 6 transistors supplémentaires. Il est donc logique de garder la structure précédente et de rajouter un inverseur final.

