

# Circuits préchargés

## ROMs et RAMs en CMOS

# Plan

---

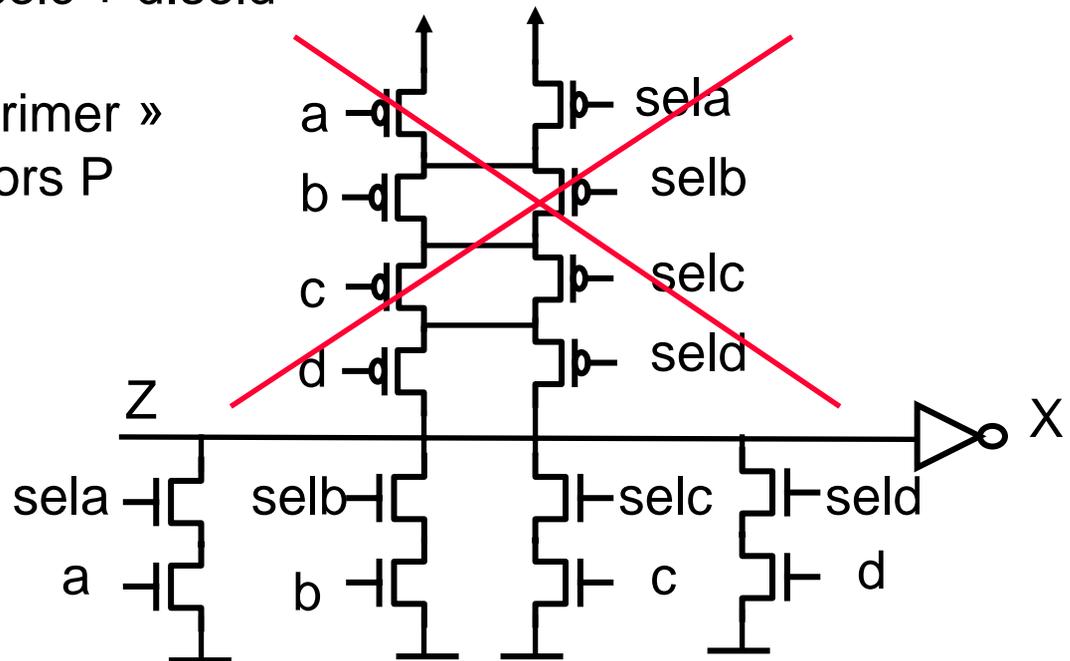
- Principe des circuits préchargés
- Les pièges des circuits préchargés
- Schéma de principe d'une ROM CMOS
- Schéma de principe d'une SRAM CMOS

# Motivation

La circuiterie CMOS Dual se prête mal à la réalisation de fonctions logiques nécessitant de mettre en série un grand nombre de transistors P telles que :

$$X = a.sela + b.selb + c.selc + d.seld$$

⇒ On cherche à « supprimer » le réseau de transistors P

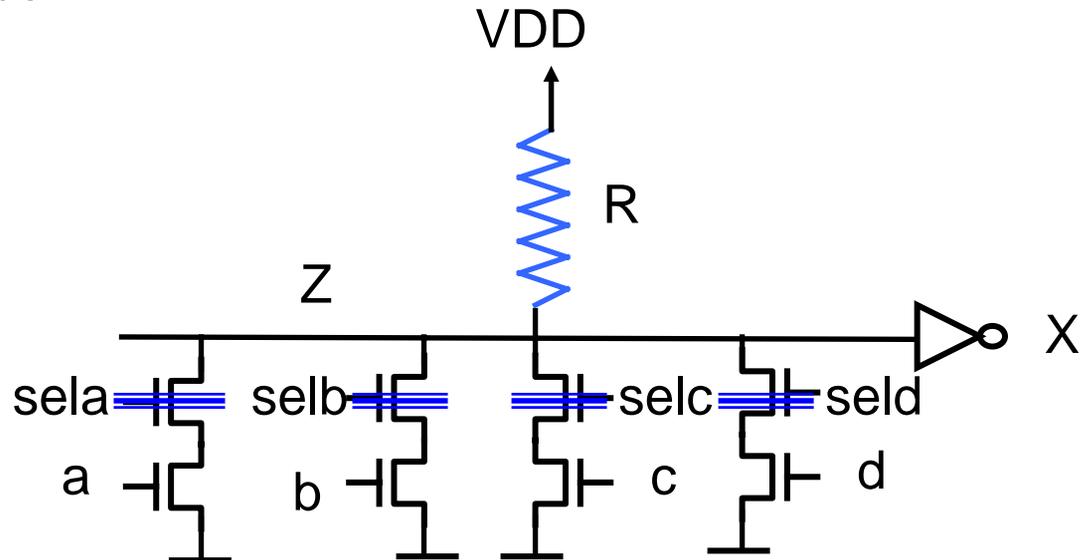


# Technique de « charge passive »

Une solution consiste à utiliser une résistance R connectée à VDD pour établir l'état haut.

Lorsqu'aucun chemin n'est passant entre Z et VSS, on a un bon état haut (tension VDD) sur le nœud Z, mais le temps d'établissement peut être long puisqu'on charge la capacité  $C_z$  à travers la résistance R :

$$\tau \sim R * C_z$$



# Technique de « charge passive »

Soit  $R_{on}$  la résistance équivalente des 2 transistors N en série.  
Lorsqu'un chemin est passant entre Z et VSS, on a deux problèmes :

1/ Il existe un courant permanent de court-circuit entre VDD et VSS.

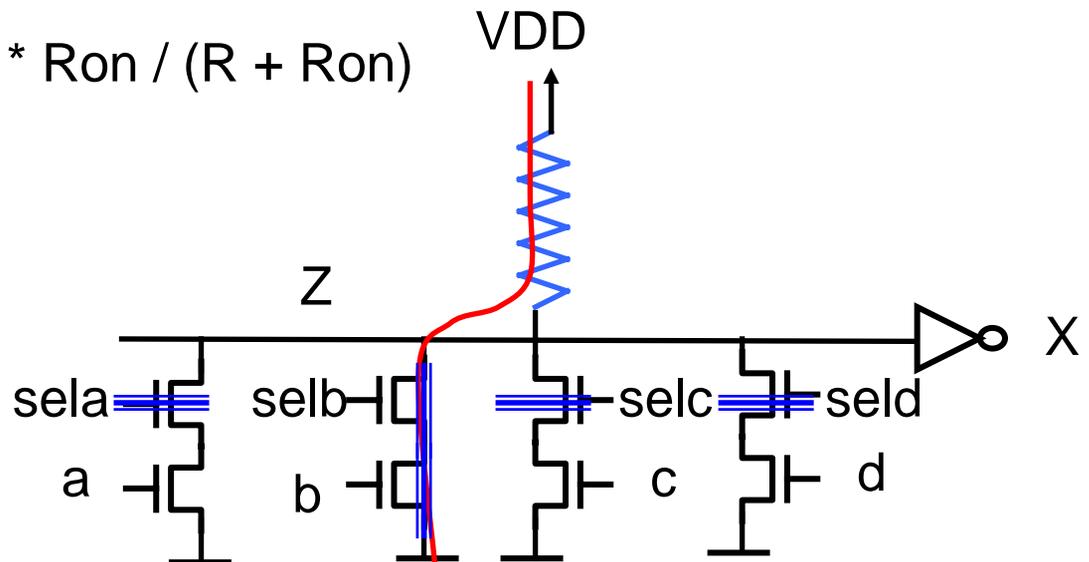
$$i = (VDD - VSS) / (R + R_{on})$$

2/ la tension du nœud Z à l'état bas est donnée par la formule du pont résistif :

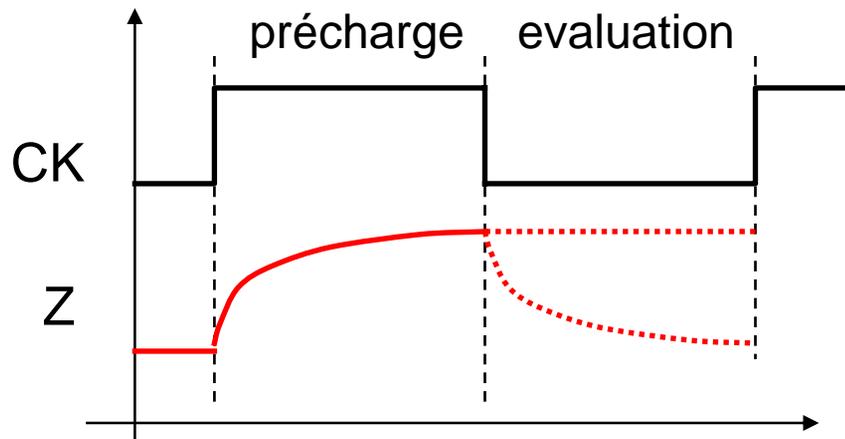
$$V(Z) = (VDD - VSS) * R_{on} / (R + R_{on})$$

Pour avoir un état bas acceptable, il faut avoir

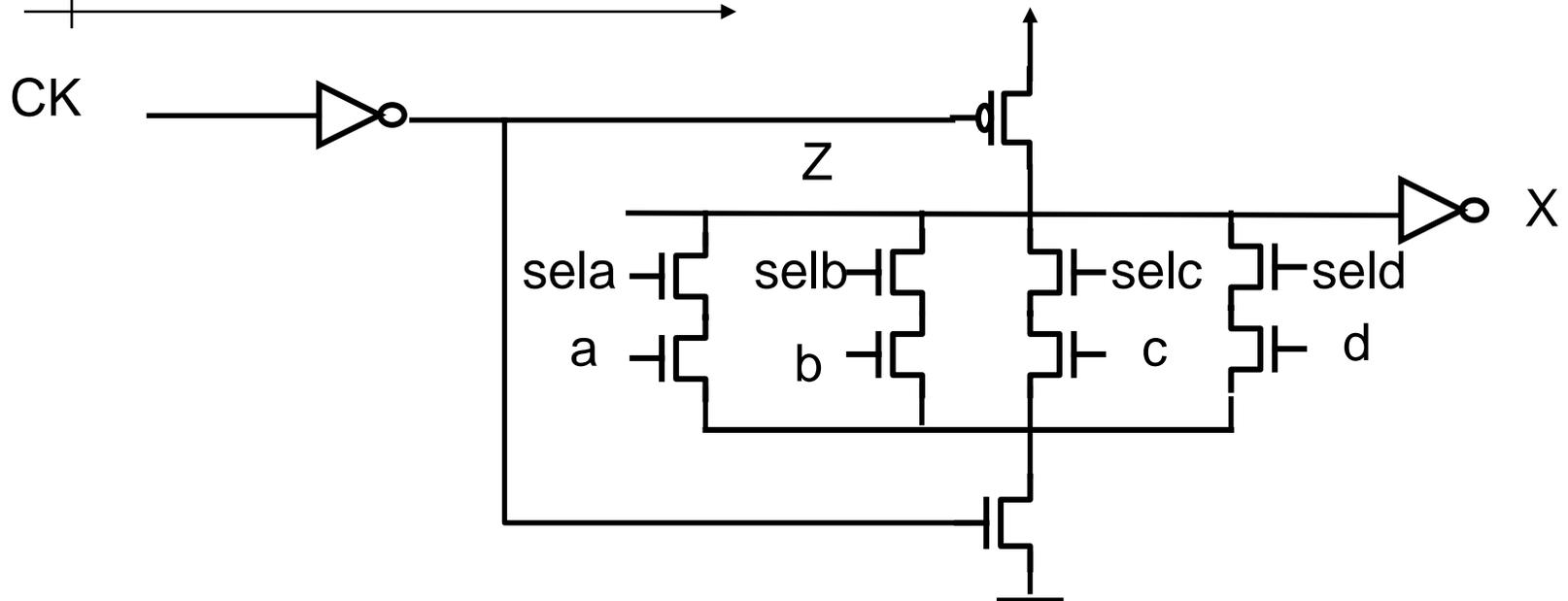
$$R / R_{on} > 5$$



# Principe de la précharge



On utilise un transistor de charge commandé par l'horloge CK.



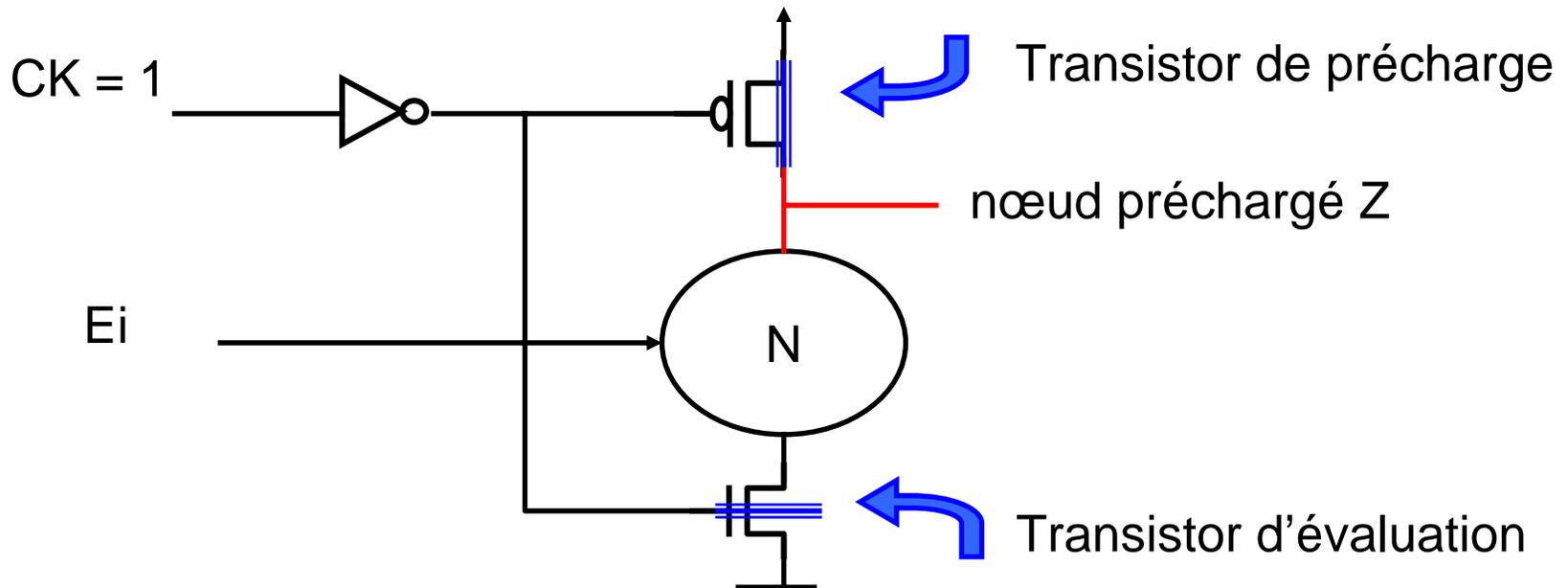
# Plan

---

- Principe des circuits préchargés
- Les dangers des circuits préchargés
- Schéma de Principe d'une ROM CMOS
- Schéma de principe d'une SRAM CMOS

# Court-circuit

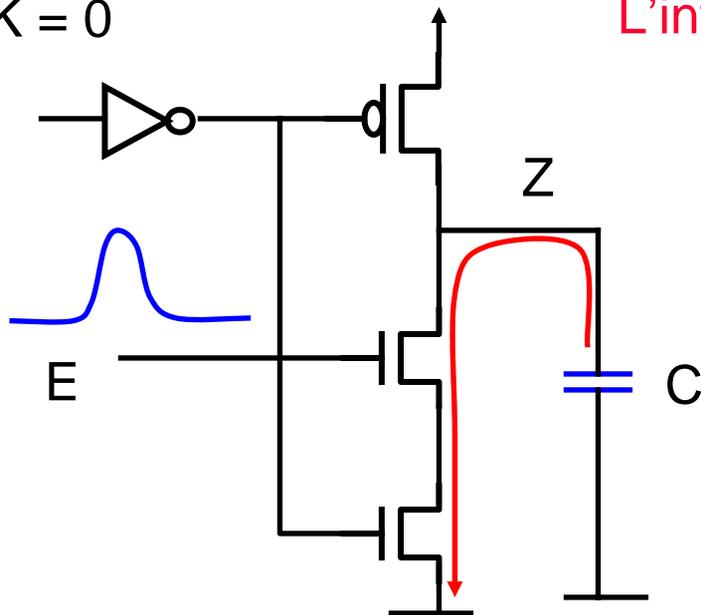
Dans toute porte logique préchargée, il faut prévoir un mécanisme qui garantisse l'absence de court-circuit entre VDD et VSS au moment de la précharge.



# Bruit sur les entrées

Les signaux d'entrée d'une porte logique préchargée sont extrêmement sensibles au bruit : si le niveau bas de l'entrée E est bruité et que la tension atteint  $V_{tn}$  (même transitoirement) pendant la phase d'évaluation, le transistor N devient passant, et le nœud Z se décharge à tort.

CK = 0

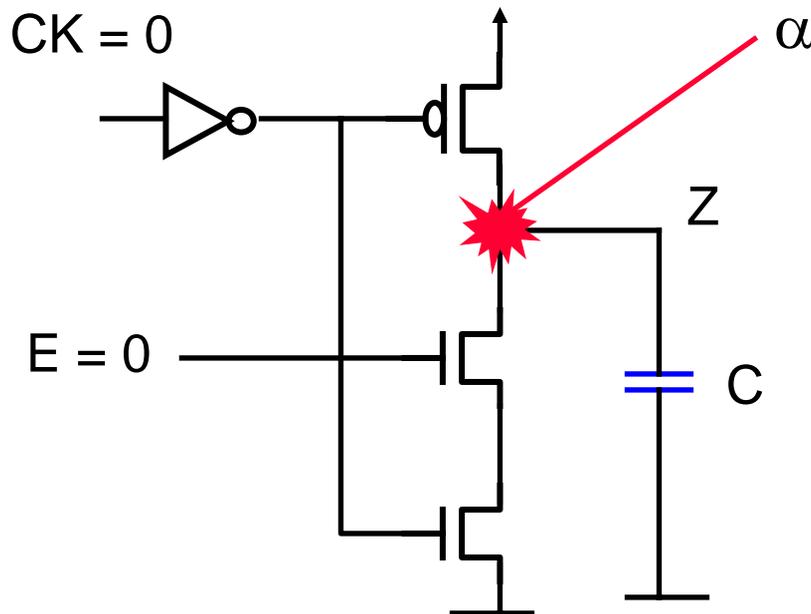


L'information est définitivement perdue!

C'est la conséquence du fonctionnement « dynamique » l'état haut est représenté par une charge stockée sur une capacité.

# Bruit sur le nœud préchargé

Le nœud préchargé lui-même est extrêmement sensible au bruit. Le nœud étant « en haute impédance », une perte de charge (particule alpha par exemple) n'est pas compensée.

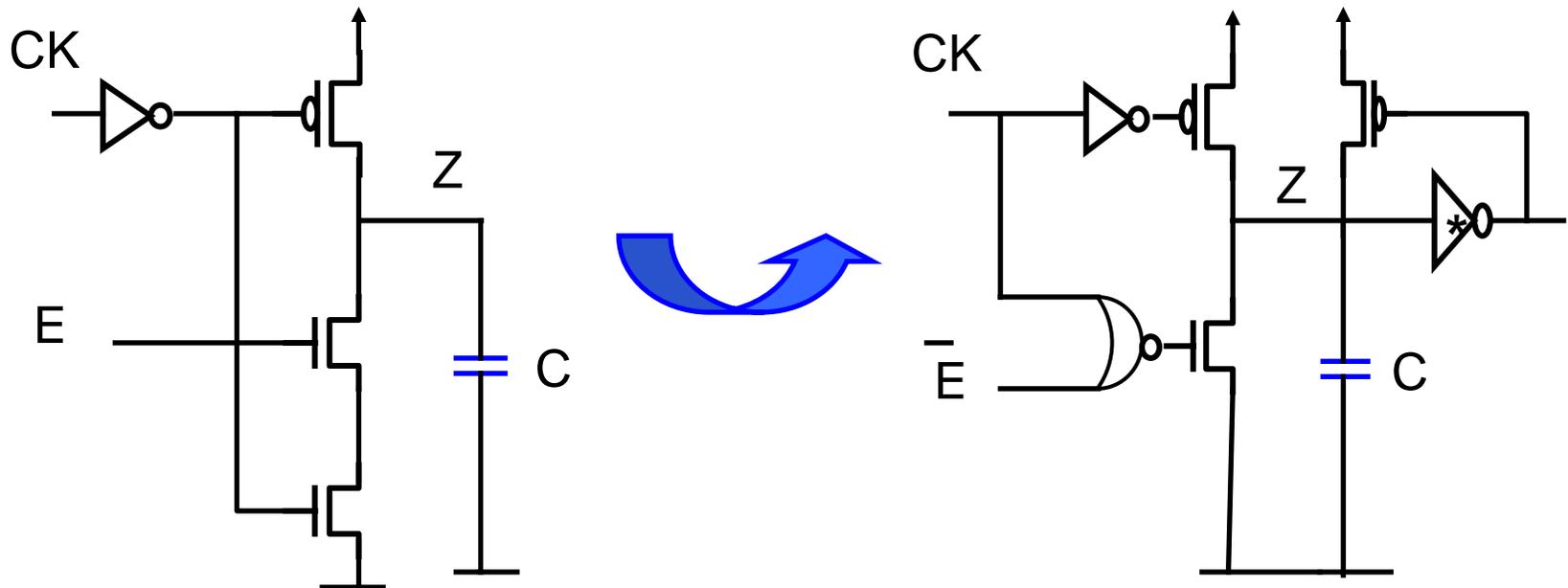


$$\Delta V = Q / C$$

La capacité du nœud préchargé ne doit pas être trop petite !!

# Prévention du bruit

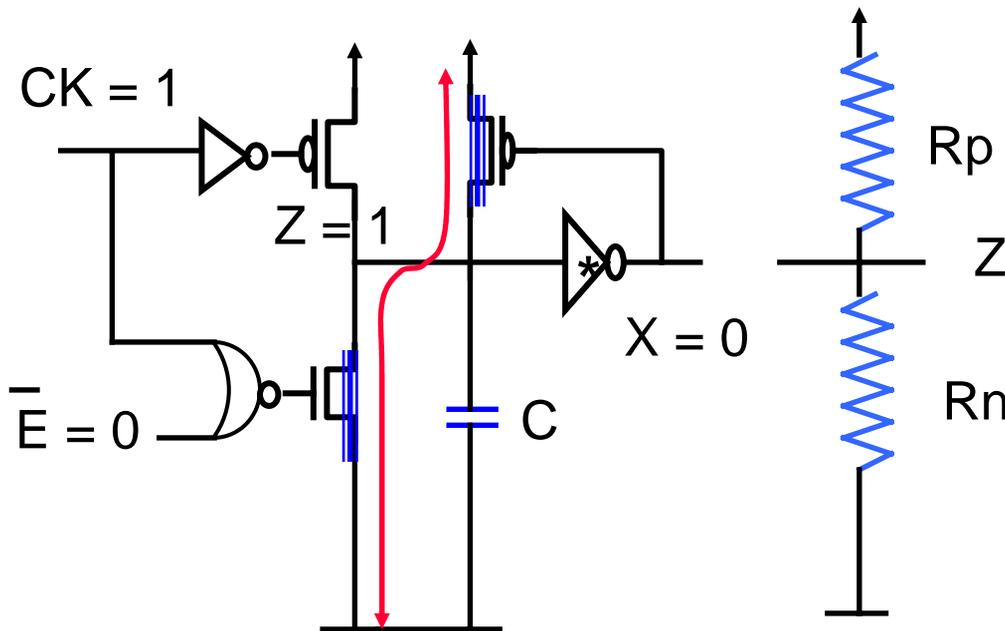
- 1/ Pour augmenter la marge au bruit sur l'état haut du nœud Z on utilise en sortie un inverseur décentré ( $W_n = W_p$ )
- 2/ Pour éviter de laisser le nœud Z en haute impédance, on utilise un « bleeder » (transistor P de rebouclage)
- 3/ Pour filtrer le bruit sur les entrées, on peut ajouter une porte NOR.



# Dimensionnement du « bleeder »

Attention : Le bleeder introduit un conflit transitoire lors de l'évaluation, lorsque le transistor d'évaluation est passant (E = 1), et que le nœud Z doit être déchargé pour atteindre un état bas.

Les deux transistors N et P constituent un pont résistif.



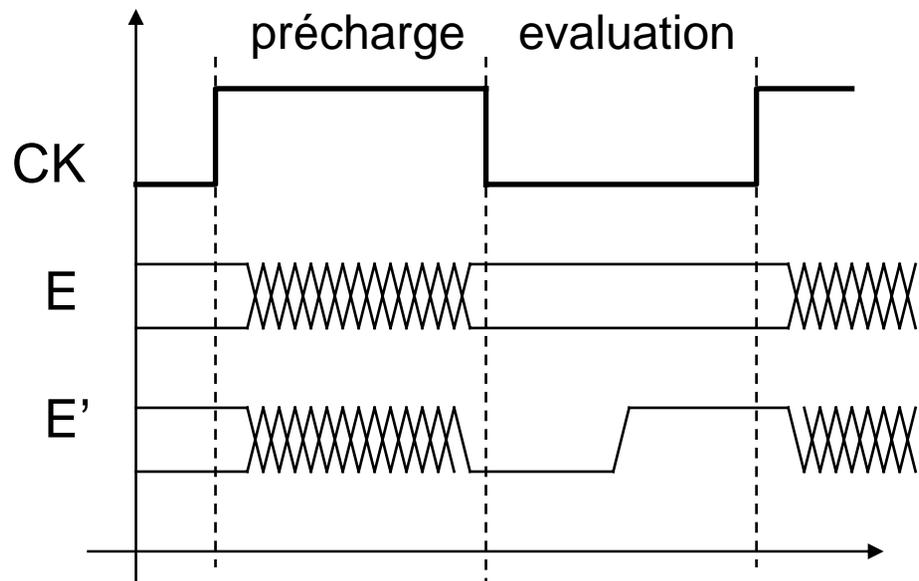
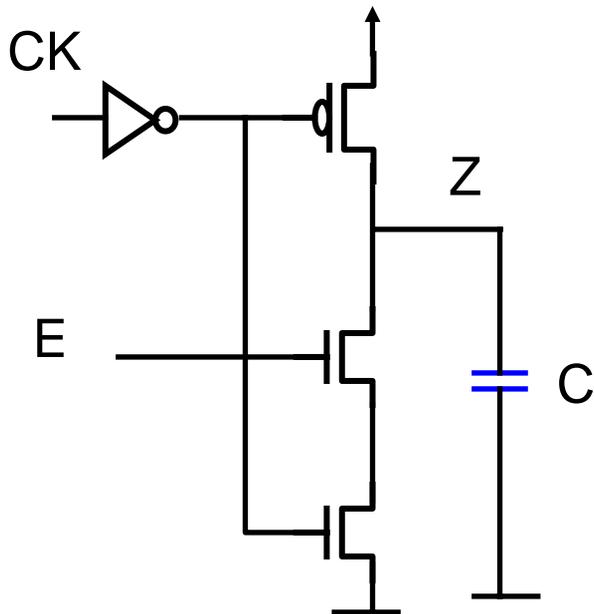
Pour garantir que la tension du nœud Z descende sous le seuil logique de l'inverseur de sortie, il faut avoir :

$$\frac{\mu_p}{\mu_n} \frac{W_p}{W_n} \frac{L_n}{L_p} < \frac{1}{5}$$

# Contraintes temporelles

Bien qu'une porte logique préchargée soit un circuit combinatoire, les signaux d'entrée doivent respecter des contraintes de temps de pré-établissement et de temps de maintien :

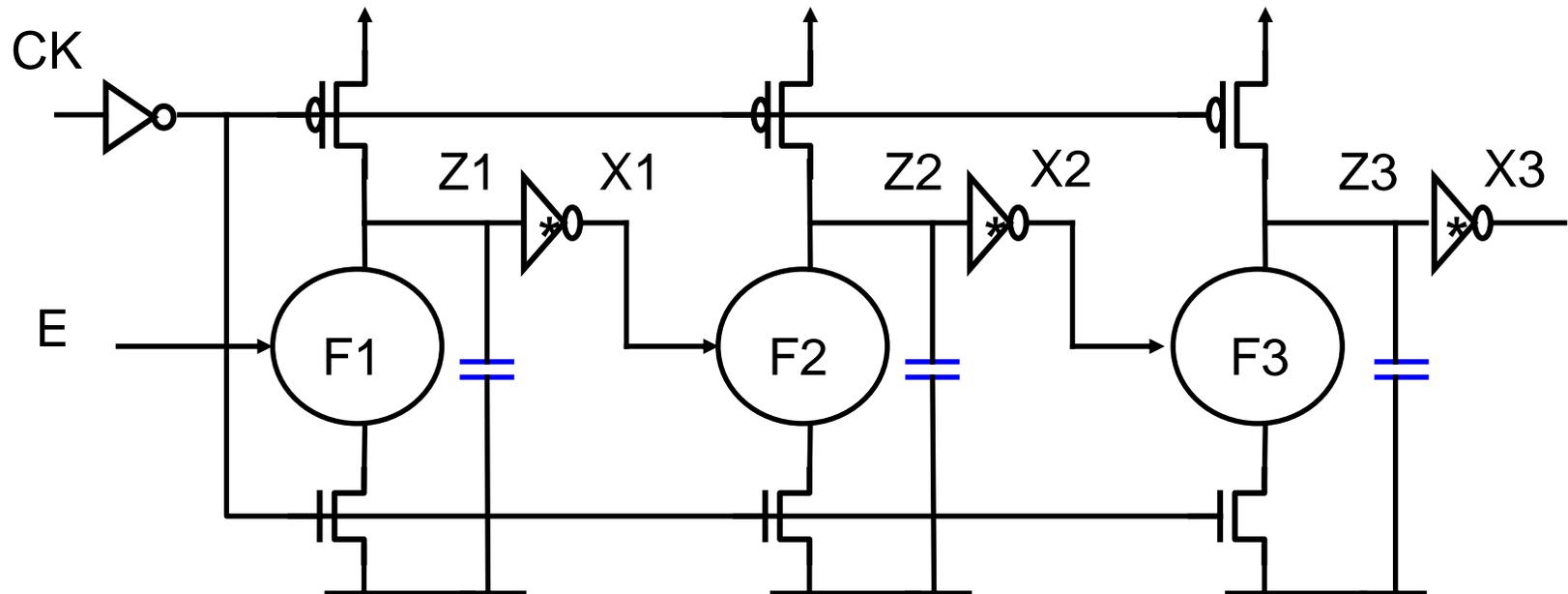
Pour éviter une décharge irréversible du noeud préchargé Z, les signaux d'entrée doivent être stable pendant toute l'évaluation, ou ne subir qu'une transition montante.



# Logique « Domino »

Problème posé : Comment « mettre en série » plusieurs portes préchargées?

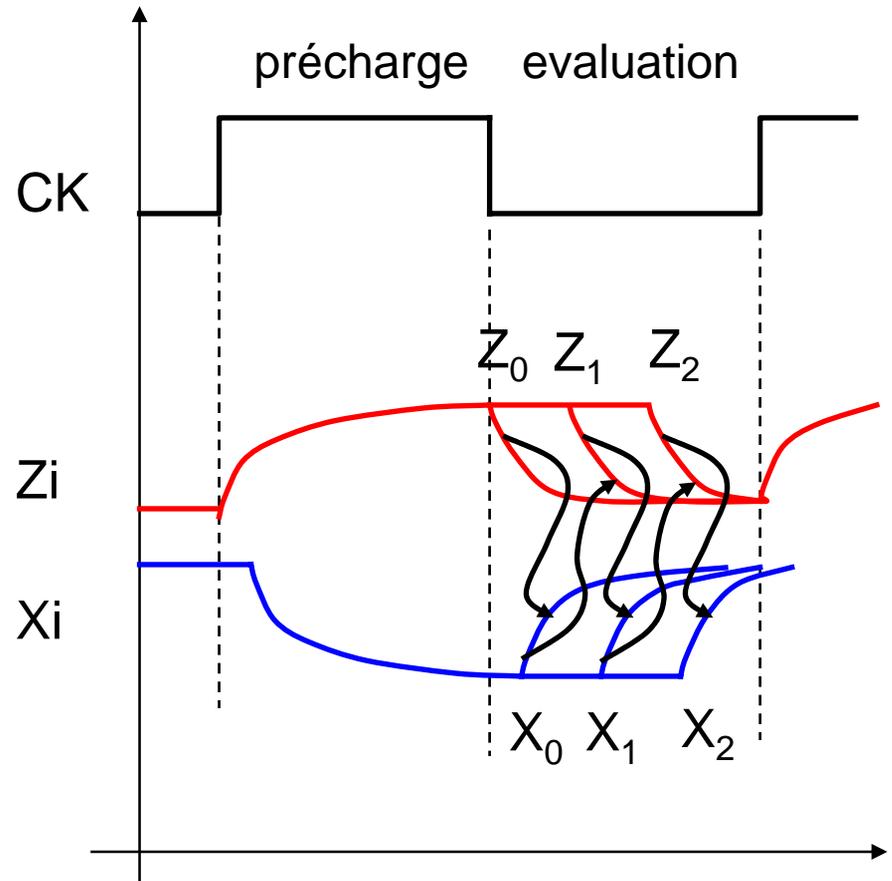
Solution : Il faut mettre systématiquement un inverseur entre deux portes préchargées, pour garantir les contraintes temporelles sur les entrées des portes préchargées !



# Logique « Domino » (suite)

Dans une chaîne « domino »

- La précharge est parallèle (toutes les portes sont préchargées simultanément)
- L'évaluation est séquentielle (le nœud  $Z_{i+1}$  ne peut se décharger qu'après la décharge du nœud  $Z_i$ )



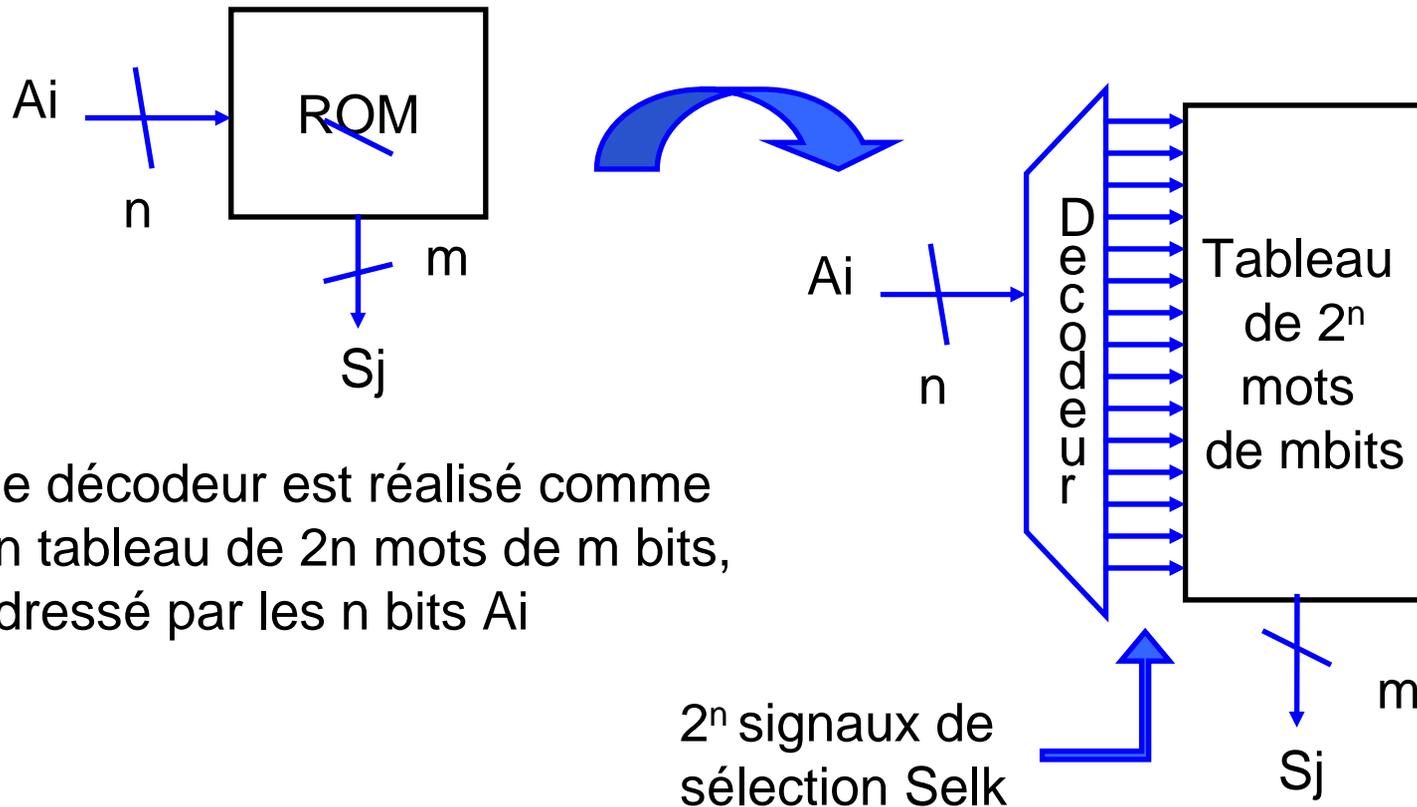
# Plan

---

- Principe des circuits préchargés
- Les pièges des circuits préchargés
- **Schéma de principe d'une ROM CMOS**
- Schéma de principe d'une SRAM CMOS

# Définition fonctionnelle

Une ROM (Read Only Memory) est un composant combinatoire réalisant un décodeur, avec  $n$  bits d'entrée, et  $m$  bits de sortie.

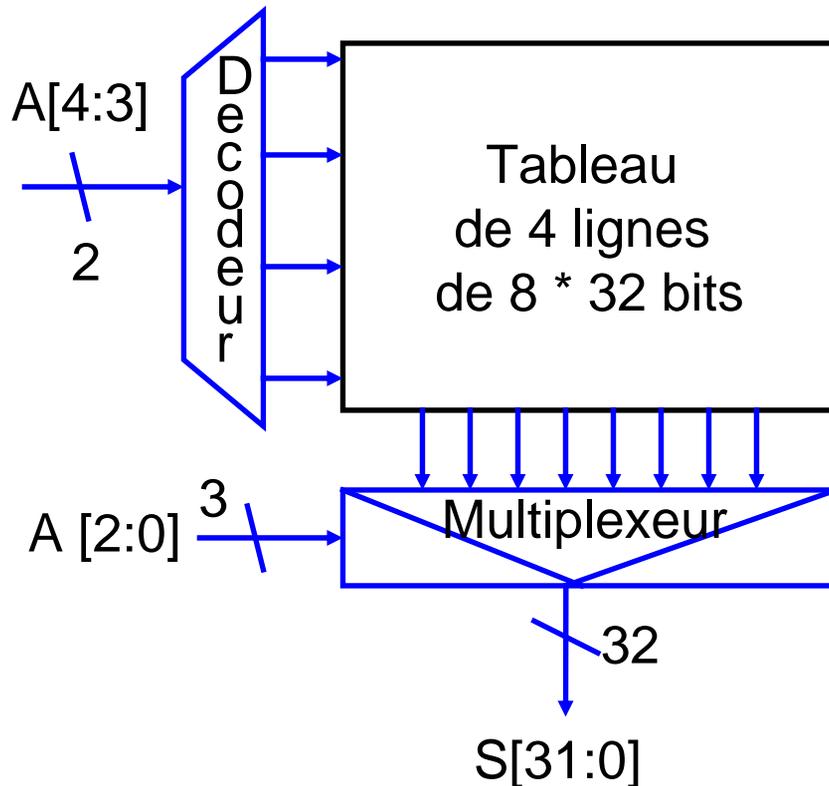


Ce décodeur est réalisé comme un tableau de  $2^n$  mots de  $m$  bits, adressé par les  $n$  bits  $A_i$

# Organisation interne

Pour avoir un facteur de forme « ajustable », on stocke plusieurs mots sur une seule ligne.

Exemple:  $n = 5$  (32 mots) /  $m = 32$  bits / 8 mots par ligne

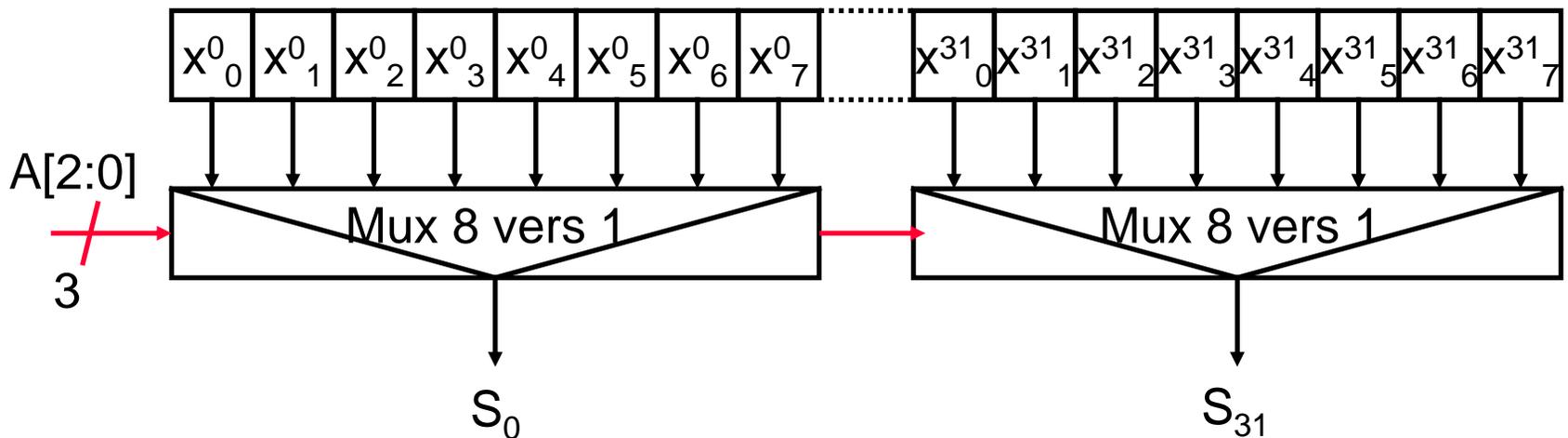


Une ROM comporte donc 3 composants :

- le « plan mémoire »
- le décodeur de ligne
- le multiplexeur de colonne

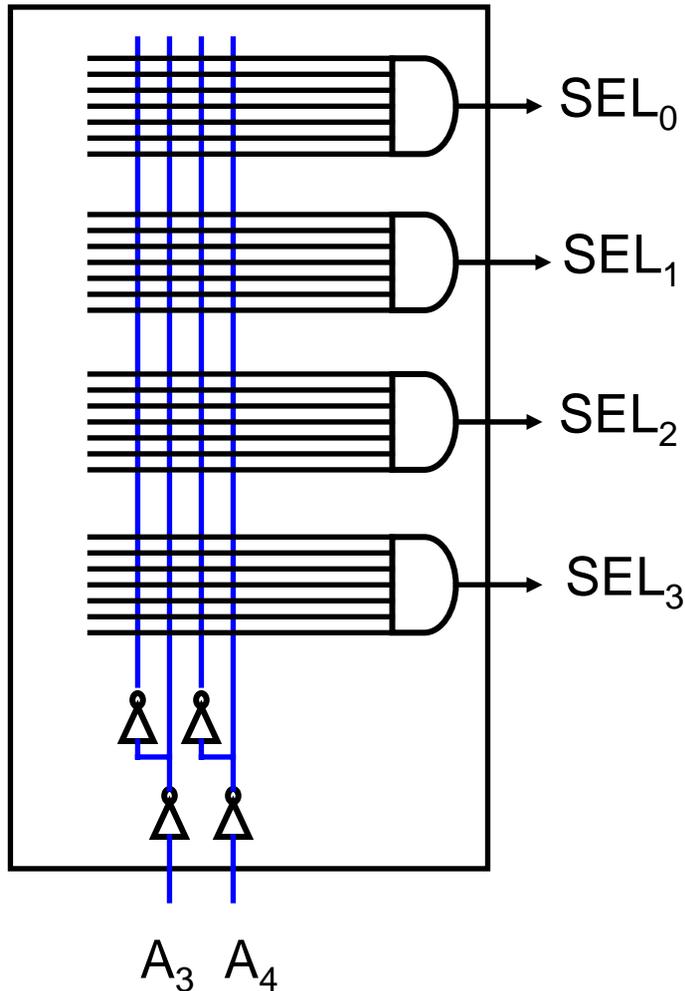
# Entrelacement des mots dans une ligne

Pour simplifier le multiplexeur de sortie, les mots d'une même ligne sont entrelacés : Les bits de même poids des 8 mots d'une même ligne sont voisins.



Dans  $x^i_j$ ,  $i$  est l'indice de bit et  $j$  est l'indice de mot

# Décodeur de ligne



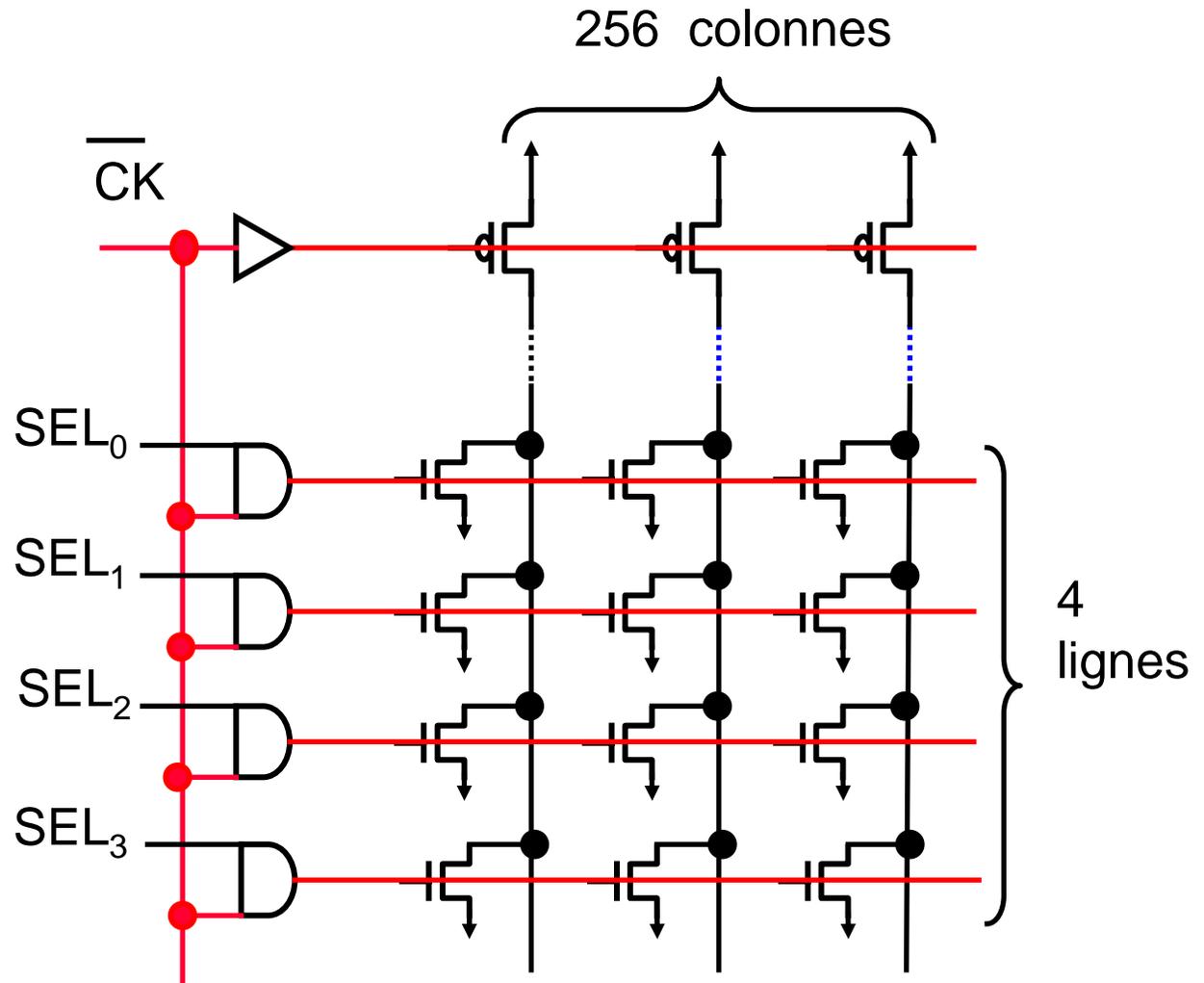
Le décodeur de ligne est un ensemble de 4 « AND » à 2 entrées, correspondant à chacune des 4 configurations des 2 bits d'adresse

# Le « plan mémoire »

Le plan mémoire est constitué de colonnes de bits.

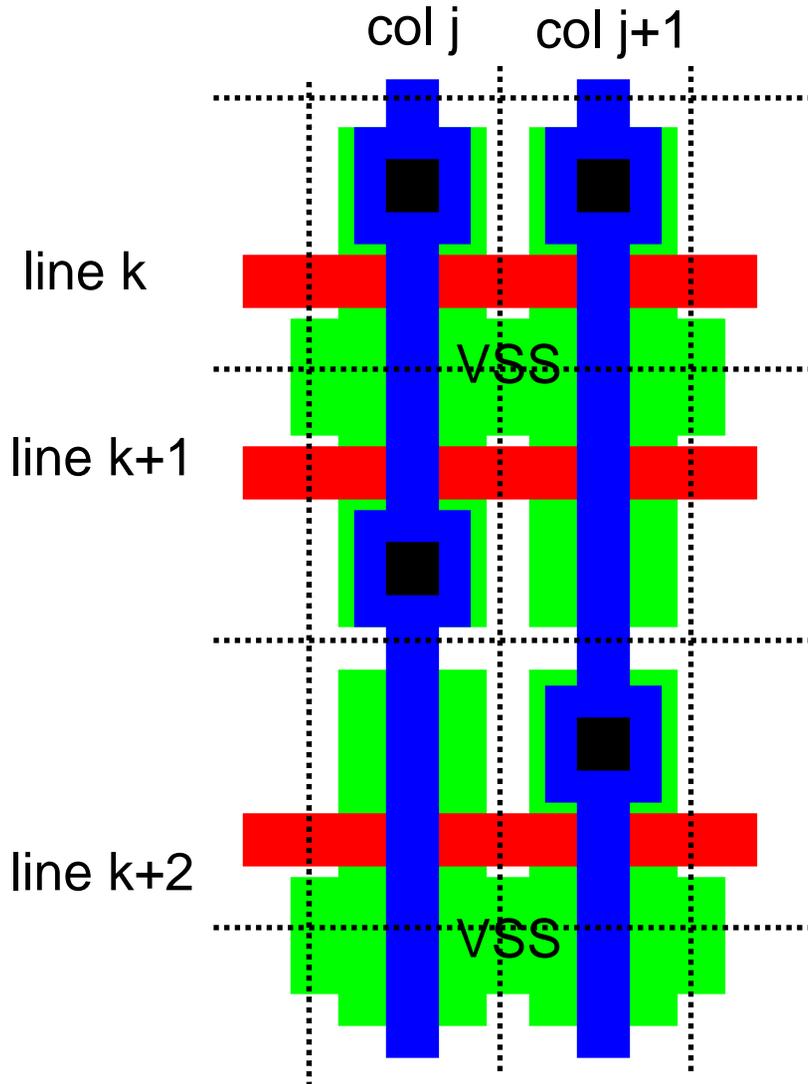
Chaque colonne correspond à un bus préchargé.

C'est la présence ou l'absence du transistor qui définit la valeur du point mémoire.





# Plan mémoire : codage « contact »

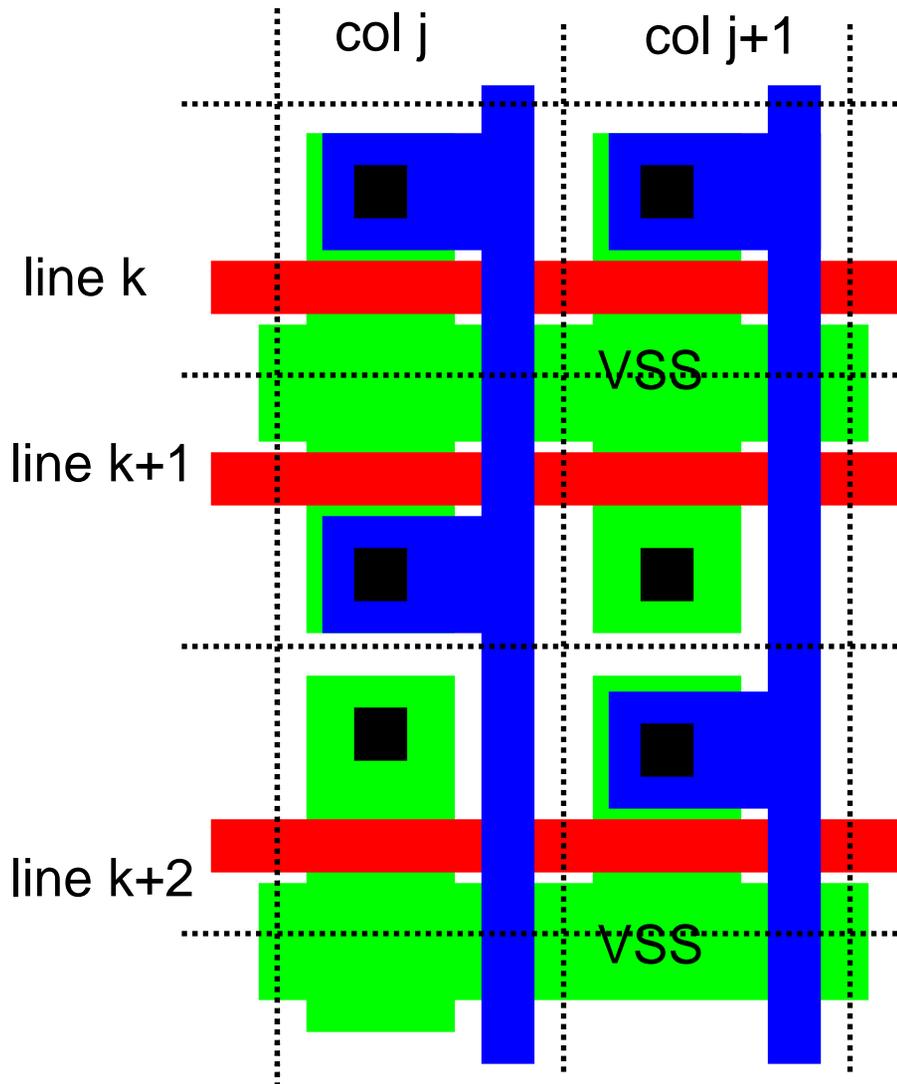


- Le motif de diffusion est constant sur tout le plan mémoire.
- C'est la présence d'un contact qui définit le codage.

Conséquences :

- 1/ Le point mémoire est plus gros :  $6 \lambda * 9 \lambda$
- 2/ La modification du codage impose de relancer la moitié des étapes de fabrication.

# Codage « metal »

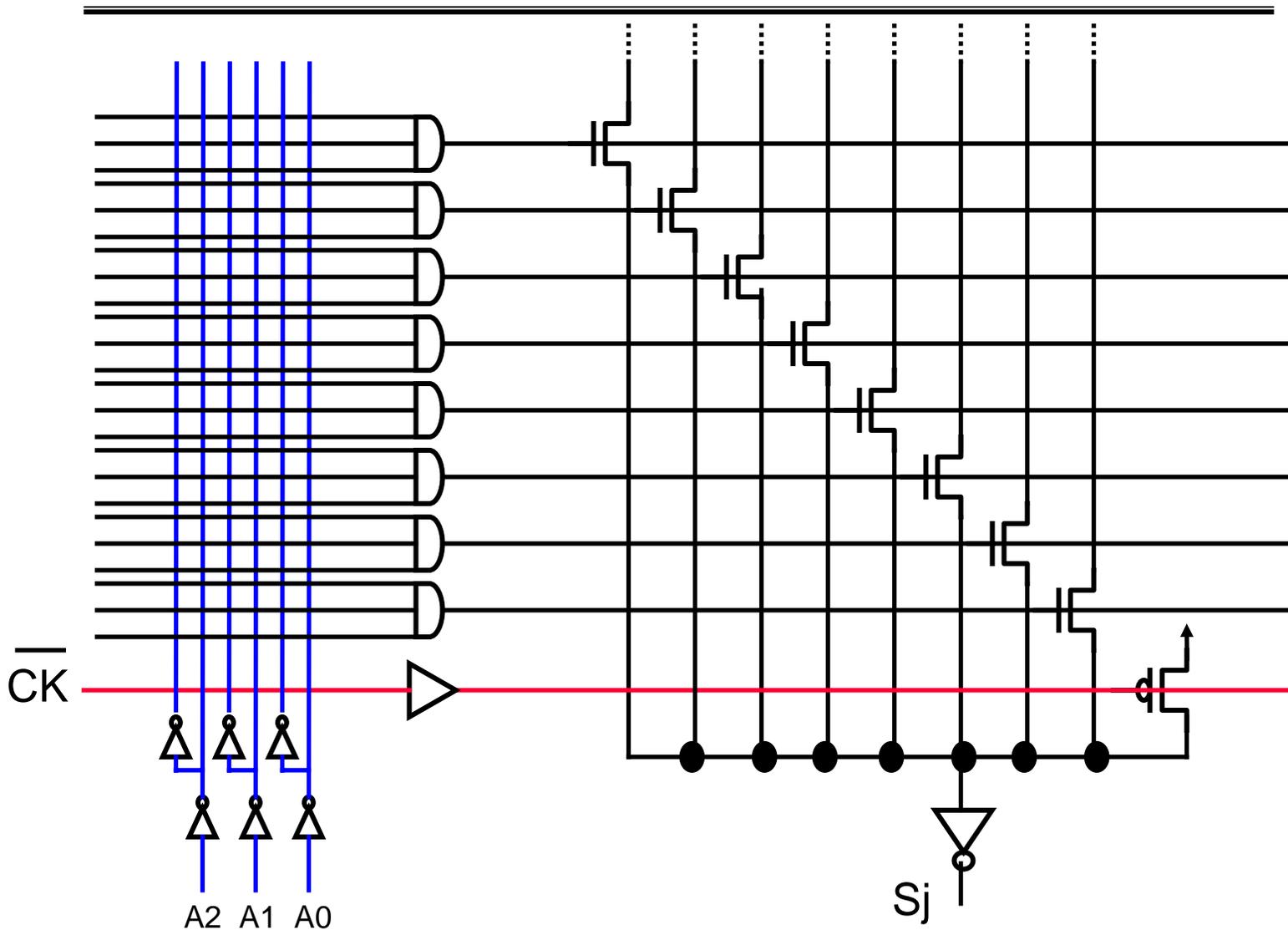


- Le motif de diffusion et les contacts sont constant sur tout le plan mémoire.
- C'est la présence d'un fil METAL qui définit le codage.

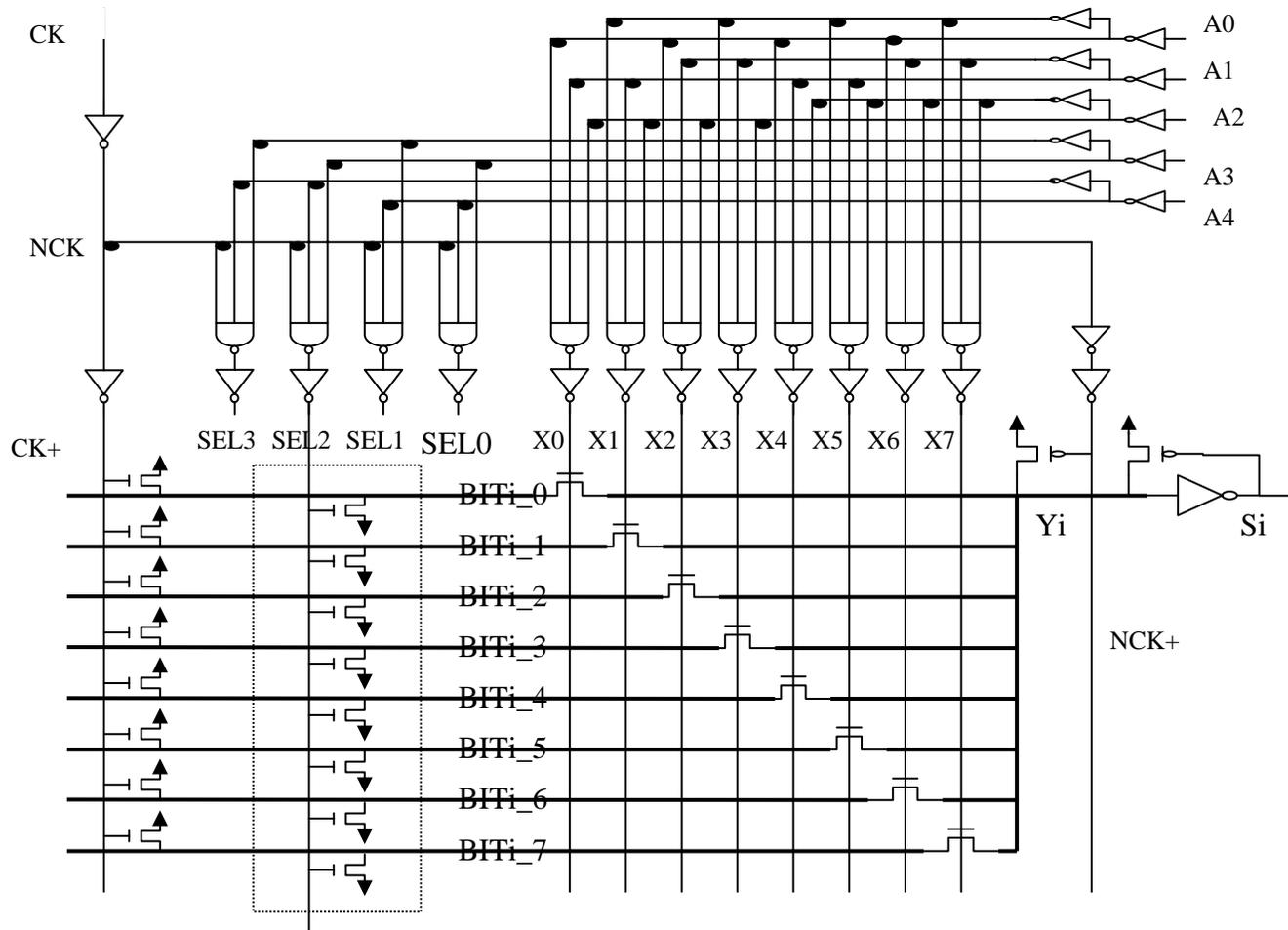
Conséquences :

- 1/ Le point mémoire est encore plus gros :  $9 \lambda * 9 \lambda$
- 2/ La modification du codage peut être tardive, ce qui réduit le « time to market ».

# Multiplexeur de colonne



# Schéma global de la ROM (rotation de 90°)



# Plan

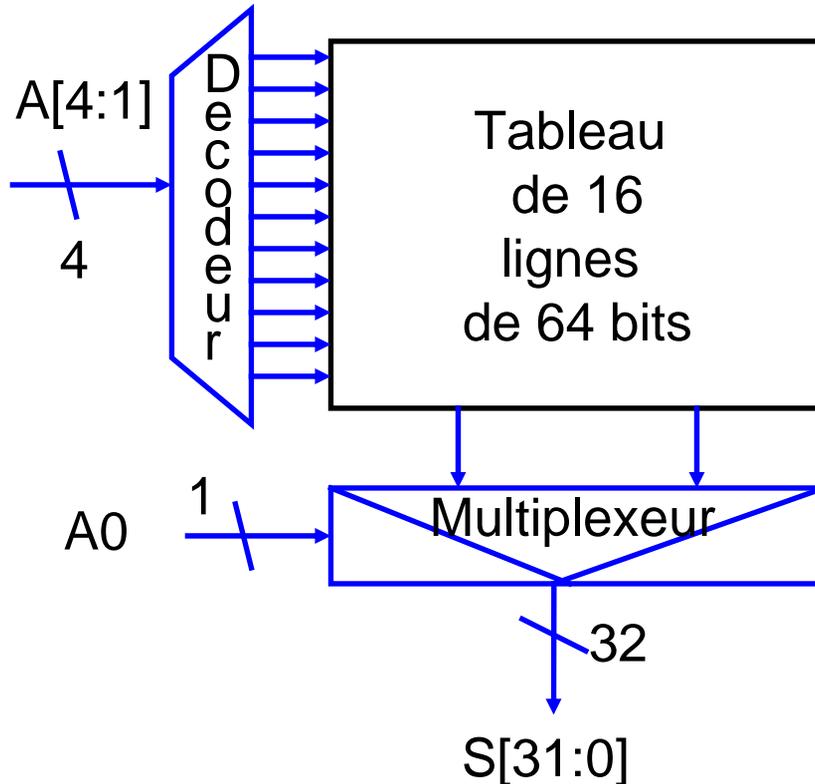
---

- Principe des circuits préchargés
- Les pièges des circuits préchargés
- Schéma de principe d'une ROM CMOS
- Schéma de principe d'une SRAM CMOS

# Organisation interne d'une SRAM

L'organisation générale d'une RAM statique (SRAM) est identique à celle d'une ROM.

Exemple:  $n = 5$  (32 mots) /  $m = 32$  bits / 2 mots par ligne



Une SRAM comporte donc également 3 parties :

- le « plan mémoire »
- le décodeur de ligne
- le multiplexeur de colonne

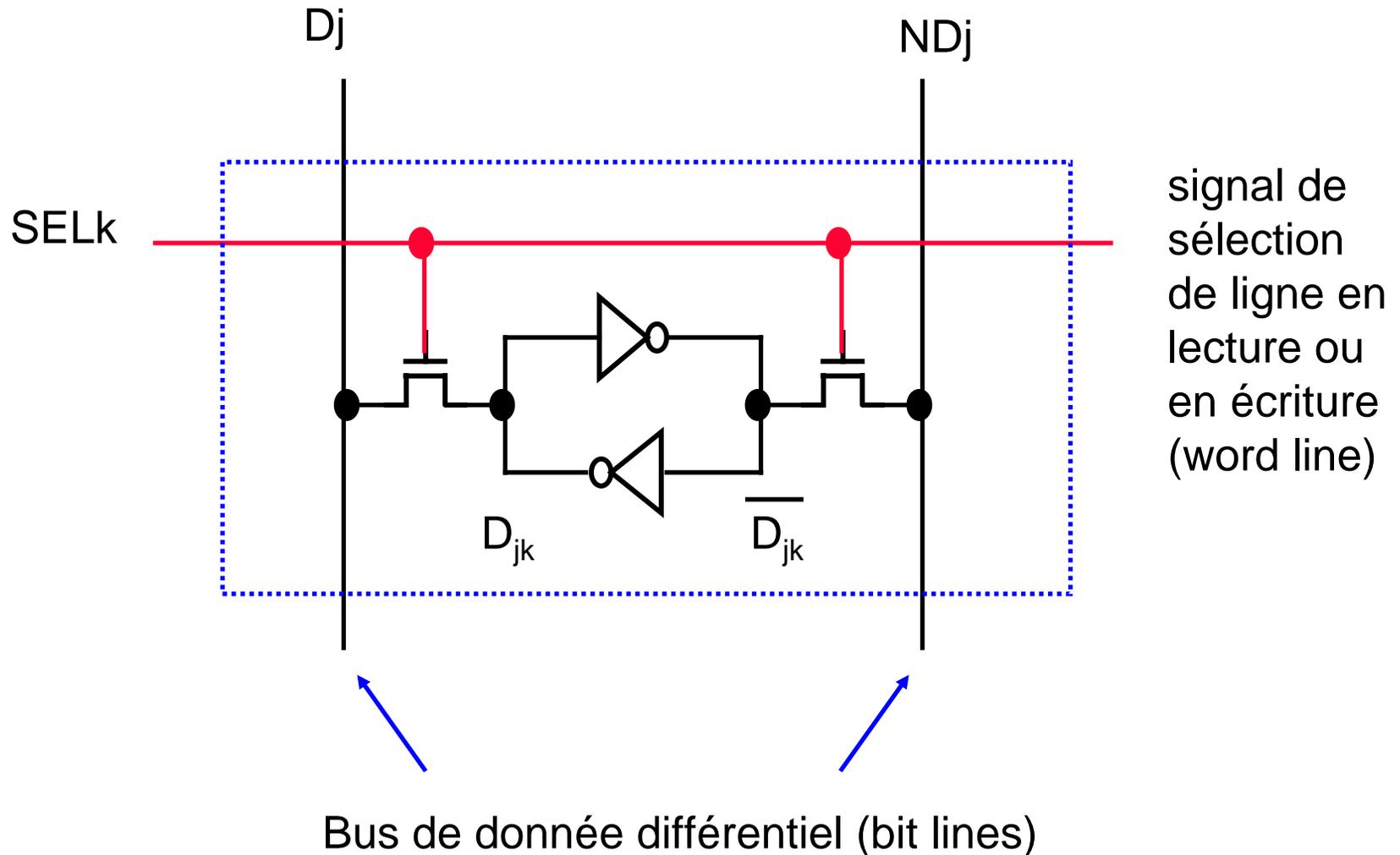
# Organisation interne d'une SRAM

---

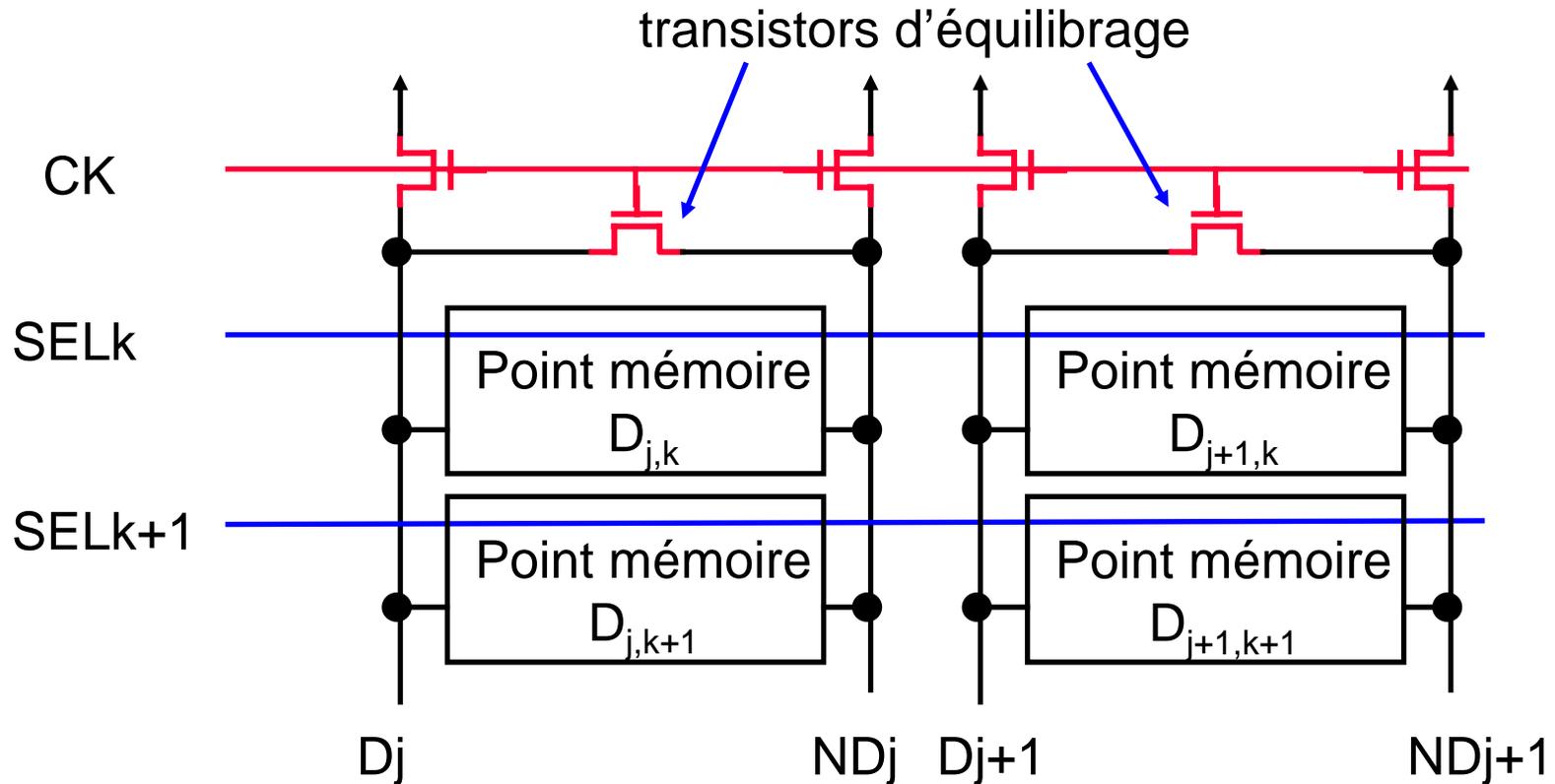
Un bit du plan mémoire est toujours sélectionné par la sélection d'une ligne (au moyen du décodeur de ligne) et par la sélection d'une colonne (au moyen du multiplexeur de colonne), mais ...

- 1) le point mémoire doit être inscriptible (comme un latch)  
Il comporte généralement 6 transistors.
- 2) le « multiplexeur » de colonne doit se comporter comme un démultiplexeur lors des écritures (comportement bidirectionnel)
- 3) Le « bus de lecture » doit également permettre l'écriture.  
Il est bidirectionnel et différentiel (2 fils par colonne de bit)  
On utilise un amplificateur différentiel (sense amplifier) pour la lecture.

# Point mémoire 6 transistors

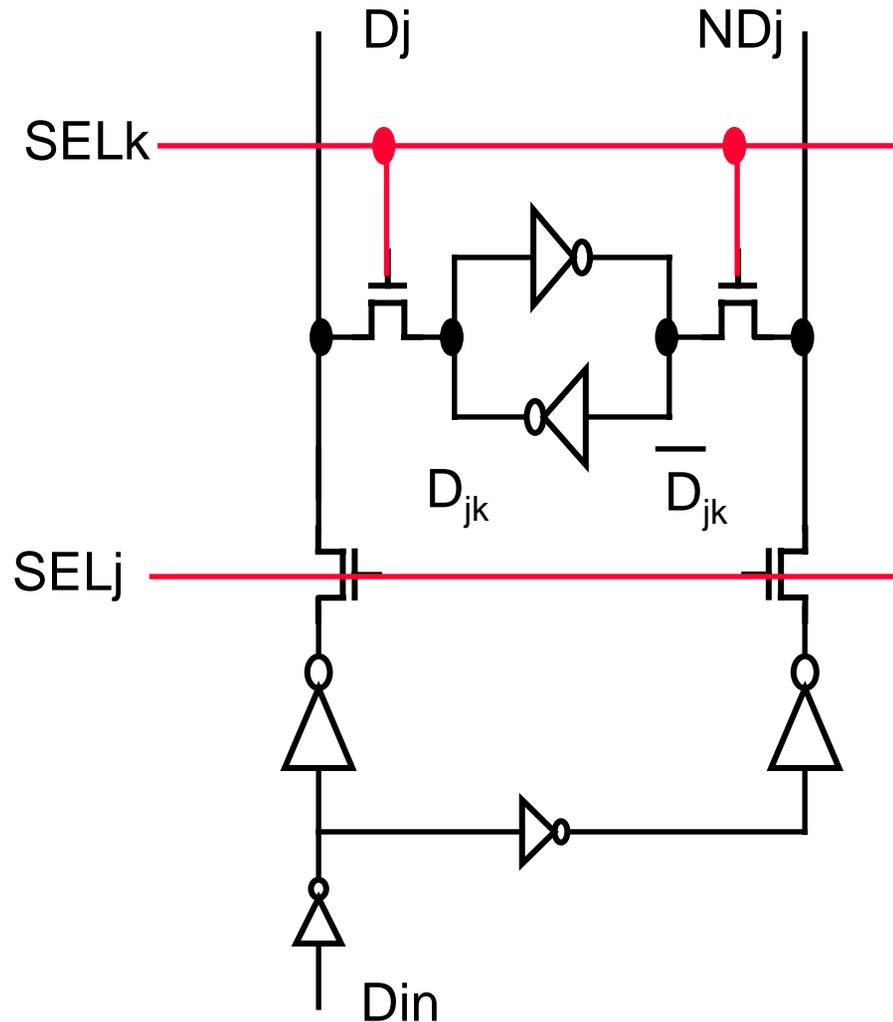


# Bus différentiel préchargé



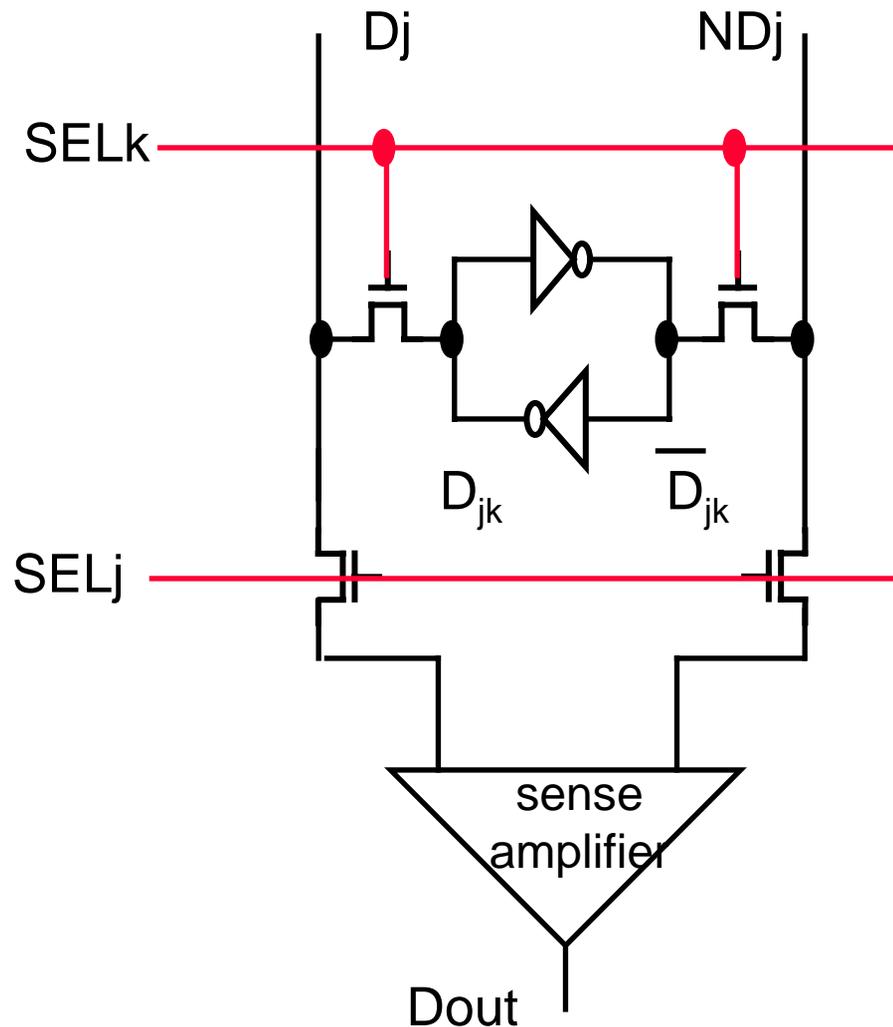
Les deux nœuds  $D_j$  et  $ND_j$  sont préchargés à  $VDD - V_t$

# Ecriture



On utilise une technique d'écriture « à conflit » : Durant la phase d'évaluation, un des 2 signaux  $D_j$  ou  $ND_j$  est déchargé par l'inverseur d'écriture. Les transistors P du point mémoire doivent être suffisamment résistifs pour garantir le basculement de la boucle de mémorisation. (les signaux  $SEL_k$  et  $SEL_j$  sont conditionnés par CK)

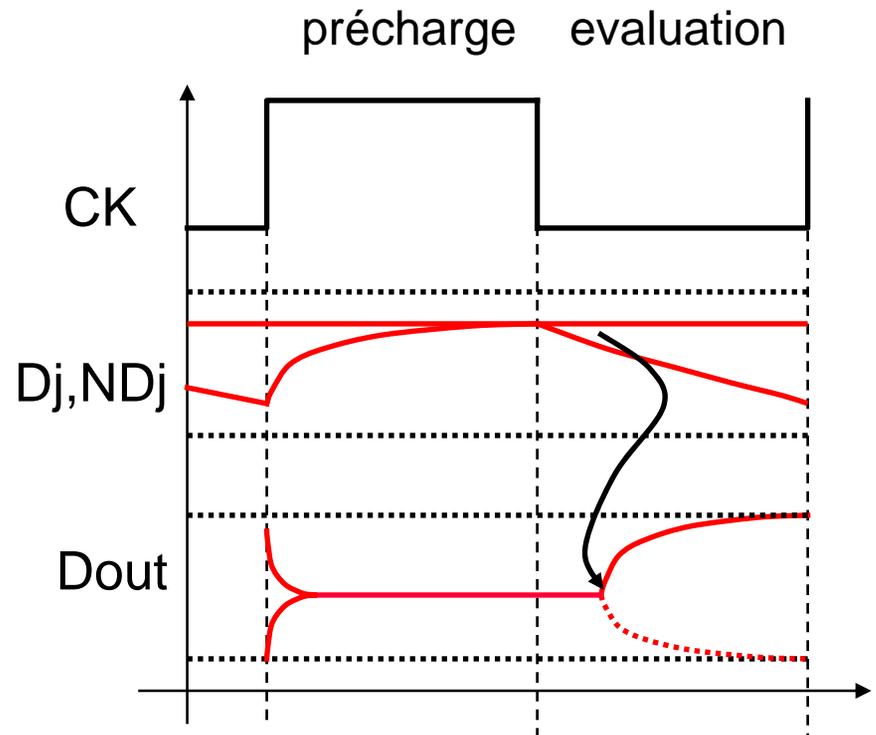
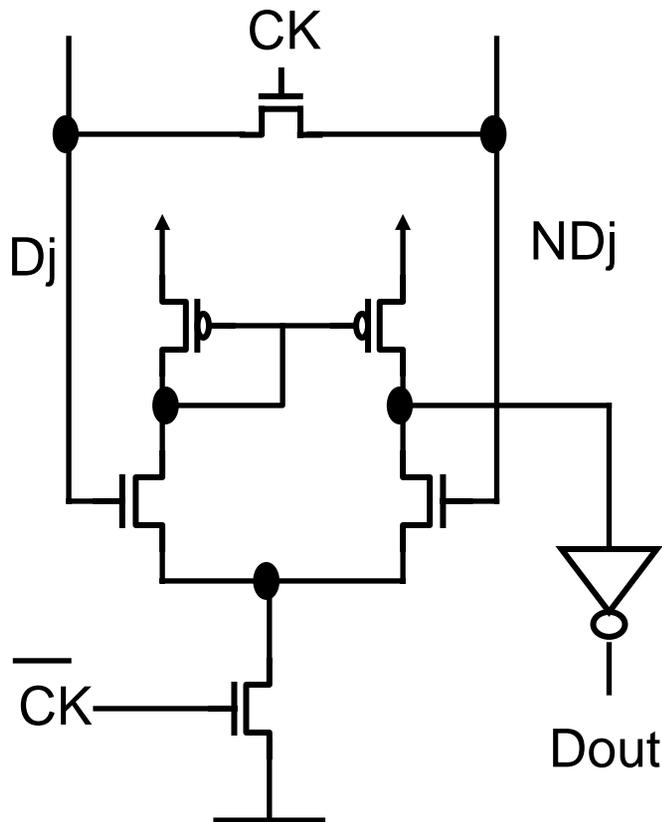
# Lecture



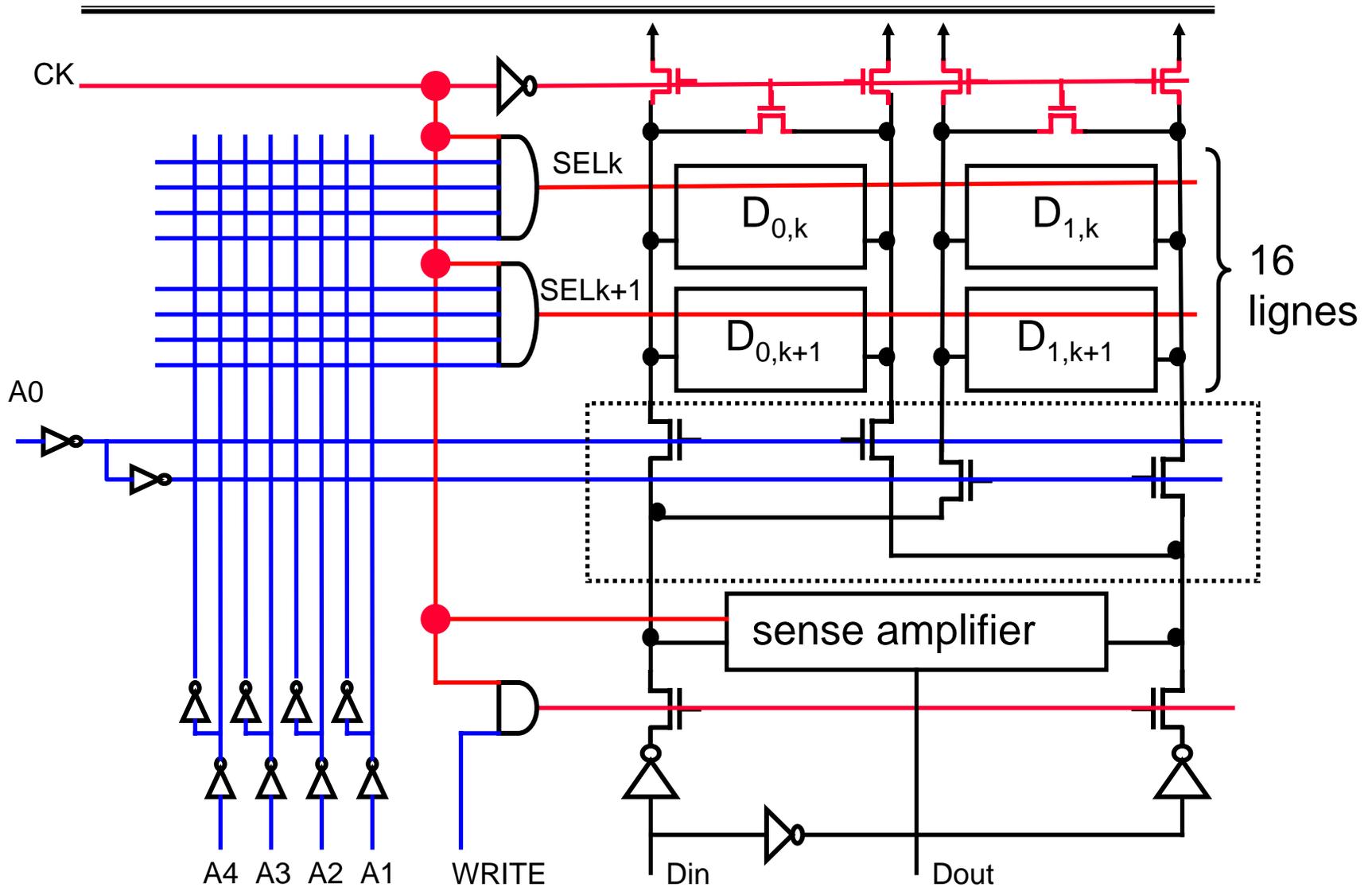
On utilise un amplificateur différentiel (situé en aval du multiplexeur/démultiplexeur de colonne). Pendant la phase d'évaluation, le point mémoire sélectionné par  $SEL_k$  crée une dissymétrie suffisante pour introduire une différence de tension entre les signaux  $D_j$  et  $ND_j$ . Ce DV est détecté et amplifié par l'amplificateur différentiel.

# Amplificateur différentiel

On cherche à détecter une - faible - différence de tension entre les signaux  $D_j$  et  $ND_j$ .



# Schéma global SRAM



# Conclusion

---

En pratique, la circuiterie préchargée est utilisée dans 2 contextes:

1/ réalisation de **fonctions logiques distribuées** :

- « **Ou câblé** » entre plusieurs sous-systèmes.
- « **Bus multi-émetteur** » entre plusieurs sous-systèmes.

2/ réalisation de **macro-composants** optimisés tels que bancs de registres, **RAMs ou ROMs**, contenant des bus de lectures multi-émetteurs.

Les signaux préchargés étant « internes », le schéma et la topologie (dessin des masques) étant parfaitement figés, il est possible de contrôler le bruit, et de garantir le respect contraintes temporelles...