

# Modélisation et contrôle du bruit dans les circuits intégrés numériques

version 1.0

# Plan

---

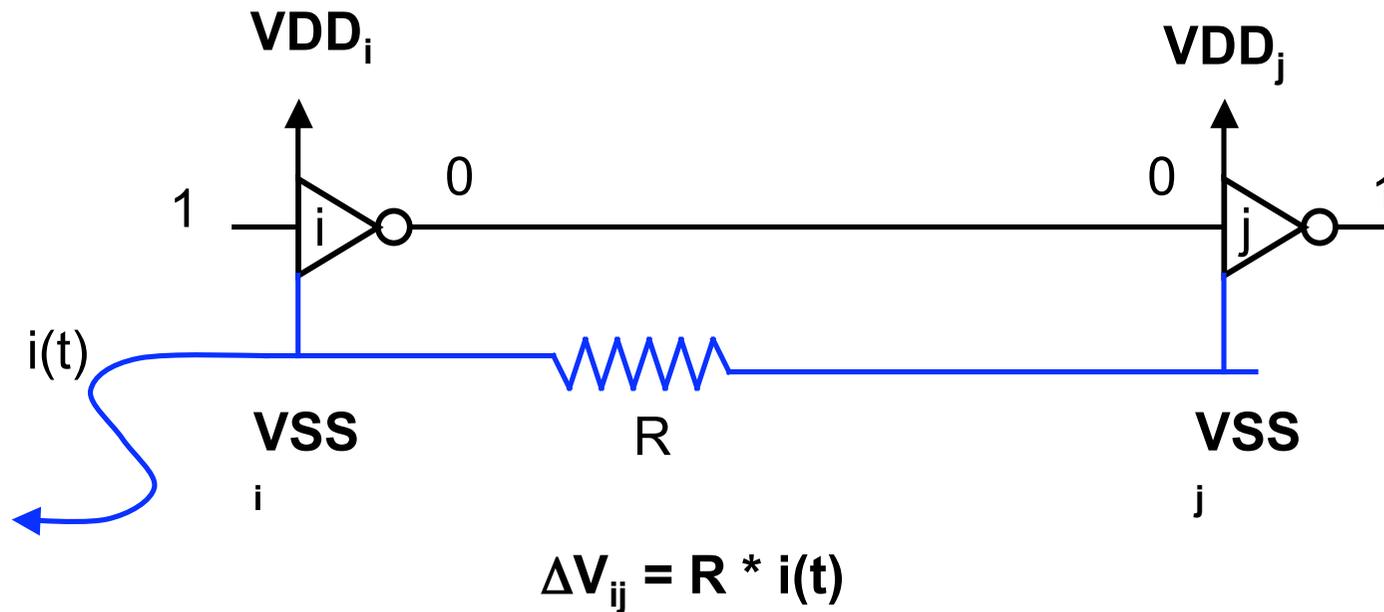
- **Définition et principales sources de bruit**
- **Les conséquences du bruit**
- **Filtrage du bruit par les portes CLOS dual**
- **Les dangers des portes logiques non duales**

# Définition

---

- On appelle « bruit » tout écart de la valeur d'un signal binaire par rapport à sa valeur nominale (VDD ou VSS)
- Il est généralement difficile de déterminer le signe de cet écart, et on cherche donc à borner sa valeur absolue.
- Dans les circuits numériques, les principales sources de bruit sont :
  - le bruit d'alimentation,
  - le bruit de diaphonie,
  - le bruit de rayonnement alpha.

## Bruit d'alimentation (1)



Ce bruit est dû à la résistance intrinsèque du réseau de distribution d'alimentation

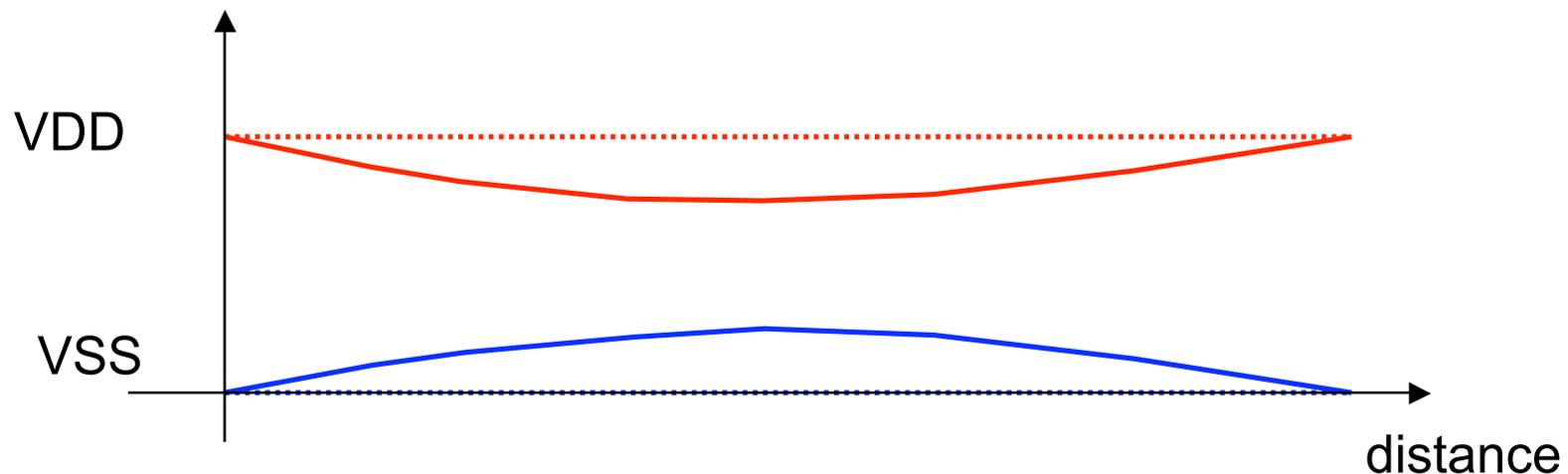
## Bruit d'alimentation (2)



Réseau maillé de distribution VDD



Réseau maillé de distribution VSS

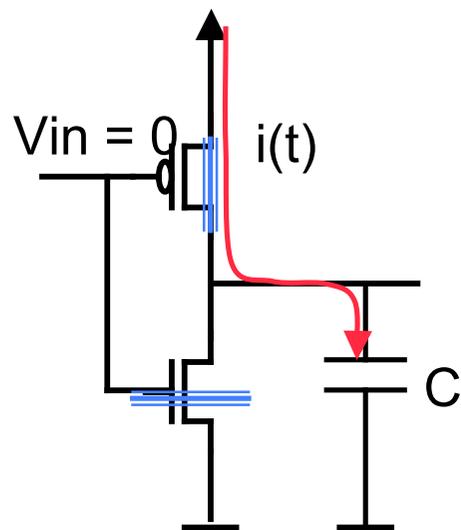


Les plots d'alimentation étant généralement situés à la périphérie, les portes situées au centre du circuit sont les plus mal alimentées.

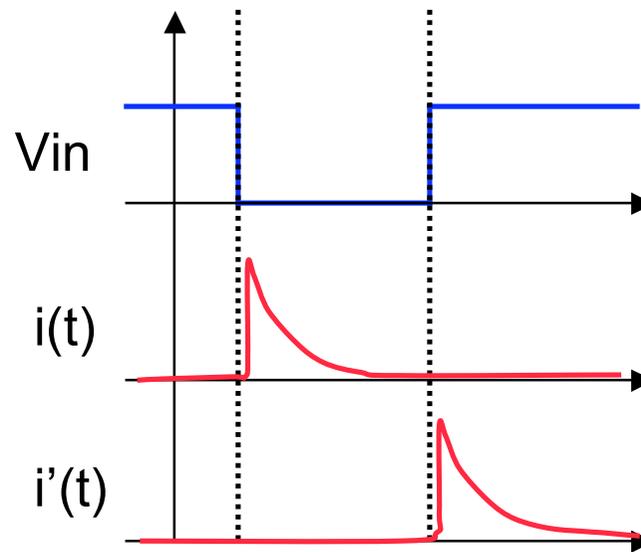
# Les courants dans les alimentations

L'essentiel de la consommation d'énergie dans les circuits numériques CMOS est la consommation « dynamique », liée à la charge et à la décharge des capacités.

Charge

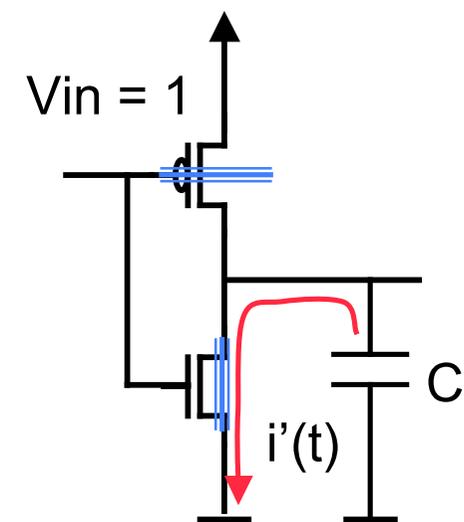


courant sur VDD



$$Q = C (VDD - VSS)$$

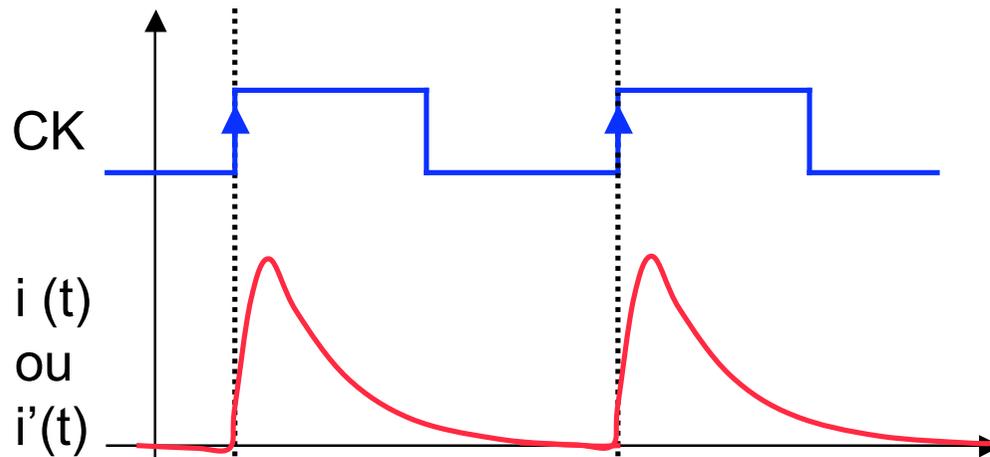
Décharge



courant sur VSS

# Contrôle du bruit d'alimentation

Dans les circuits synchrones, le courant dans les réseaux d'alimentation VDD et VSS n'est pas constant, et le bruit d'alimentation est fortement corrélé au signal CK :

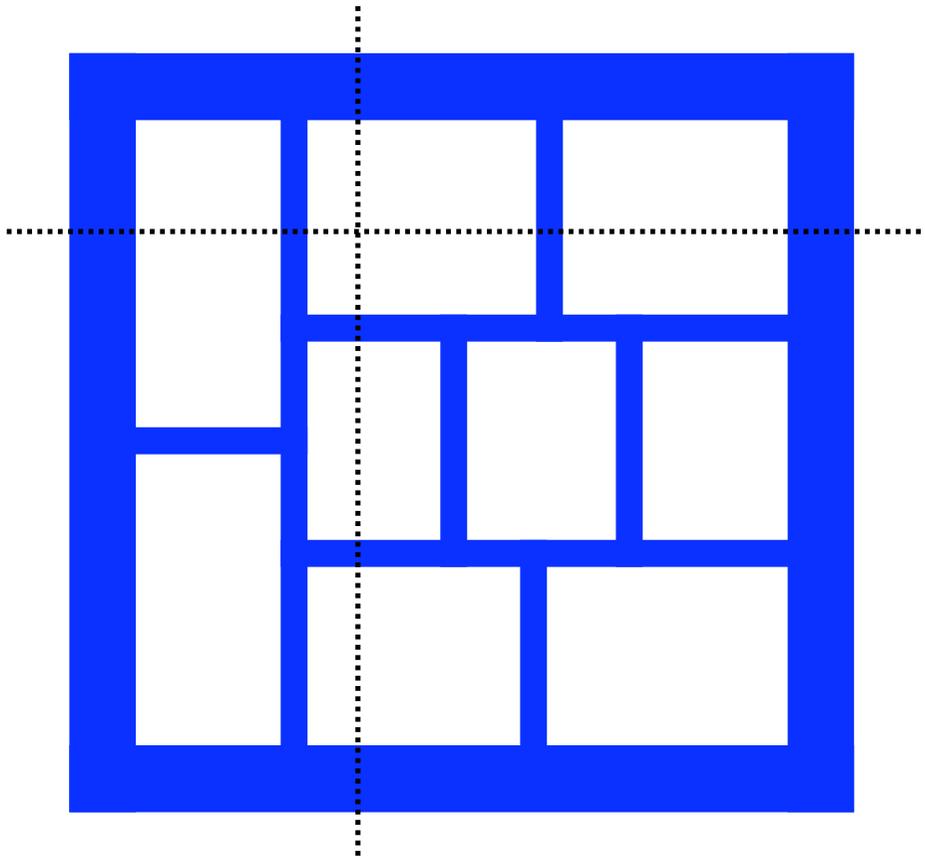


⇒ Ceci pousse au développement de circuits possédant plusieurs domaines synchrones, pour répartir les appels de courant dans le temps : c'est le paradigme GALS (Globalement Asynchrone / Localement Synchrones)

# Contrôle du bruit d'alimentation

---

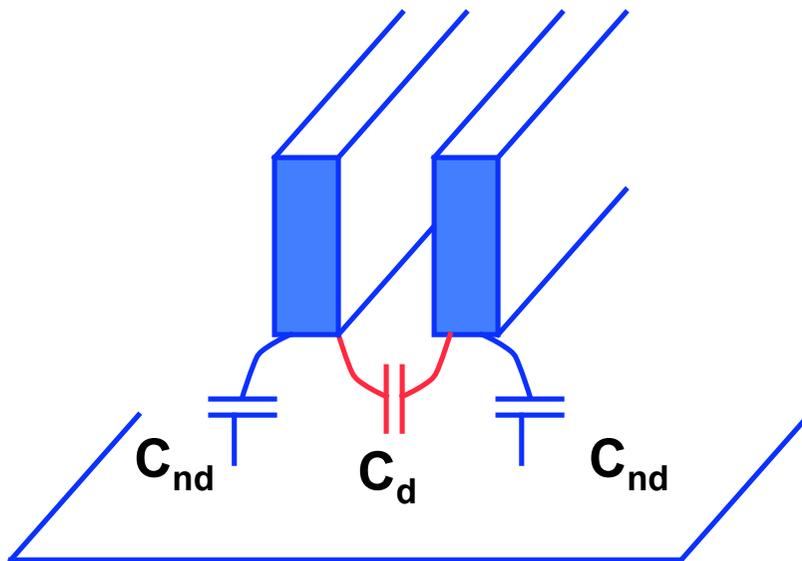
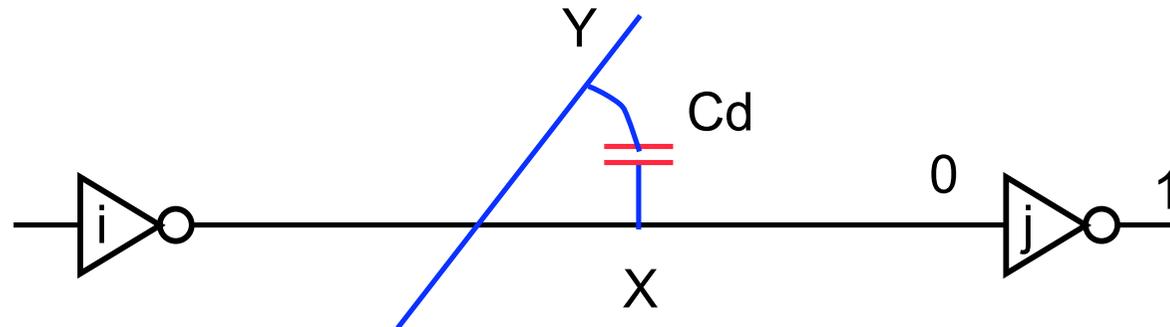
Il faut minimiser la résistance des réseaux maillés de distribution des alimentations VDD et VSS.



$$R = \rho * L / W$$

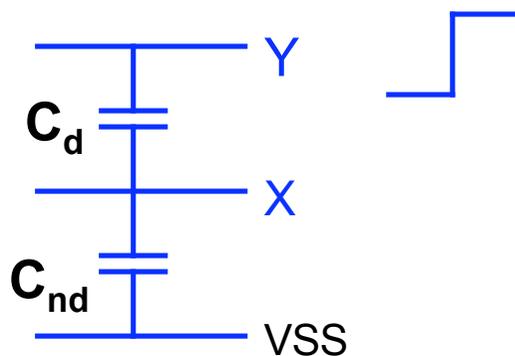
Règle : la largeur cumulée des fils suivant n'importe quelle section (horizontale ou verticale) doit être supérieure à une valeur minimale prédéfinie.

## Bruit de diaphonie (cross-talk)

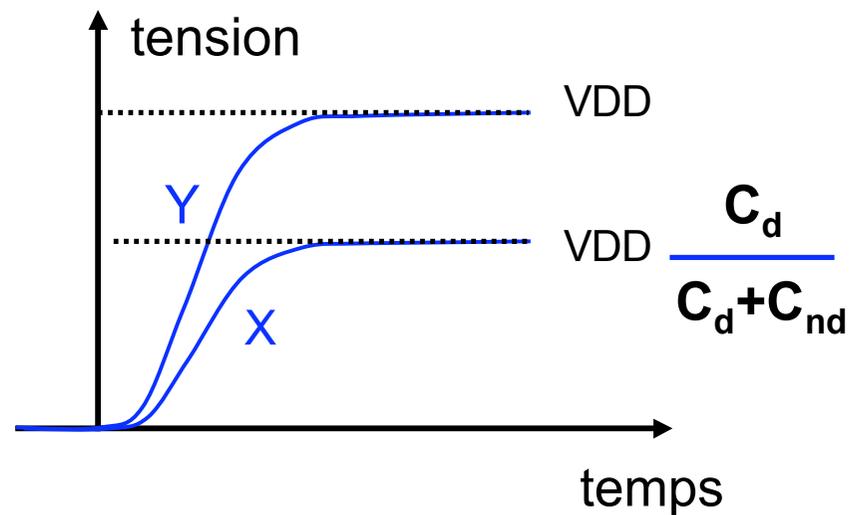


Ce bruit est dû aux capacités de couplage entre fils voisins : Une variation de tension sur Y va induire une perturbation sur X.

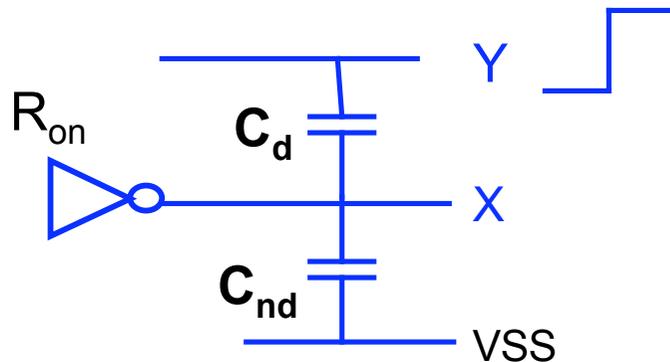
## Diaphonie : évaluation de l'amplitude du bruit



Le nœud Y (agresseur) effectue une transition entre VSS et VDD. Si le nœud X (victime) est isolé, la tension finale du nœud X est définie par la formule du pont capacitif.



## Diaphonie : évaluation de l'amplitude du bruit

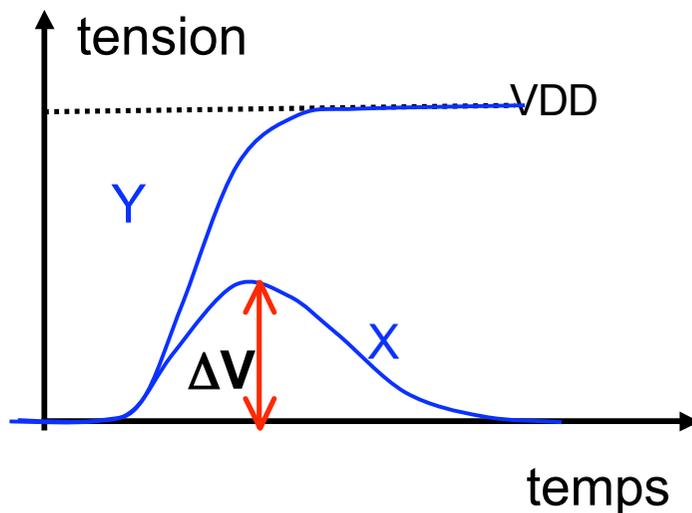


Si le nœud X (victime) est piloté par une porte fournissant un courant, l'amplitude du pic de bruit  $\Delta V$  est

- proportionnelle au rapport des capacités

- inversement proportionnelle à la puissance de la porte  $1 / R_{on}$

- inversement proportionnelle à la durée de l'agression  $\tau$

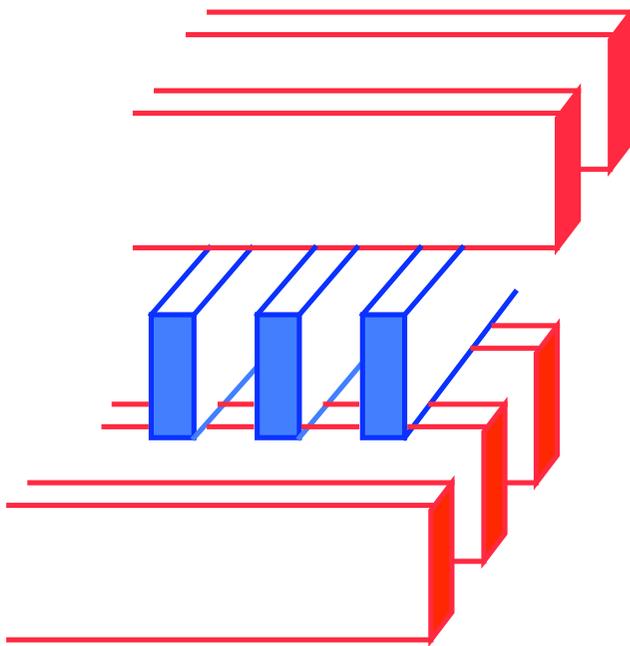


$$\Delta v \propto \frac{1}{R_{on}} \frac{1}{\tau} \frac{C_d}{C_d + C_{nd}}$$

# Contrôle du bruit de diaphonie

---

Dans les procédés de fabrication « fortement submicroniques », il peut y avoir une dizaine de niveaux d'interconnexion métalliques.  
=> Les capacités de couplage sont largement dominantes par rapport aux capacités à la masse.



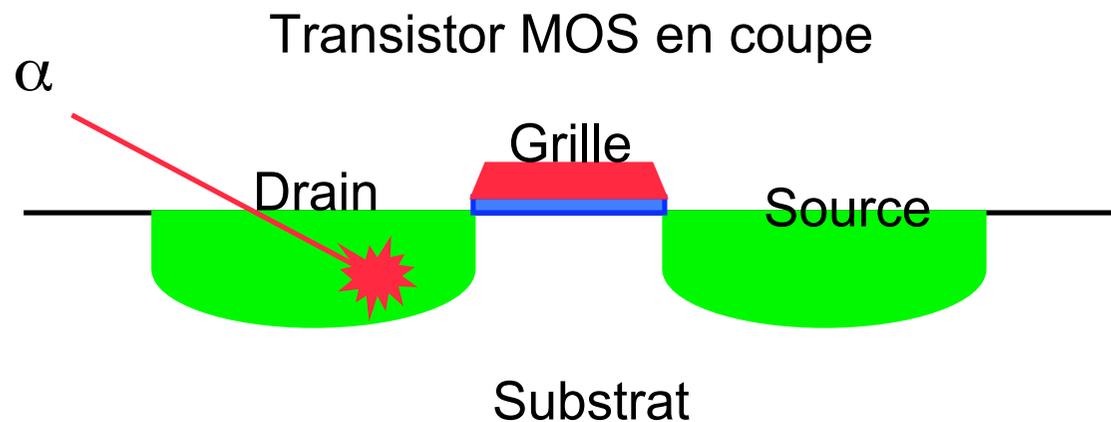
Pour minimiser la diaphonie, il faut :

- identifier les signaux susceptibles d'être perturbés, et augmenter la puissance des portes émettrices.
- éviter les longs fils parallèles dans la même couche métallique.

# Bruit de particule alpha

Les particules  $\alpha$  (noyaux d'Helium) sont émises par les métaux lourds radioactifs, avec une énergie cinétique de l'ordre de 6 MeV. Ces métaux lourds sont présents à l'état de trace dans le plomb utilisé pour les soudures.

Lorsqu'une particule  $\alpha$  est arrêtée dans le silicium, l'énergie cinétique est transformée en énergie d'ionisation, et les électrons libérés sont collectés sur les drains des transistors.



# Contrôle du bruit de particule alpha

---

Une particule  $\alpha$  libère en moyenne 1 million d'électrons.

⇒ Ceci induit une chute de potentiel :  $\Delta V = Q / C$

Les nœuds électriques isolés sont particulièrement sensibles (par exemple les points mémoire des RAM dynamiques, où l'information est une charge stockée sur une capacité...)

Pour une capacité de 0.4 pF,

$$\Delta V = 1.6 \cdot 10^{-19} \cdot 10^6 / 0.4 \cdot 10^{-12} = 400 \text{ mV}$$

Conséquence : Les nœuds électriques

# Plan

---

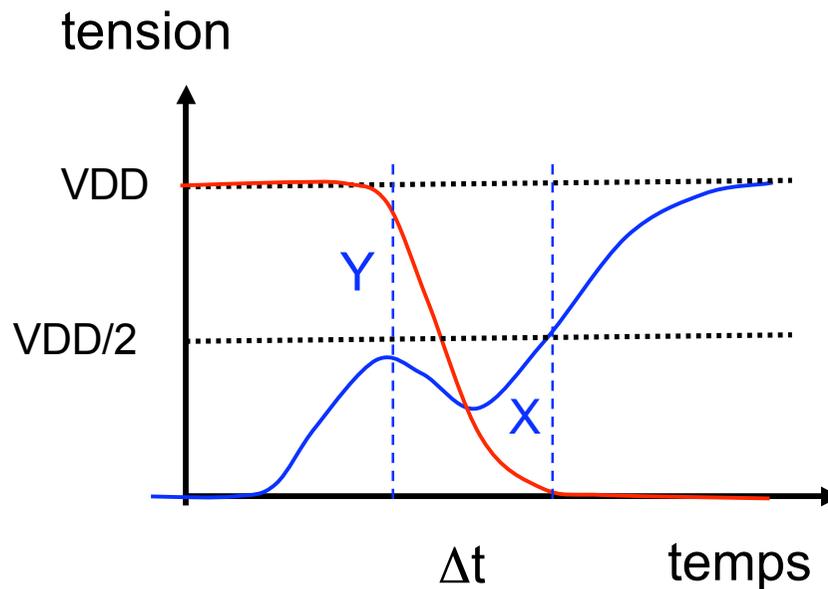
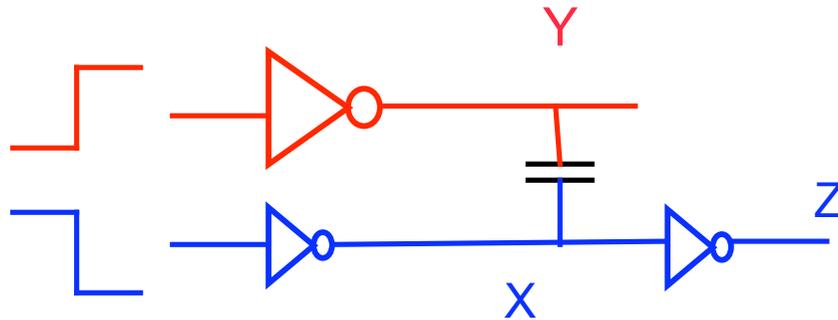
- Définition et principales sources de bruit
- **Les conséquences du bruit**
- Filtrage du bruit par les portes CMOS dual
- Les dangers des portes logiques non duales

# Les conséquences du bruit

---

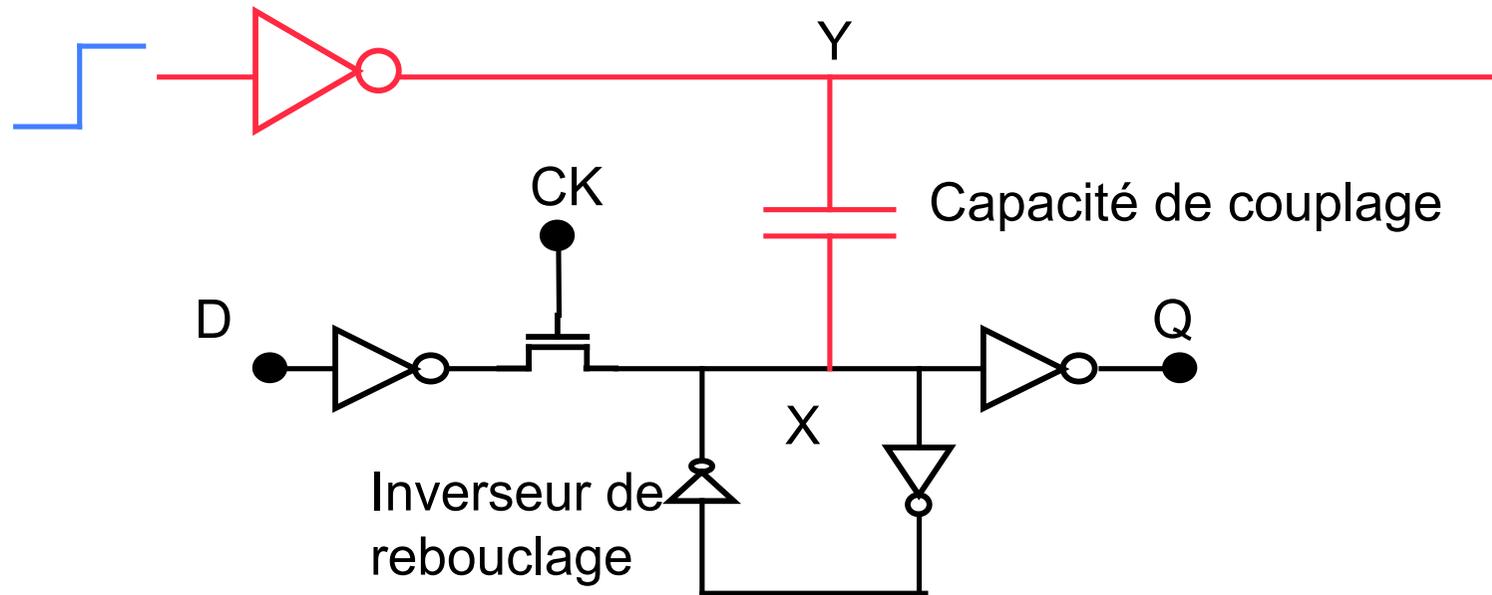
- **Le principal effet du bruit dans les circuits intégrés numériques est de modifier les temps de propagation des signaux.**
- **Dans le cas des éléments mémorisants, le bruit peut modifier la valeur mémorisée.**
- **Le bruit peut déclencher le latchup.**

# Modification des temps de propagation



Les signaux X et Y commutent en sens opposés. Le signal agresseur Y possède un émetteur très puissant, et n'est pratiquement pas perturbé par la transition de X. Le signal victime X a un temps de commutation augmenté de  $\Delta t$ , qui augmente d'autant le temps de propagation entre X et Z.

## Basculement involontaire d'un latch



Le latch ci-dessus est un latch « à conflit », ce qui implique que l'inverseur de rebouclage est très peu puissant.

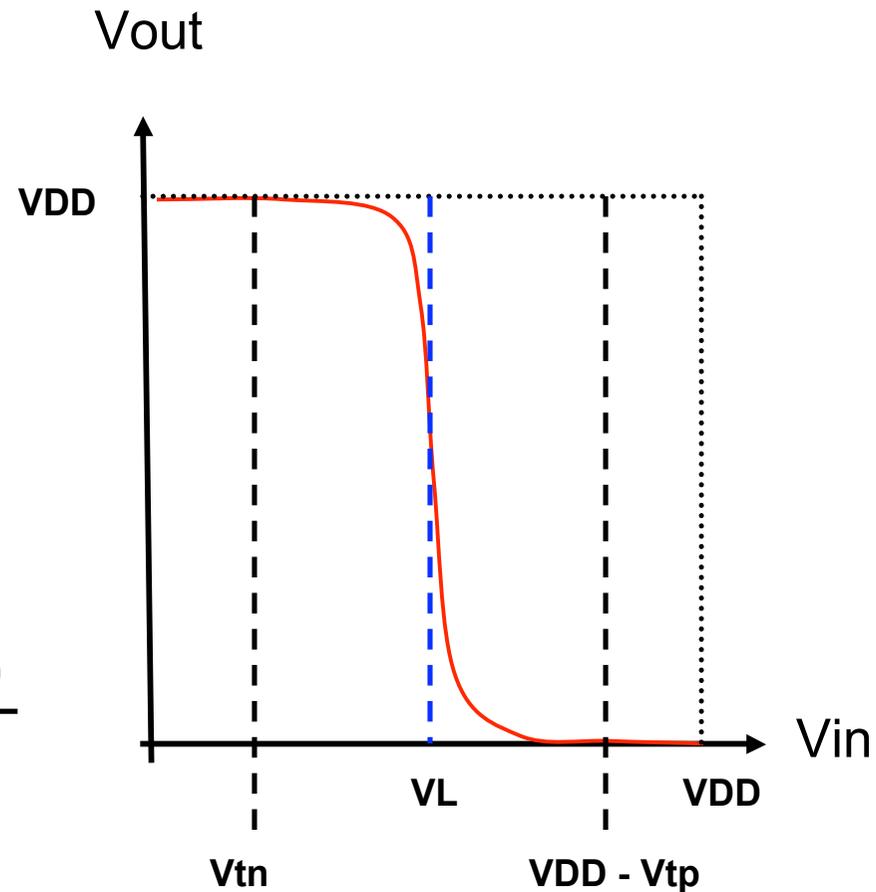
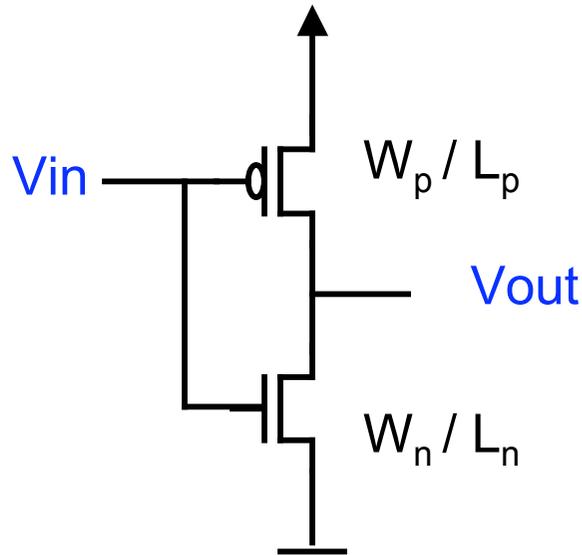
Si le signal Y est un fil de routage qui passe au-dessus du point mémorisant, la capacité de couplage entre Y et X peut faire basculer le point mémoire.

# Plan

---

- Définition et principales sources de bruit
- Les conséquences du bruit
- **Filtrage du bruit par les portes CMOS dual**
- Les dangers des portes logiques non duales

# Courbe de transfert de l'inverseur CMOS



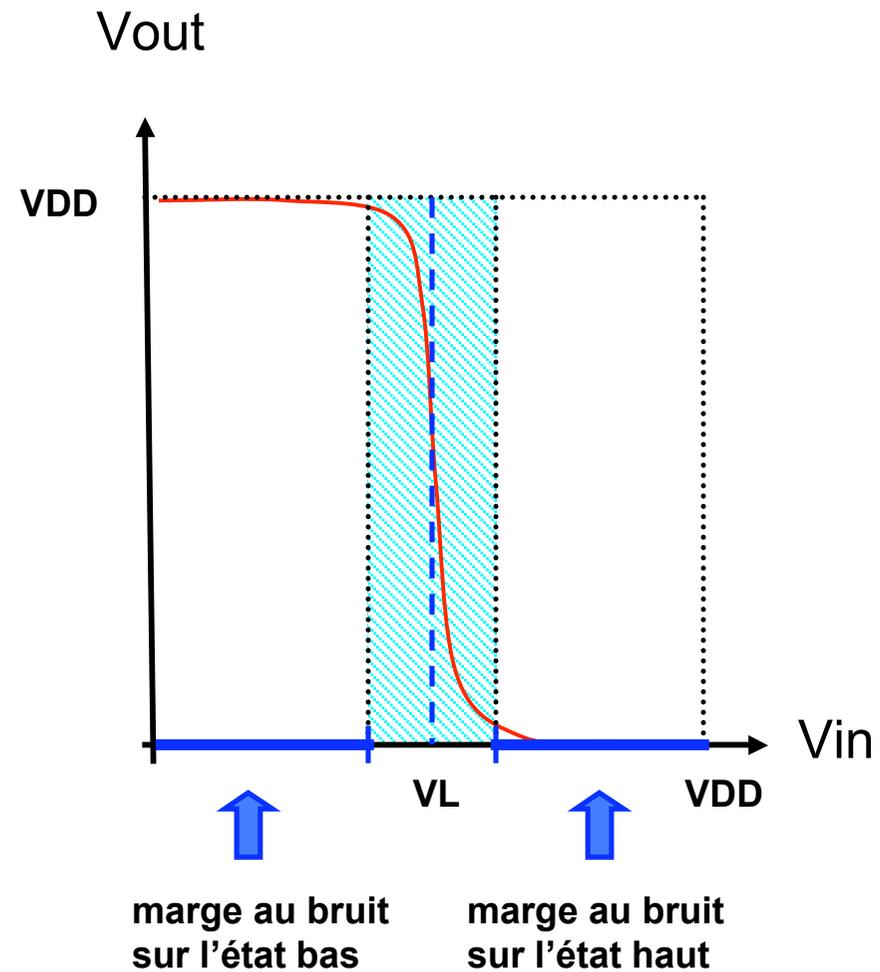
$$V_L = \frac{V_{tn} + \sqrt{\beta} (V_{DD} - V_{tp})}{1 + \sqrt{\beta}}$$

$$\text{avec } \beta = \frac{R_{N_{on}}}{R_{P_{on}}} = \frac{\mu_p}{\mu_n} \frac{W_p}{W_n} \frac{L_n}{L_p}$$

# Marge au bruit

La caractéristique **non-linéaire** de l'inverseur CMOS permet de « filtrer » le bruit.

La « marge au bruit » est le bruit maximal admissible sur l'entrée de l'inverseur

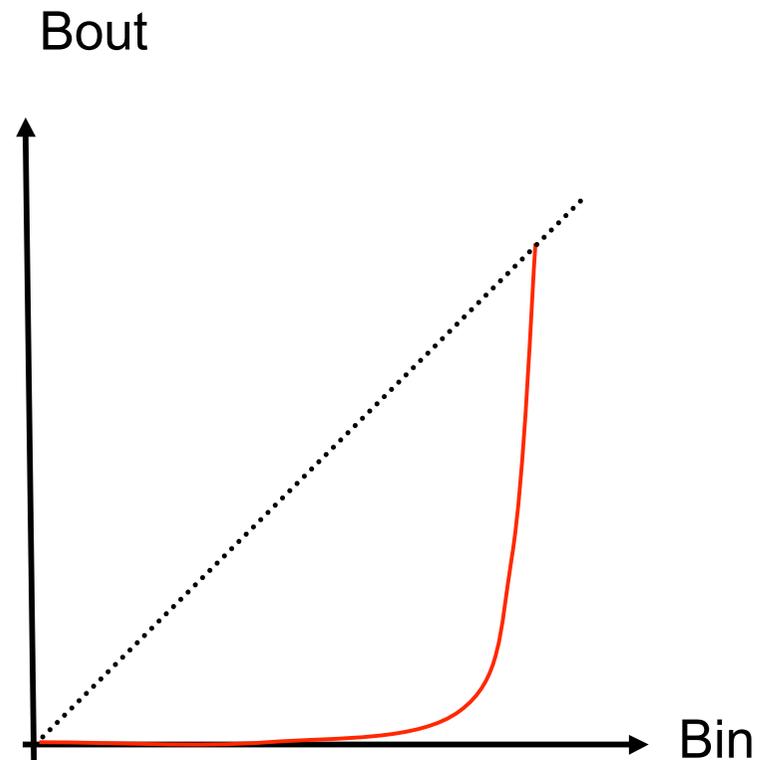


# Filtrage du bruit

---

Tant que le bruit sur l'entrée (Bin) est inférieur à la marge au bruit, le bruit en sortie (Bout) est fortement réduit.

C'est la caractéristique non linéaire des portes logiques CMOS dual qui explique l'étonnante robustesse des circuits numériques !!!



# Inverseur “équilibré”

Un inverseur est **équilibré** lorsque les marges au bruit sur l'état haut et sur l'état bas sont égales :

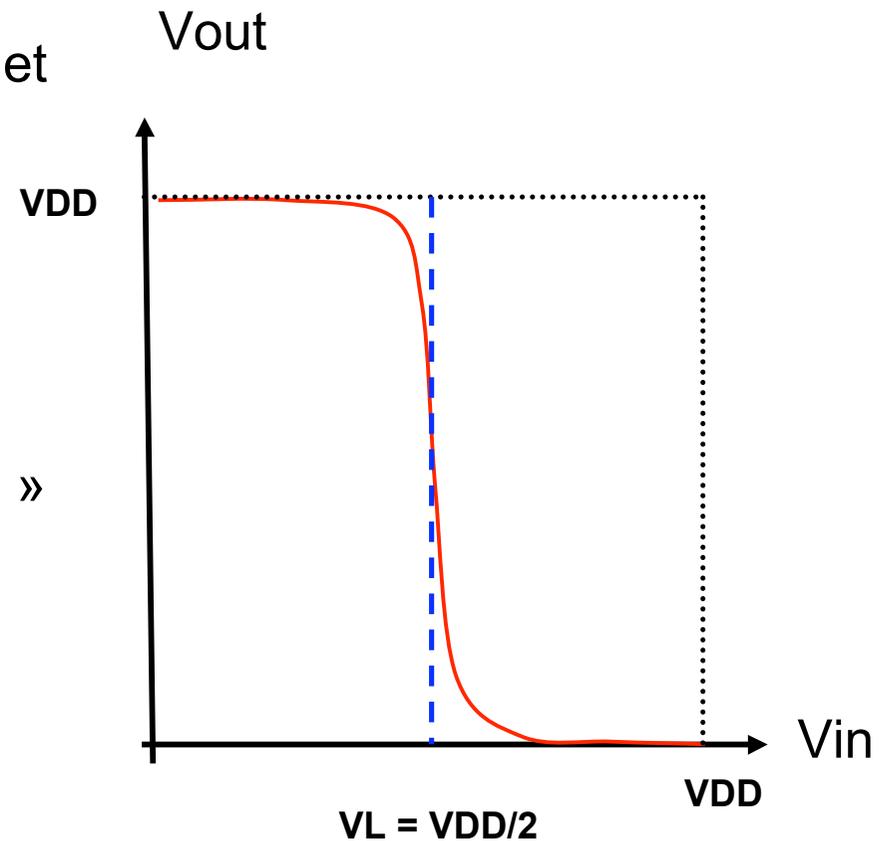
$$V_L = V_{DD} / 2$$

Si  $V_{tn} = V_{tp}$ , il faut  $\beta = 1$

Pour obtenir  $\beta = 1$ , on « compense » la physique par la géométrie :

- on a  $\mu_n = 2 \mu_p$
- on a  $L_n = L_p = L_{min}$

=> on prend  $W_p = 2 W_n$



# Inverseurs “décentrés”

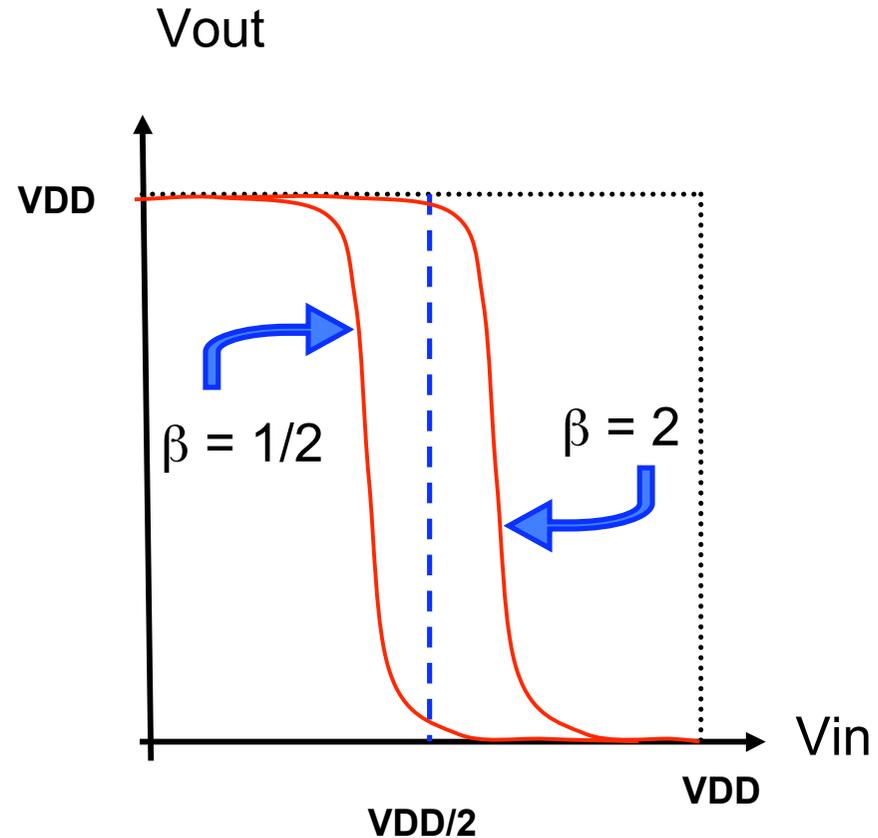
Si on souhaite augmenter la marge au bruit d'un côté (au détriment de l'autre côté), il faut déplacer  $V_L$  en jouant sur le rapport  $W_p/W_n$  :

-  $W_p = W_n \Rightarrow \beta = 1/2$

$$V_L = V_{DD}/2 - \Delta V$$

-  $W_p = 4 W_n \Rightarrow \beta = 2$

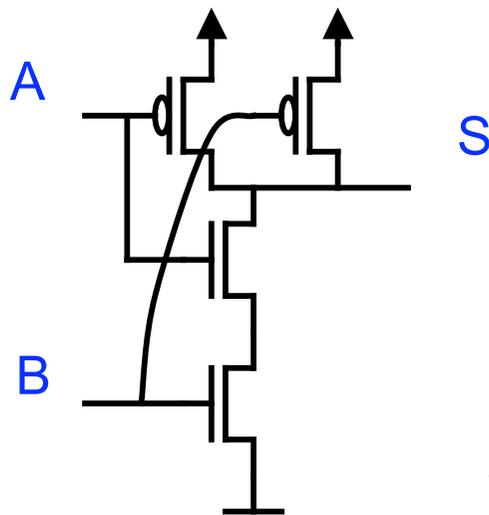
$$V_L = V_{DD}/2 + \Delta V$$



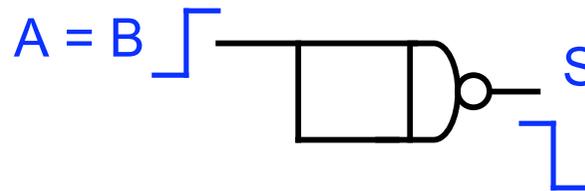
# Courbe(s) de transfert de la porte Nand

On suppose que les deux transistors N sont identiques (mêmes  $W$  et  $L$ ) et que les deux transistors P sont identiques. De plus,  $L_n = L_p = L_{min}$ .

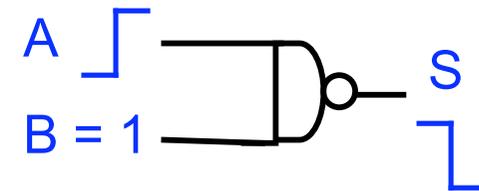
On raisonne sur **l'inverseur équivalent**.  
Il y a deux scénarios possibles :



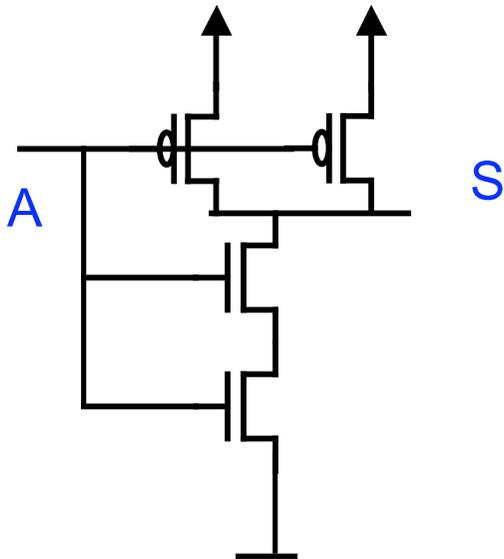
1/ Les entrées A et B commutent simultanément :



2/ Seule l'entrée A commute, alors que  $B = 1$



## Nand 2 entrées : commutations simultanées



Calcul des dimensions de l'inverseur équivalent

- On a 2 transistors P en parallèle :

$$Wp\_eq = 2 Wp$$

$$Lp\_eq = Lmin$$

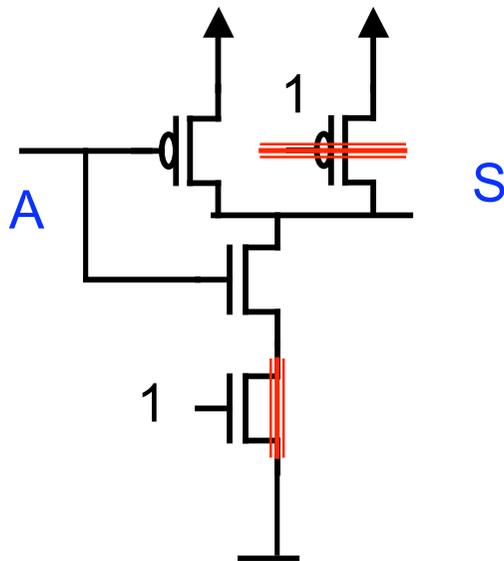
- On a 2 transistors N en série

$$Wn\_eq = Wn$$

$$Ln\_eq = 2 Lmin$$

On a donc  $\beta = 1/2 * 2Wp/Wn * 2 = 2 Wp/Wn$

## Nand 2 entrées : une seule entrée commute



Calcul des dimensions de l'inverseur équivalent

- On a 1 seul transistors P passant :

$$Wp\_eq = Wp$$

$$Lp\_eq = Lmin$$

- On a 1 seul transistors N qui commute

$$Wn\_eq = Wn$$

$$Ln\_eq = Lmin$$

On a donc  $\beta = 1/2 * Wp/Wn * 1 = 1/2 Wp/Wn$

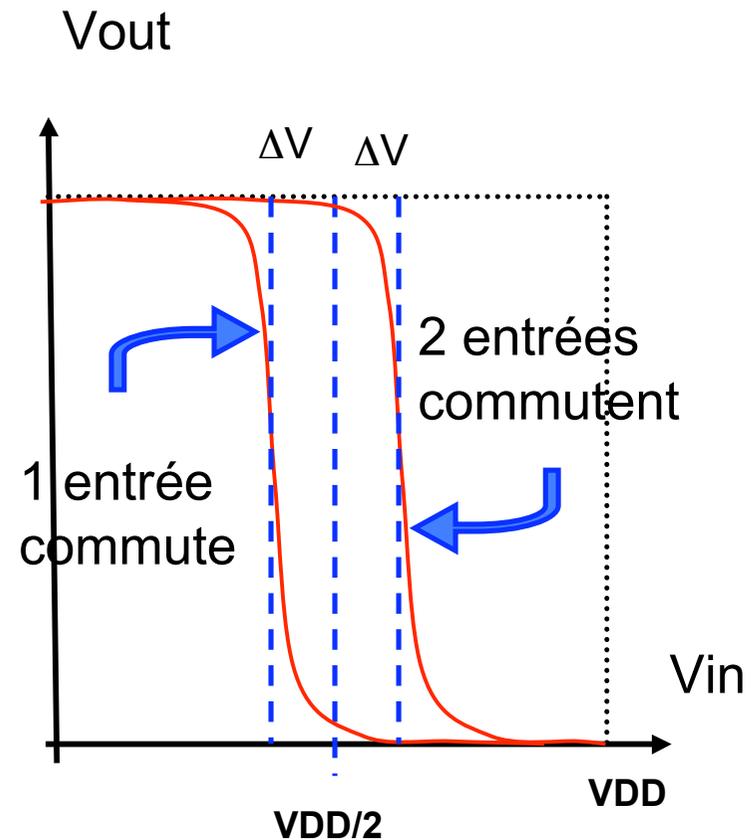
## Courbe(s) de transfert du Nand 2 entrées

Les deux inverseurs équivalents ont deux courbes de transfert différentes correspondant à deux valeurs différentes de  $\beta$ .

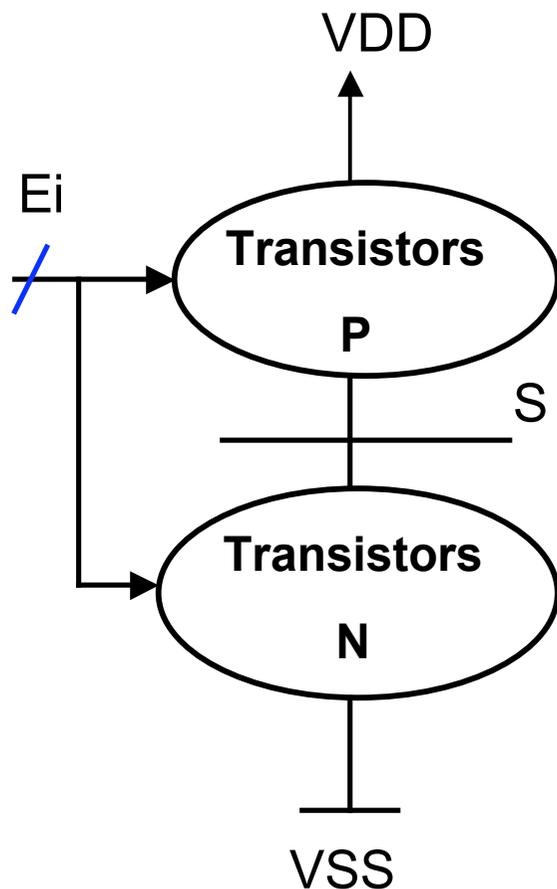
Pour obtenir un Nand « équilibré », on prend  $W_n = W_p$ , de façon à obtenir les deux valeurs :

$$\beta = 2 \text{ et } \beta = 1/2$$

Par rapport à l'inverseur « équilibré », les marges aux bruits ont été réduites de  $\Delta V$  sur l'état haut et de  $\Delta V$  sur l'état bas.



# Portes logiques CMOS dual

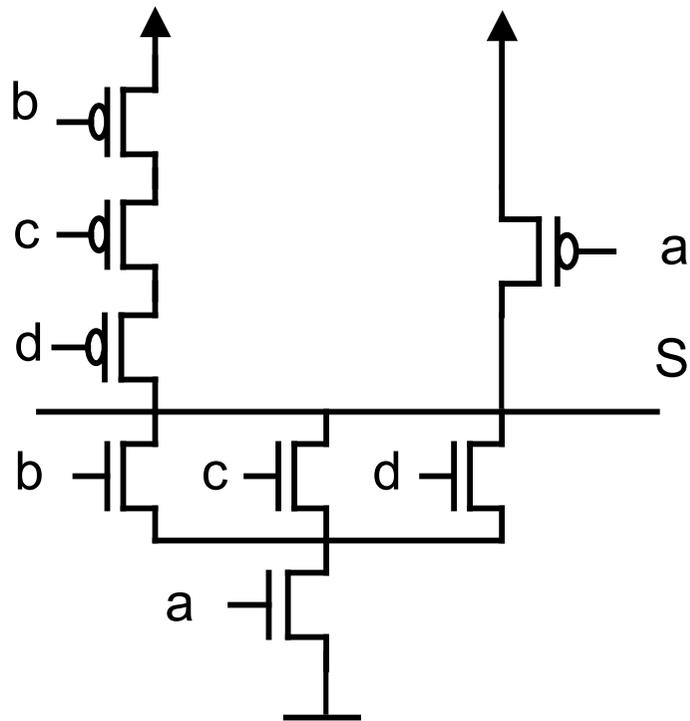


Une porte **CMOS dual** est une porte logique inverseuse qui respecte les conditions suivantes :

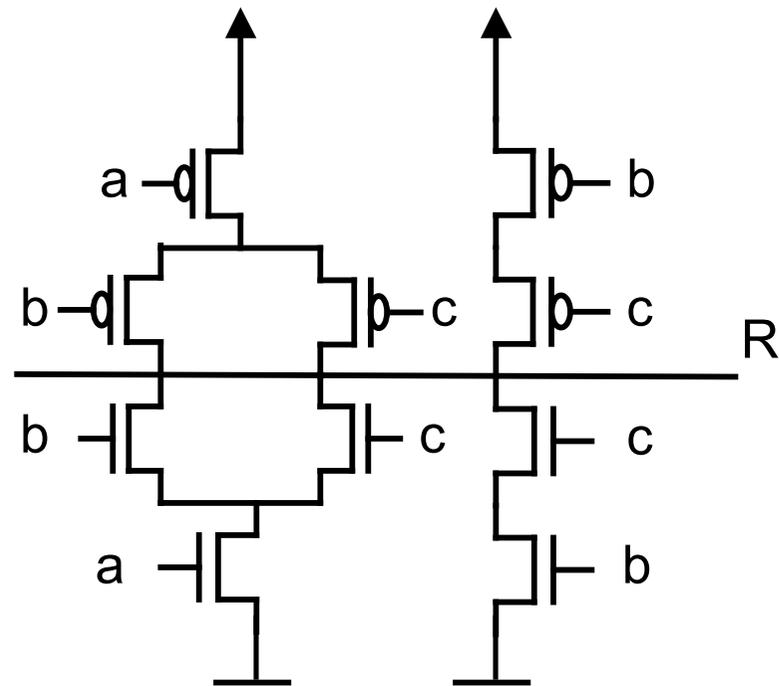
- Les signaux d'entrée  $E_i$  n'attaquent que des grilles de transistor.
- Tous les chemins électriques entre  $V_{DD}$  et la sortie  $S$  ne contiennent que des transistors P.
- Tous les chemins électriques entre  $V_{SS}$  et la sortie  $S$  ne contiennent que des transistors N.
- Pour toute configuration des entrées  $E_i$ , il y a un et un seul des deux réseaux N et P qui est passant.

## Exemples de portes CMOS dual complexes

$$S = \text{not } (a \cdot (b + c + d))$$



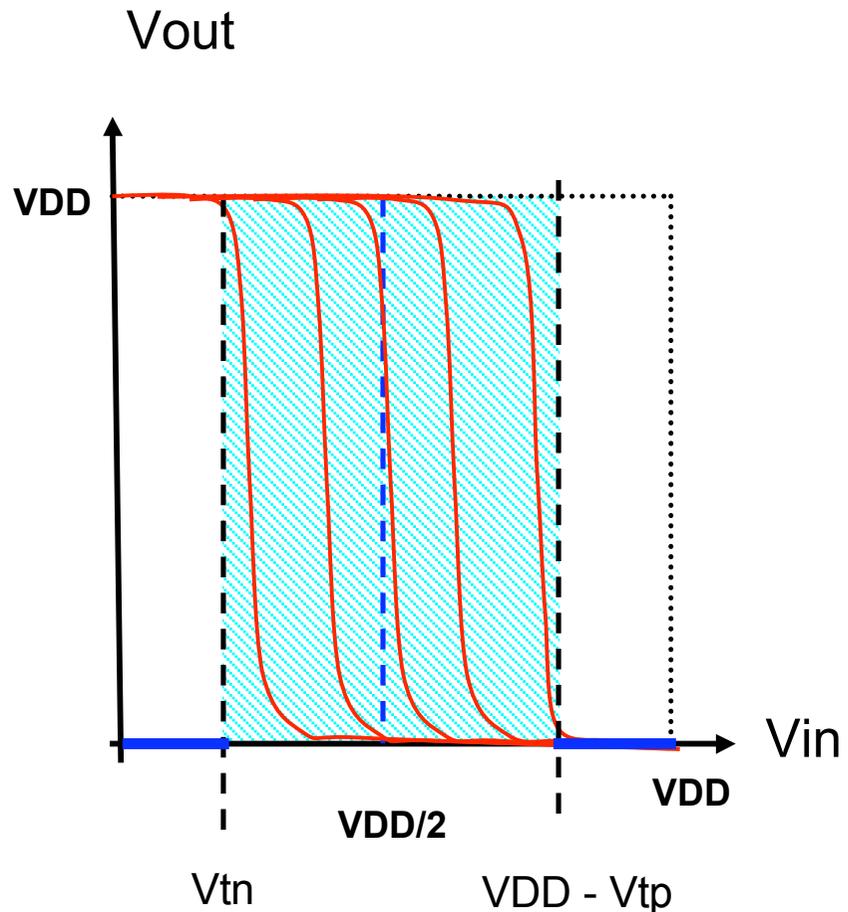
$$R = \text{not } ((a \cdot b) + (a \cdot c) + (b \cdot c))$$



# Marge au bruit des portes CMOS complexes

Dans le cas des portes complexes la marge au bruit est **fortement réduite** car il y a de nombreux scénarios de commutation possibles (et donc de nombreux inverseurs équivalents).

Cependant, les marges au bruit restent toujours supérieures à  $V_{tn}$  (pour l'état bas) ou  $V_{tp}$  (pour l'état haut)



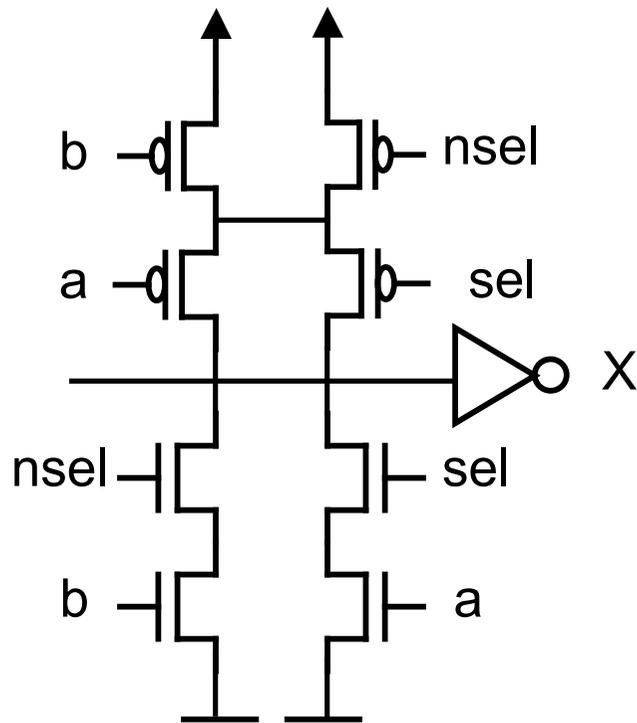
# Plan

---

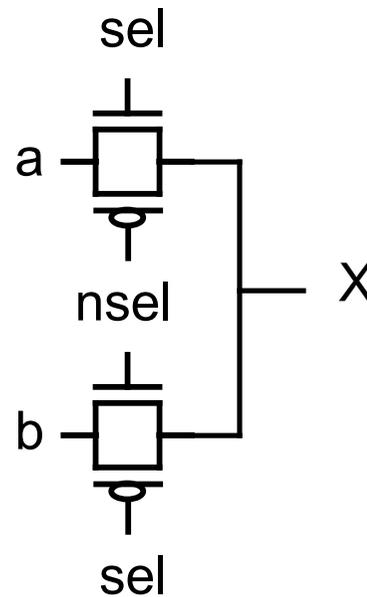
- **Définition et principales sources de bruit**
- **Les conséquences du bruit**
- **Filtrage du bruit par les portes CMOS dual**
- **Les dangers des portes logiques non duales**

# Logique à interrupteurs

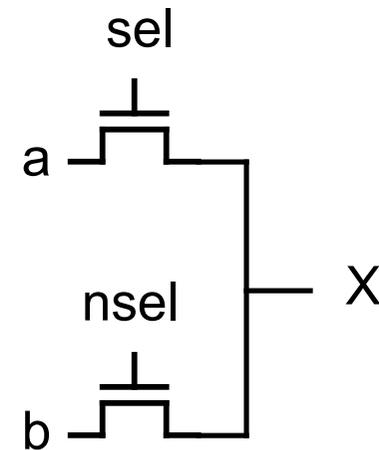
Exemple du multiplexeur :  $X = \text{sel} \cdot a + \text{tsel} \cdot b$



CMOS dual  
(10 transistors)

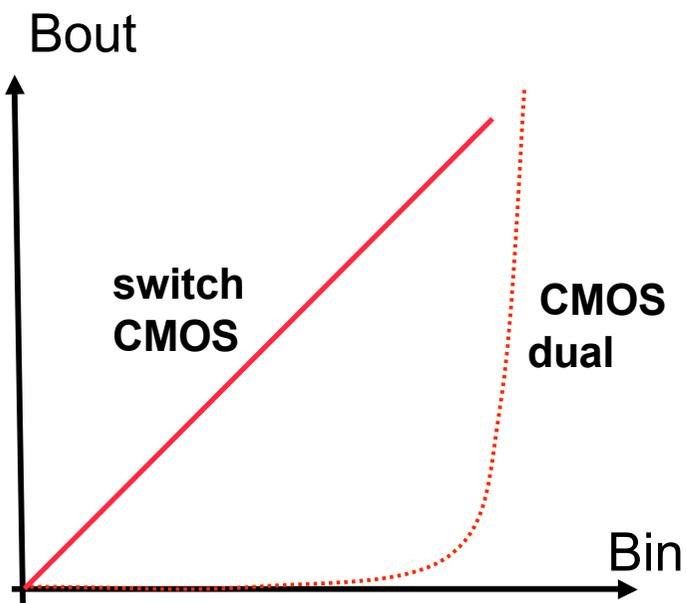
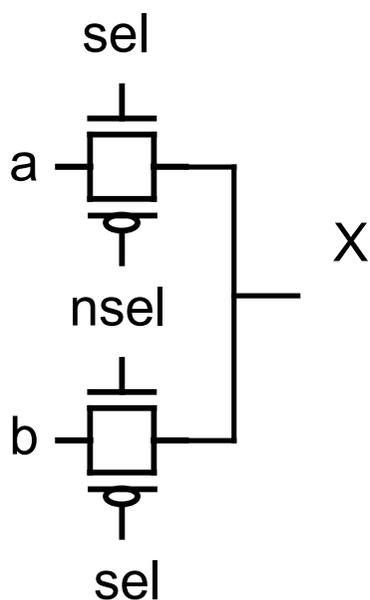


switch CMOS  
(4 transistors)



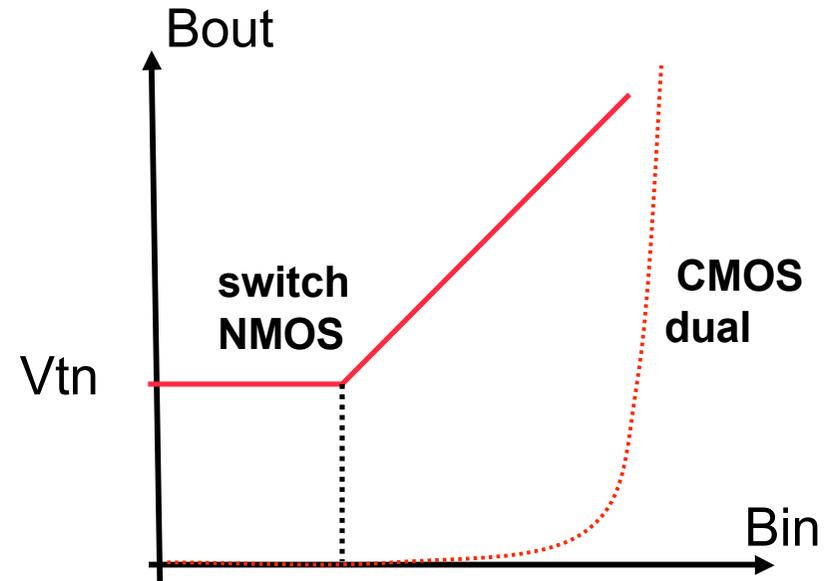
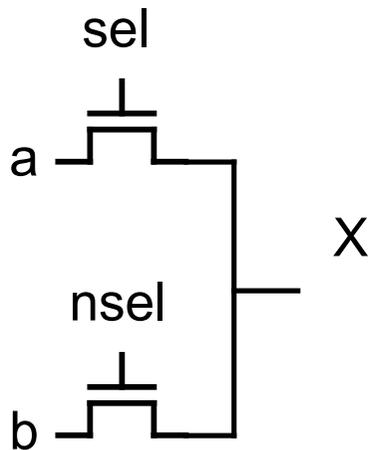
switch NMOS  
(2 transistors)

# Circuits à interrupteurs CMOS



Les circuits à interrupteurs CMOS ne filtrent pas le bruit : la courbe de transfert du bruit entre a et X est linéaire. Un circuit ne comportant que des interrupteurs ne peut pas fonctionner, car il n'y a pas de régénération du signal.

# Circuits à interrupteurs NMOS



Dans un circuit à interrupteurs NMOS, l'état haut du signal de sortie est dégradé à la valeur  $V_{DD} - V_{tn}$ , car le transistor N se bloque quand la tension  $V_{gs} = V(\text{sel}) - V(X)$  atteint la valeur  $V_{tn}$ .

⇒ les interrupteurs NMOS ne filtre pas et génèrent un bruit systématique sur l'état haut !

# Conclusions

---

- **Les circuits numériques ne fonctionnent que grâce à la capacité de filtrage du bruit des portes logiques**
- **Toutes les portes CMOS dual filtrent le bruit, mais toutes les portes n'ont pas la même immunité au bruit.**
- **L'inverseur CMOS est le meilleur outil pour filtrer le bruit.**
- **Il ne faut utiliser la circuiterie CMOS « non duale » que dans un contexte où on contrôle totalement le bruit sur les signaux d'entrée et de sortie.**